

第三章 HS101 型 FPGA/CPLD 实验板

HS101 型 FPGA/CPLD 实验板 (针对 ALTERA 公司 FPGA/CPLD) 是在 JX 系列实验板基础上根据客户的建议开发的 FPGA/CPLD 实验板,为了你更好使用,下面详细介绍实验板资源和原理。

实验板上主要的电路是 CPLD 芯片 EPM7128SLC84-15, 另外我们还在实验板上设计了 CPLD 芯片 EPM7064SLC44-10 的 PLCC44 插座, 本章前一部分介绍 CPLD 芯片 EPM7128SLC84-15 电路, 最后介绍了 CPLD 芯片 EPM7064SLC44-10 相关电路。

3.1 实验板原理

完整的原理图见光盘/HS101 原理图/hs101sch.pdf, 该资料只提供给正式客户。

3.1.1 电源电路

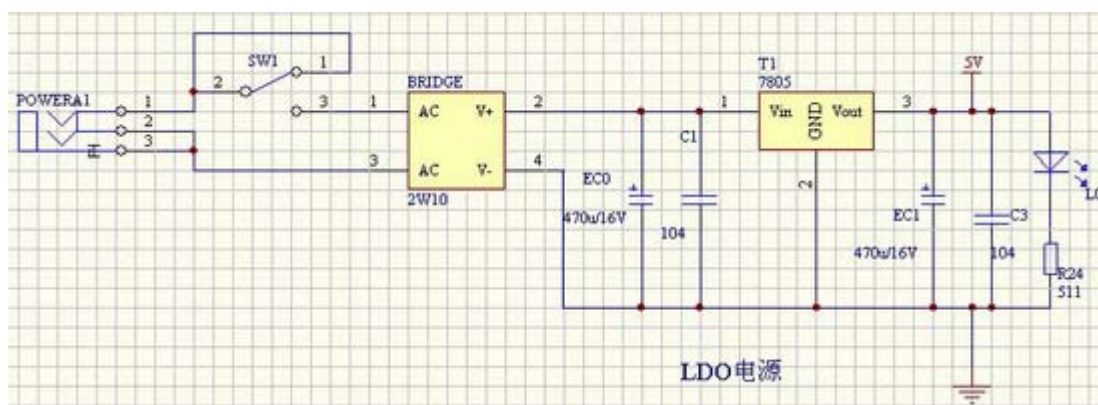


图 3.1.1 - 1 电源原理图

该实验板的 CPLD 芯片 EPM7128/7064 的内核电压和 I/O 电压为 5V 直流电压, 实验板上 CPLD 统一采用 5V 直流稳压电源供电。电源插口的输入电压为 +7.5V ~ +9V, 和随配的稳压电源配套使用。

为了防止由于稳压电源接口内外正负问题和电源的稳定, 采用了整流桥电路 (BRIDGE);

为了防止电源的干扰信号，电路加了滤波电容 EC0、EC1，另外为了防止高频信号的干扰，加了小电容 C1、C2；

电源电路采用高性能的 LDO（低压差线性稳压器）芯片 LM7805，为了使芯片稳定工作，采用了散热片和大面积敷铜；

为了方便电源打开和切断，加了电源开关，拨到“开”处打开实验板电源，拨到“关”处切断电源，在插或拔串口或并口前，最好关闭电源，防止对你电脑相关的接口产生损坏

为了实验板和外部电路共 5V 或共地，实验板预留了一个接口 J1，和配电源线(见附录二：配件)配套使用。

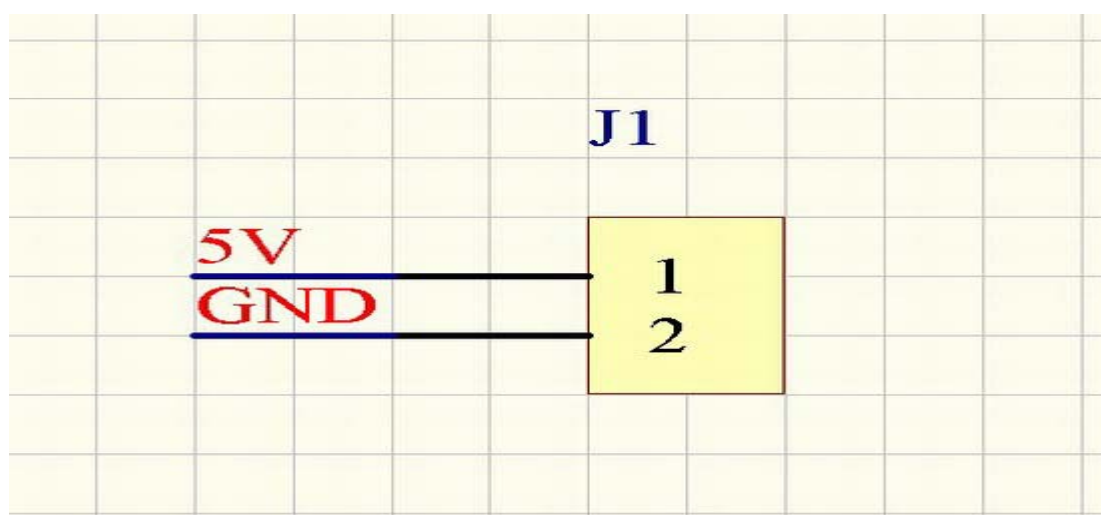


图 3.1.1 - 2 电源外接电路

3.1.2 主芯片 EMM7128SLC7128 电路

HS101 型实验板上的主芯片采用 EMM7128SLC7128 - 15，该芯片放在 PLCC84 插座上，可以用起拔器拔出。该插座兼容以下芯片：

EPM7128SLC84 (5v)

EPM7064SLC84(5v)

EPM7160SLC84 (5v)

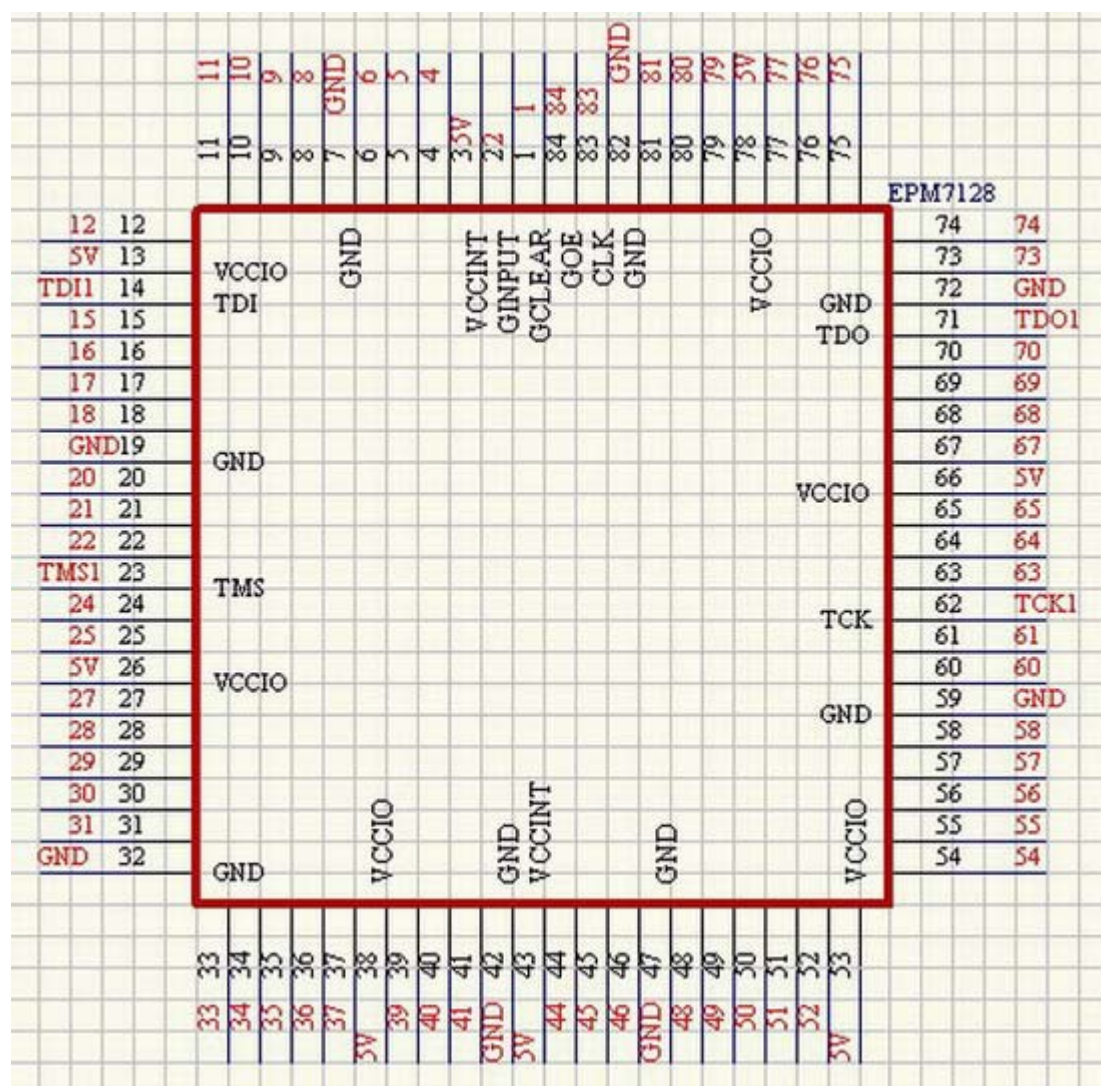


图 3.1.2 - 1 EPM7128SL84-15 管脚图

可以参考光盘中电子版，可以任意放大和缩小

图中的数字代表芯片的引脚号，其中 1、2、83、84 为全局输入引脚，对于它们的说明如下：

GCLK(83)：全局时钟脚，这个脚的驱动能力最强，到所有逻辑单元的延时基本相同，所以如系统有外部时钟输入，建议定义此脚为时钟输入脚。如想用其他脚为时钟输入，必须在菜单：Assign->Global project logic synthesis->Automatic global 选项中把 GCLK 前面的勾去掉。这样任意一个 I/O 脚均可做时钟输入脚。在板子上通过 J8 可以将不同时钟接到 83，见下时钟电路部分的原理图。

OE1(84)：全局输出使能，如有三态输出，建议由此脚来控制（也可由内部逻辑产生输出使能信号），优点和用法同上。OE2/GCLK2(2)：全局输出使能/全局时钟脚，两者皆可。

GCLRn(1)：全局清零，如有寄存器清零，建议由此脚来控制（也可由内部逻辑产生清零信号），优点和用法同上。分配这些脚和分配普通 I/O 脚是一样的，先在 Assign->Device 中选好器件型号，再在 Assign->Pin 中填入你想分配的管脚号和类型，或直接在原理图中选中 Input 或 Output，点鼠标右键，选 Assign Pin，填入你想分配的管脚号，编译一遍即可。但要注意菜单：Assign->Global project logic synthesis->Automatic global 选项 I 中的设置。

如果上面的管脚不用，最好接地，接地时其中 1、2、84 直接把排针 J10 对应跳帽插上，83 还要把 J8 对应的 GND 上跳帽插上（用到时钟

时, J8 上跳冒插到对应频率)。Maxplus2 中的报告文件 (*.rpt) 详细说明了管脚的接法, 其他不用管脚一般悬空 (把对应的跳冒拿掉)。如果不用的管脚与外电路相连, 为了保证不影响外电路, 应该将此电路管脚定义为输入脚。但不接逻辑。

CPLD 主芯片通过排针 J9、J10、J11、J12 和外部资源连接

排针靠近 CPLD 芯片的一侧是和 CPLD 的 IO 相连, 另一侧和实验板上实验资源连接, 如果需要对应 CPLD 的 IO 和实验资源连接, 直接将对应跳冒插上就可以了; 如果需要要把 CPLD 的 IO 和实验板外的电路连接, 需要用到配件 A(B) 或 C(D) 和 FC20 或 SIP4 连接线, 具体请参见附录二。

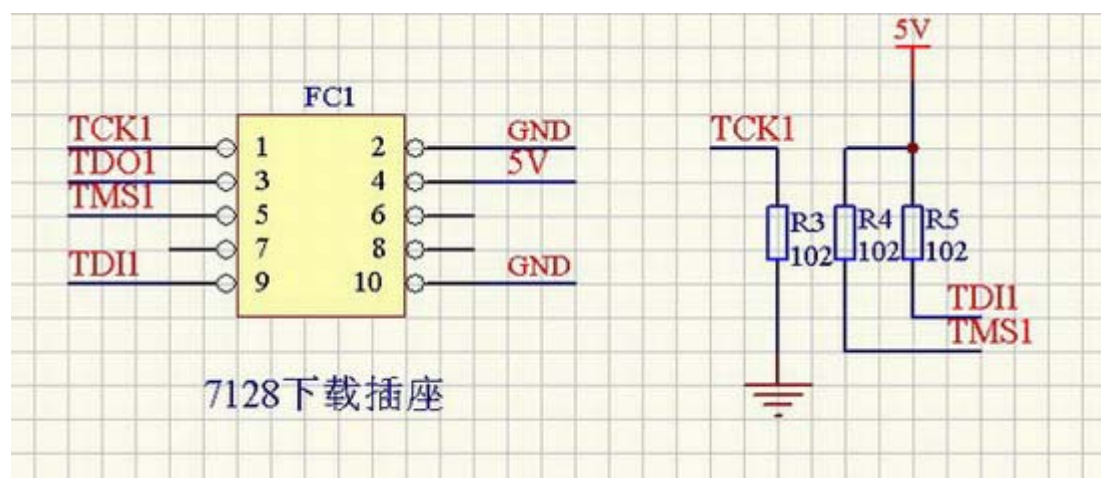
排针两侧对应关系见附录一

3.1.3 下载电路

HS101 实验板采用 JTAG 下载方式,采用 ALTERA 公司的 ByteblasterMV 电路。实验板上采用了两种方式,我们默认的方式是方式 2。

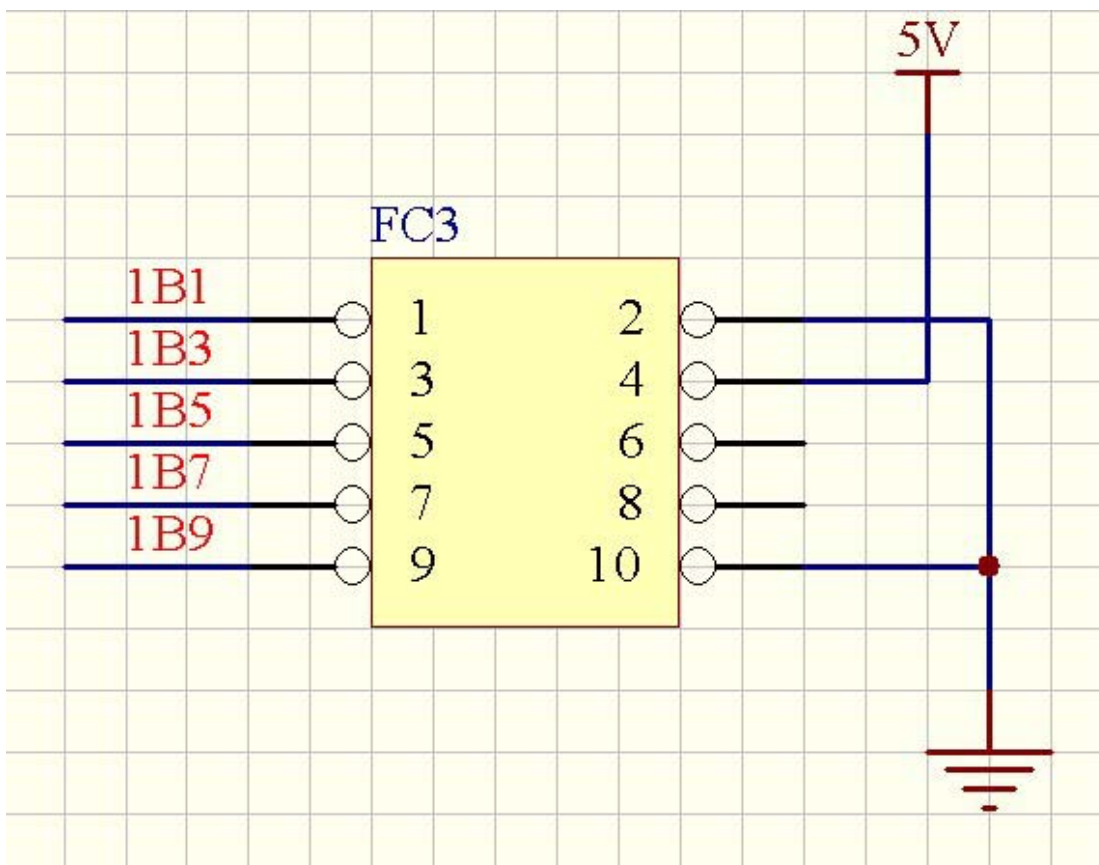
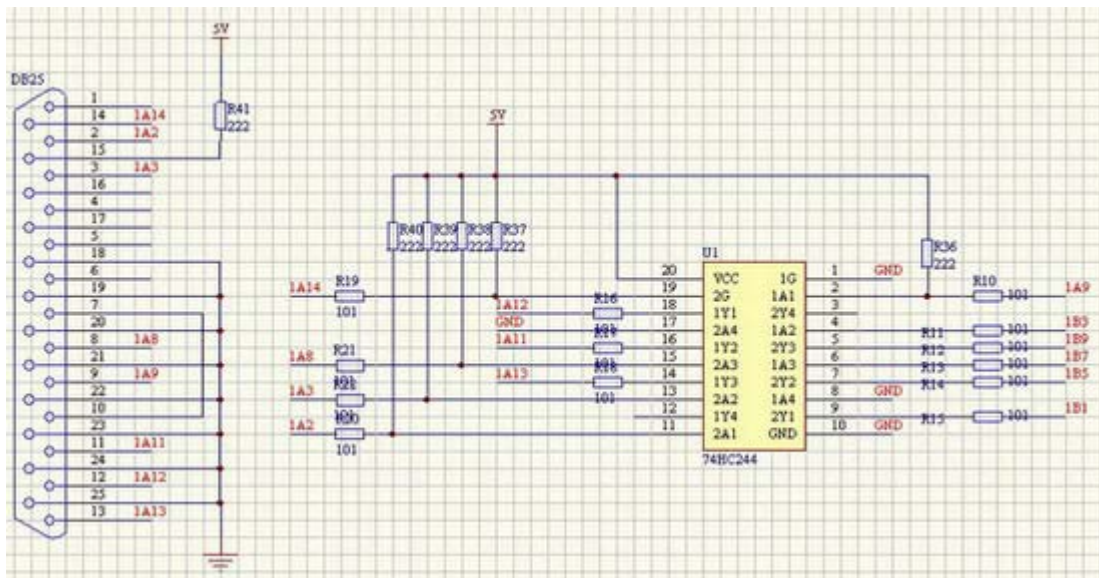
方式 1:

实验板上留有下载插口 FC1(针对 PLCC84 的插座中 CPLD 芯片),你只
要把随配的 ByteblasterMV 电缆的 10PIN 端插入下载插口 FC1,另一
端连接到电脑并口上(有时为了方便操作,可以通过并口延长线公头
接电脑并口,母头接 ByteblasterMV 的公头)就可以在线编程了,具
体见“第四章 Max+plusII 10.2 的使用”。



方式二:

为了方便操作和提高下载的稳定性,我们 HS101 将下载电路
ByteblasterMV 也做到了实验板上(布线宽度可以更宽,布线间距更
大,抗干扰性更好),如下图:

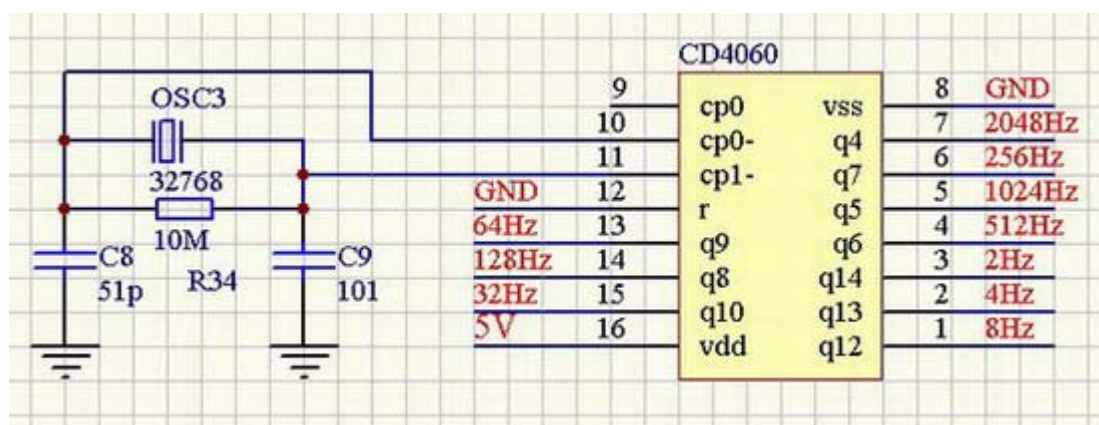


你只要将并口延长线公头接电脑并口，母头接实验板上 DB25 插头，再把随送的 10 芯排线一头插入 FC3，另一头插入 FC1 就可以在线编程了(如果对 EPM7064SLC44 编程，就将另一头插如 FC2)。

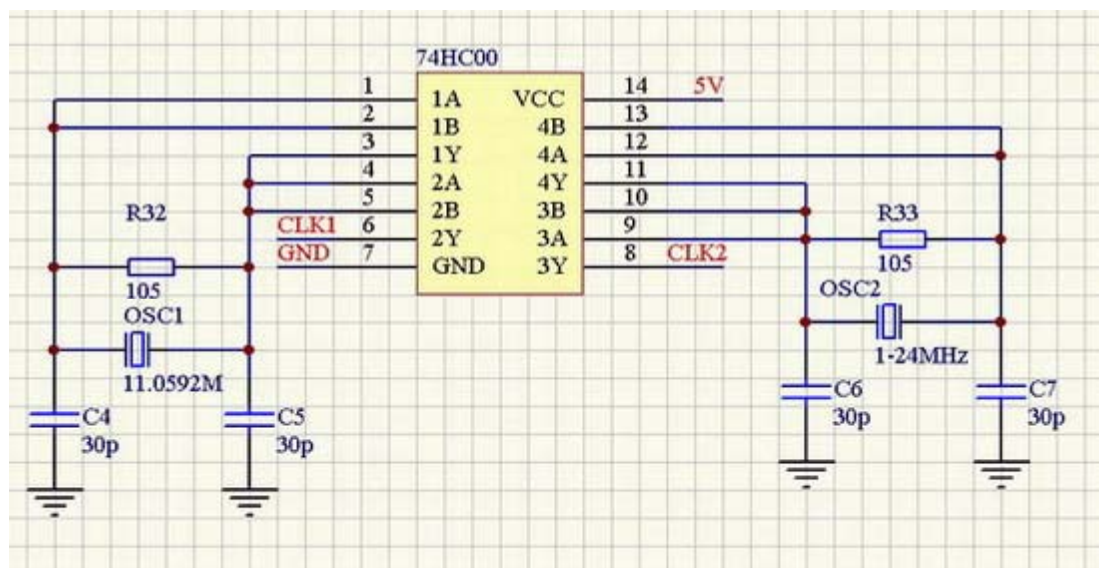
3.1.4 时钟电路(CLK)

CPLD 设计中可能会用到时钟信号来控制电路的执行,HS101 型实验板上提供了多种时钟电路:

1) 由 32768 的晶振 OSC3 和分频电路 CD4060 构成,可以提供 2048 ~ 2Hz 的十种脉冲信号,该脉冲信号是标准的方波信号。

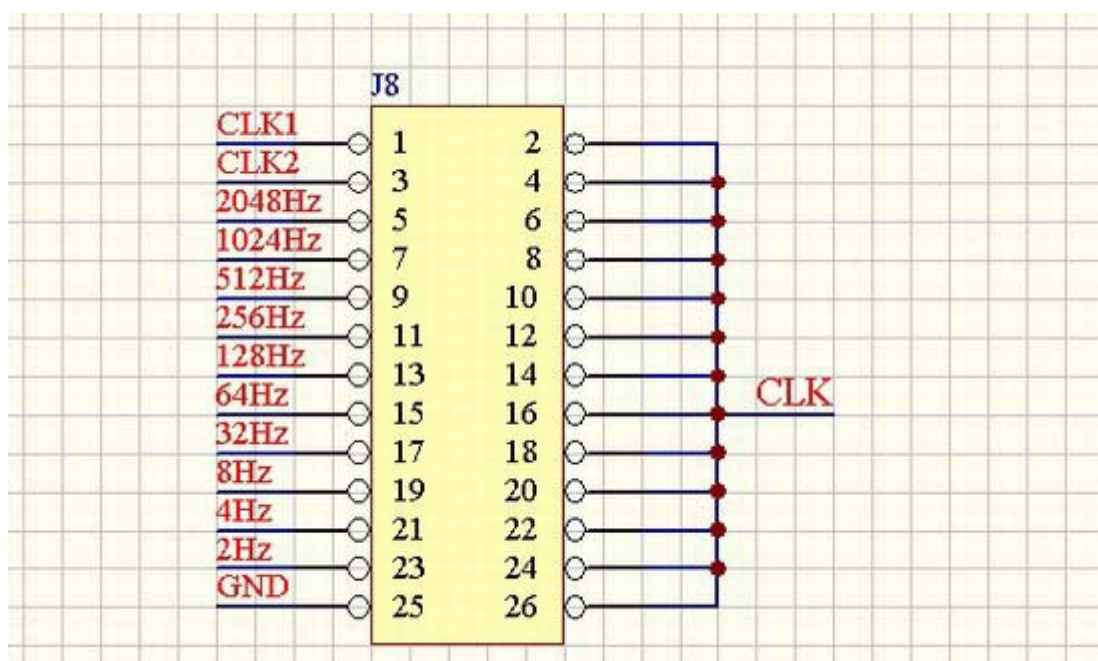


2) 由 11.0592M 的 OSC1 晶振和 74HC00 构成 (这里 74HC00 主要是为了提高时钟信号的驱动能力),该电路提供 11.0592M 时钟信号,该信号为正弦 (正半部分) 信号



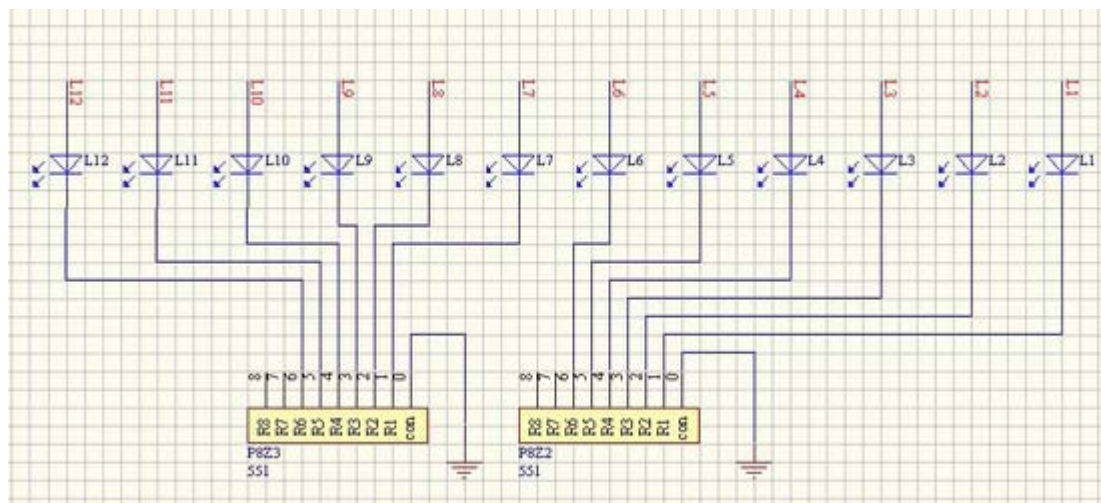
3) 由用户提供的 1 ~ 24Hz 的 OSC1 晶振和 74HC00 构成该电路提供用户提供的晶振频率的时钟信号，该信号为正弦信号

排针 J8 是时钟信号进入 CPLD 的选择电路，需要用到哪种频率的时钟信号，就将对应的跳帽插上，如果 CPLD 不需要时钟电路，将 GND 对应跳帽插上（这样有助于芯片的稳定工作）。



3.1.5 发光二极管 (LED) 电路

实验板上提供了12个LED，它们的阴极通过排阻(起到限流的作用)接地，阳极和CPLD相连，由于LED的驱动电流只要5~10mA，所以可以直接用CPLD驱动，LED亮的条件是CPLD给相应的引脚提供高电平，即如果CPLD某引脚输出为“1”，相应的LED灯亮，如果输出为“0”，相应的LED灭。



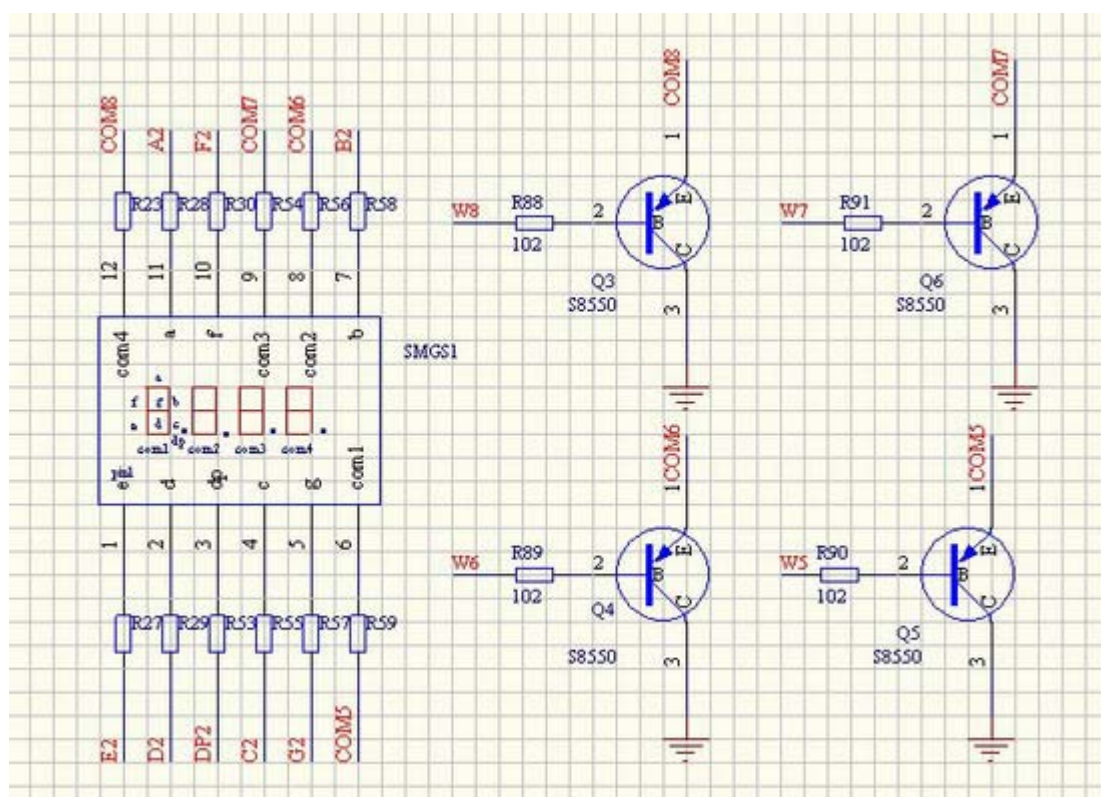
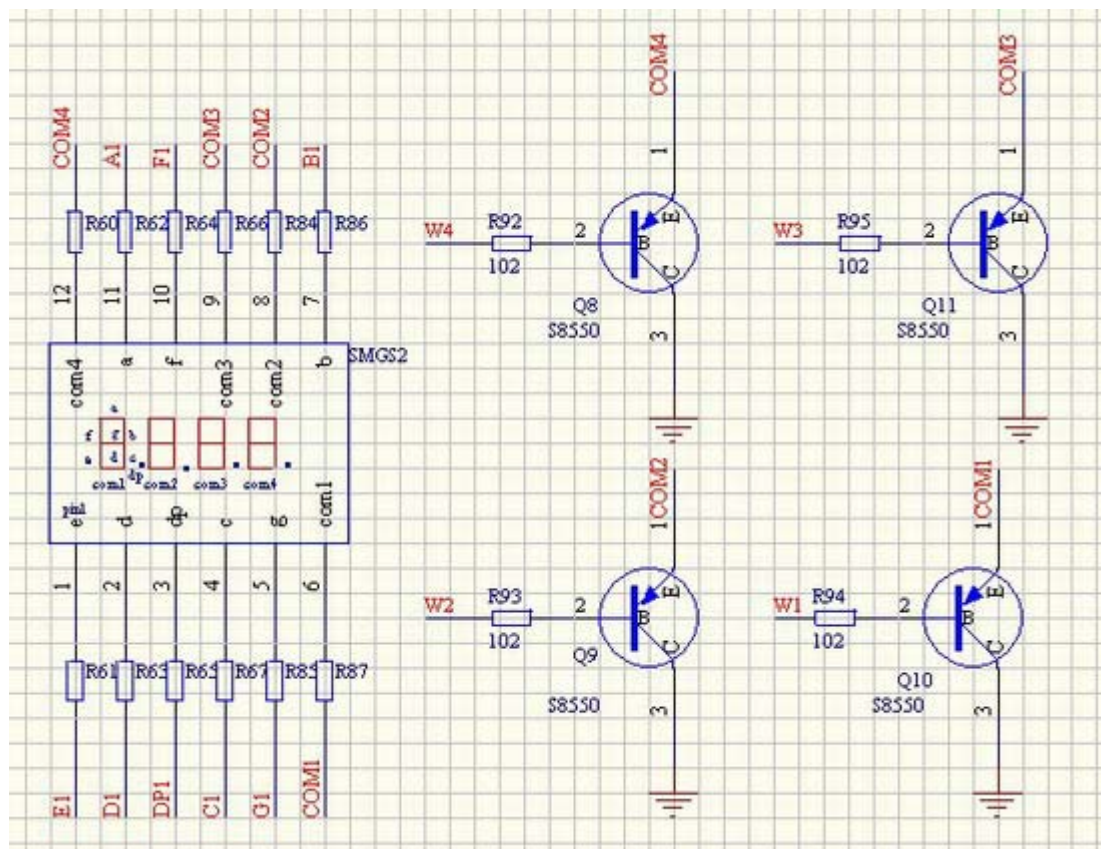
3.1.6 七段数码管(SMG)显示电路

LED 只能显示几位的状态,如果要显示数字的话就要使用七段数码管显示电路。七段数码管是常用的输出结果显示元件,可以用来显示 0 - 9、A-F 和一些特殊字符,常用的数码管分共阳和共阴接法。

该实验板采用了两块共阴动态扫描接法的四位数码管(但这两块之间可以看着是静态接法),该数码管带小数点 DP。数码管的每段和小数点可以看着是 8 个 LED,共阴接法是指 8 个 LED 的阴极接到一起作为公共段,这儿的公共段成为位码(即 COM),8 个 LED 的阳极为字码(即 a, b, c, d, e, f, g, dp, 有时也称段码),由于位码的需要的电流较大,所以用 PNP 三极管提供电流,PNP 管的基极和 CPLD 相连,当 CPLD 提供低电平(W 端),那么位码(COM 端)也将获得低电平。

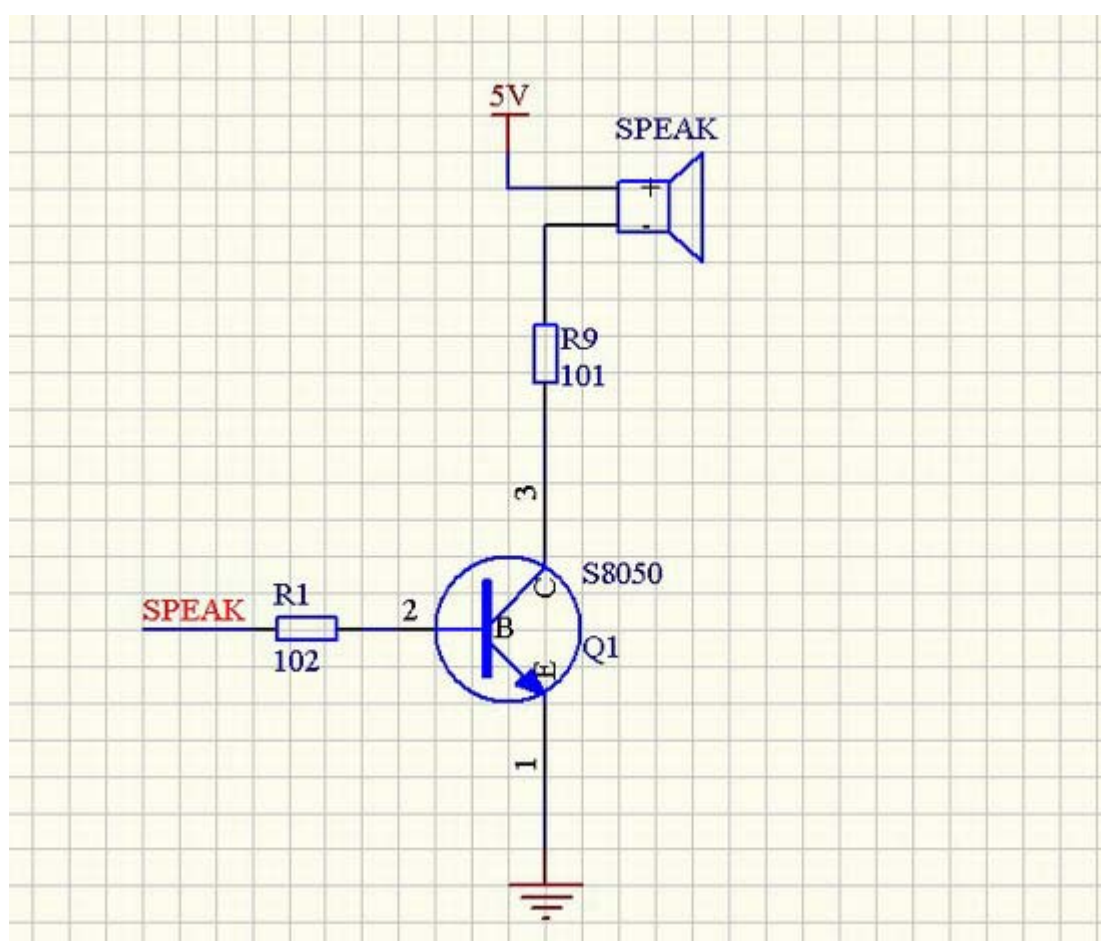
静态扫描接法是指每个数码管的位码和字码都单独由不同信号控制,这样占用的 IO 口很多,比如 8 位数码管就要占用 72 个 IO 口(这样通过 CPLD 的电流也将很大),一般实际使用中不使用该接法。

动态扫描接法是指每块数码管的对应字码接在一起,由相同信号控制,位码由不同的控制信号控制,这样可以节省 CPLD 的 IO 口,但驱动较复杂点,需要用动态扫描的方式来驱动数码管,也就是每块数码管的字码送相同的数据,不同时间内通过不同位码来控制对应位的数码管的显示,也就是说在某一时刻只有一个或一部分数码管有效,另一时刻只有另一个或另一部分数码管有效,但由于视觉暂停的缘故,感觉数码管都有效。(参考后面设计实例部分)



3.1.7 交流蜂鸣器(SPEAK)

蜂鸣器分为交流和直流，交流蜂鸣器必须提供交流信号才发音，并且会随交流信号频率不同发音不同(太高频率将使蜂鸣器发出的声音听不到)。HS101型FPGA/CPLD实验板上安装一个5V交流蜂鸣器，为了降低CPLD的功耗，我们采用一个NPN三极管驱动蜂鸣器，CPLD提供给蜂鸣器一个脉冲，经三极管放大来驱动交流蜂鸣器。



3.1.8 继电器控制电路(RELAY)

继电器是常用的输出控制接口，可以做直流交流信号的输出切换，达到用低压小信号控制高压电路的功能。HS101 上的继电器是 5V 常开继电器，控制电路如图 3.1.8。一般在直流线圈的两端会加上一个保护二极管，用来保护驱动输出端的三极管，因为在继电器的开和关之间，在线圈上会产生很大的反电动势，加上二极管便可以迅速将此反向高压吸收掉。当 CPLD 和 RELAY 相连接端提供高电平，三极管 S8050 导通，继电器触点闭合（该继电器是常开的）；反之，继电器触点保持常开状态。

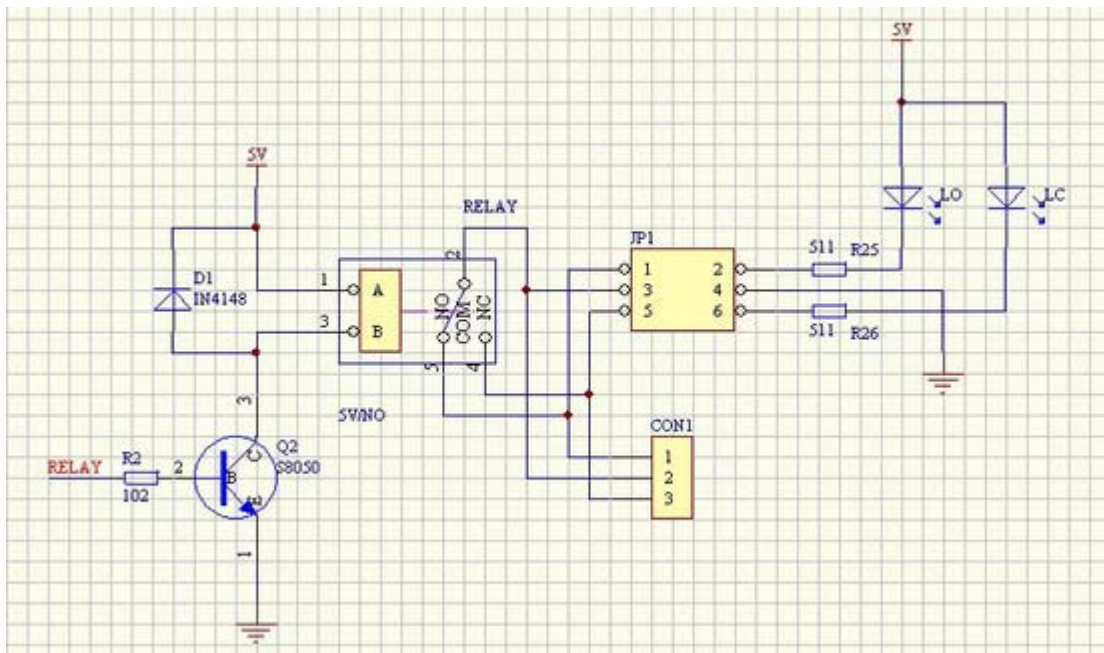


图 3.1.8

对继电器控制接点说明如下：

COM: common, 共同点，输出控制接点的共同接点

NC: normal close 常闭点，以 COM 位公共点，NC 和 COM 在平时呈开

路状态

NO: normal open 常开点, 以 COM 位公共点, NO 和 COM 在平时导通状态。

通过继电器开和关动作, 可以用来控制电器 (AC 220V) 打开或关闭, 但你在做此实验时一定要注意安全。为了安全性, 我们在电路板上用继电器控制一个低压 (DC 5V) 电路, COM 接地, NO 接发光二极管 LO 的阴极 (阳极通过电阻和 5V 电源相连), NC 接二极管 LC (阳极通过电阻和 5V 电源相连), 只要把 JP1 排针用跳冒插上就可以做继电器相关的实验了。在原理上, 继电器控制交流和直流时一样的, 只是控制相关电路的导通与否。

3.1.9 按钮电路 (S)

按钮用来控制程序执行时数据的输入或是特殊功能 (如清零等) 的设置, 原理如图 3.1.9。按钮一端通过 1K 的排阻接地, 排阻和按钮之间连接部分接入 CPLD, 另一端通过 10 欧姆的电阻接电源, 当按钮不按下时, 按钮两端处于开路状态, 按钮提供低电平给 CPLD, 当按下时, 按钮两端处于短路状态, 由于分压作用, 提供高电平给 CPLD。该电路是在参考以前实际使用中存在的问题设计的, 加了 10 欧姆的电阻有助于避免设计错误时带来的 CPLD 严重发热的问题。

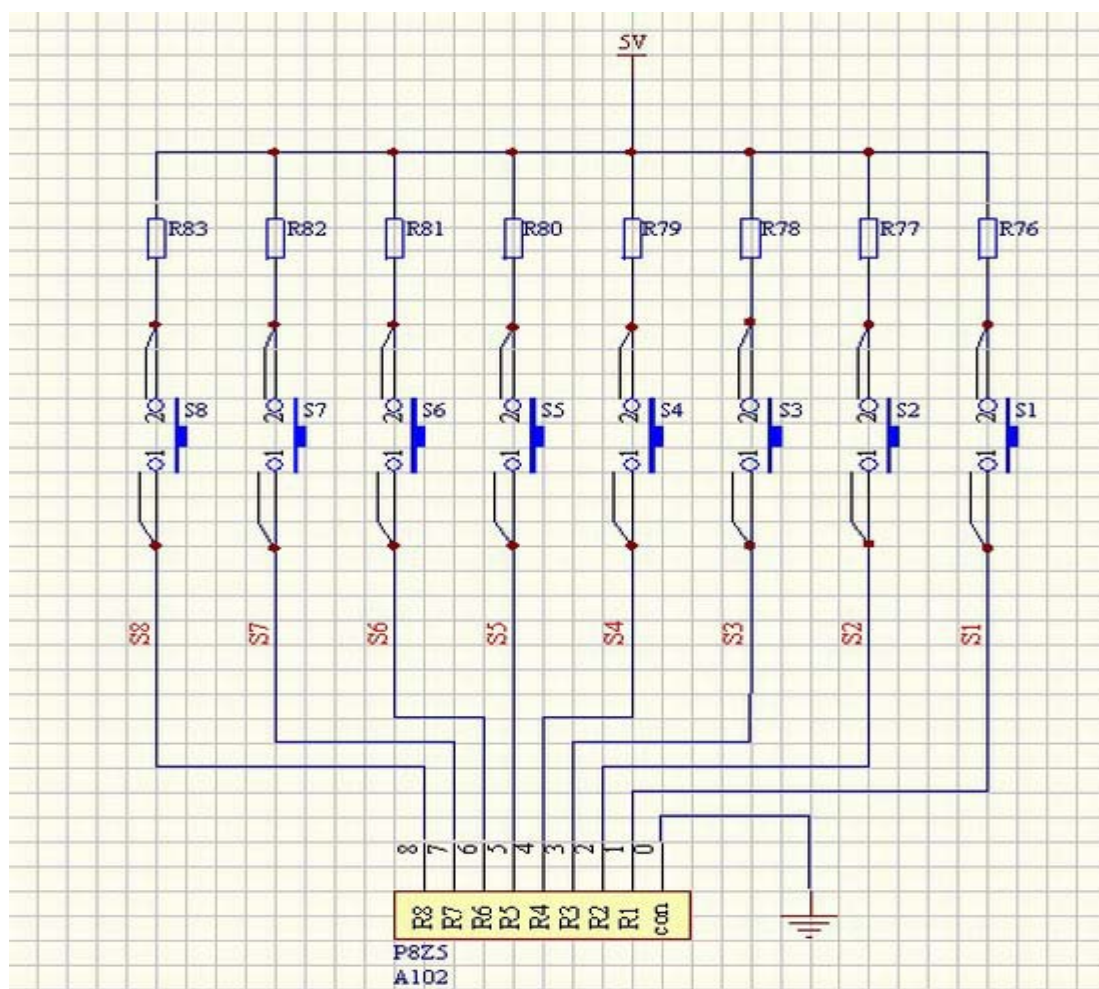


图 3.1.9

3.1.10 拨位开关(SW)

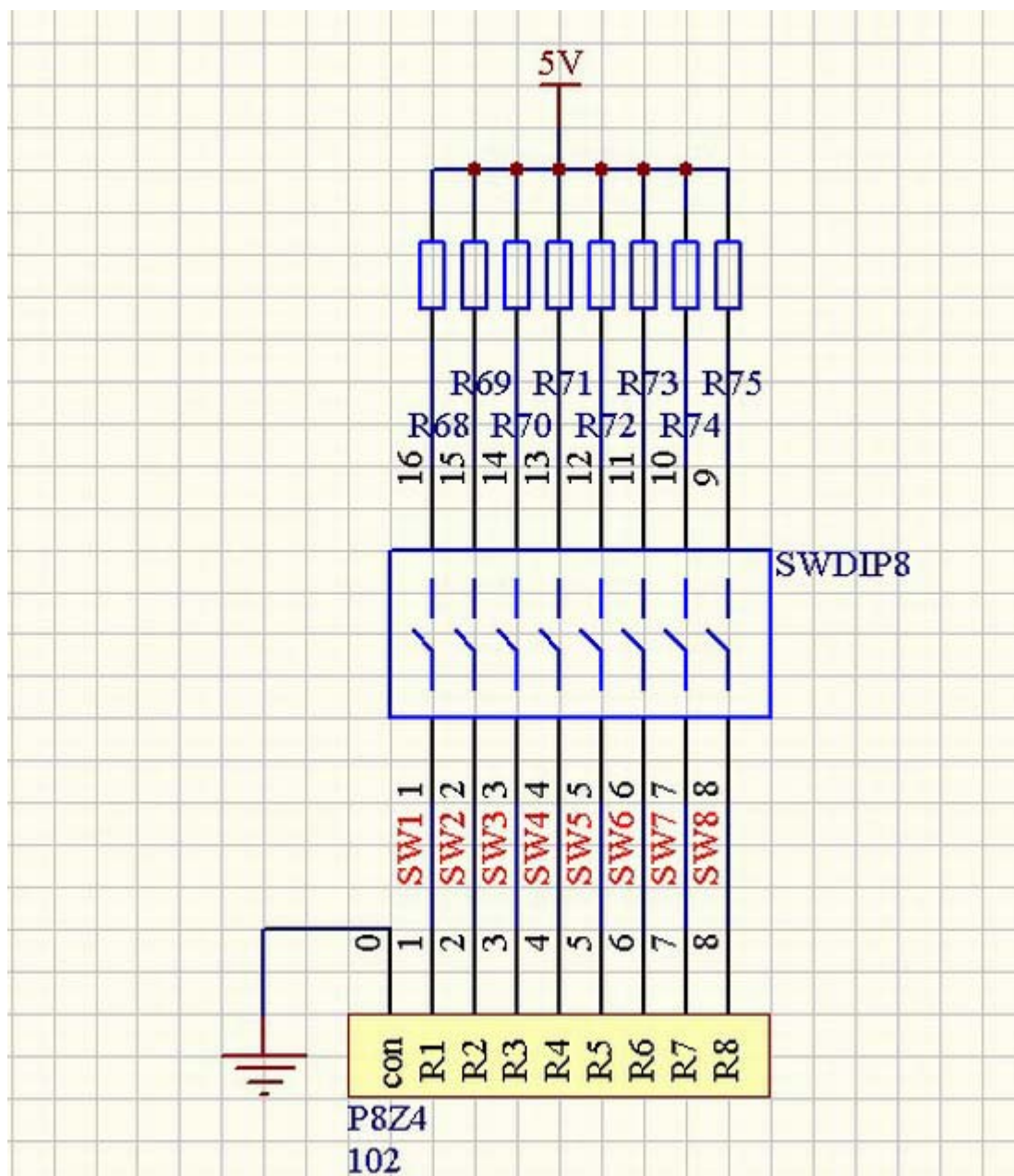


图 3.1.10

拨位按钮有时又称为拨码开关，用来控制程序执行时数据的输入（一般是电平输入）或是特殊功能的设置，原理如图 3.1.10。拨位开关一端通过 1K 的排阻接地，排阻和拨位开关之间连接部分接入 CPLD，另一端通过 10 欧姆的电阻接电源，当拨位开关拨到下方时，拨位开

关处于开路状态，拨位开关提供低电平给 CPLD，当拨位开关拨到上方时，拨位开关处于短路状态，由于分压作用，拨位开关提供高电平给 CPLD。该电路是在参考以前实际使用中存在的问题设计的，加了 10 欧姆的电阻有助于避免设计错误或一些 CPLD 默认的状态时带来的 CPLD 严重发热甚至烧坏的问题。

3.1.11 RS232 接口电路

RS - 232 信号的电平和 CPLD 信号的电平不一致，必须进行二者之间的电平转换。在此使用的集成电平转换芯片 MAX232 为 RS - 232C / TTL 电平转换芯片。它只使用单 +5V 为其工作，配接 4 个 $1\mu\text{F}$ 电解电容即可完成 RS - 232 电平与 TTL 电平之间的转换。其原理图如图

3.1.11-1 所示。由于 CPLD 内部不含 UART(通用异步收发器)，所以要进行 CPLD 和 PC 的 RS-232 通讯时，还需要一个 UART，我们可以用 CPLD 来实现 UART 功能，具体见后面的“6.16 RS232 通讯”。

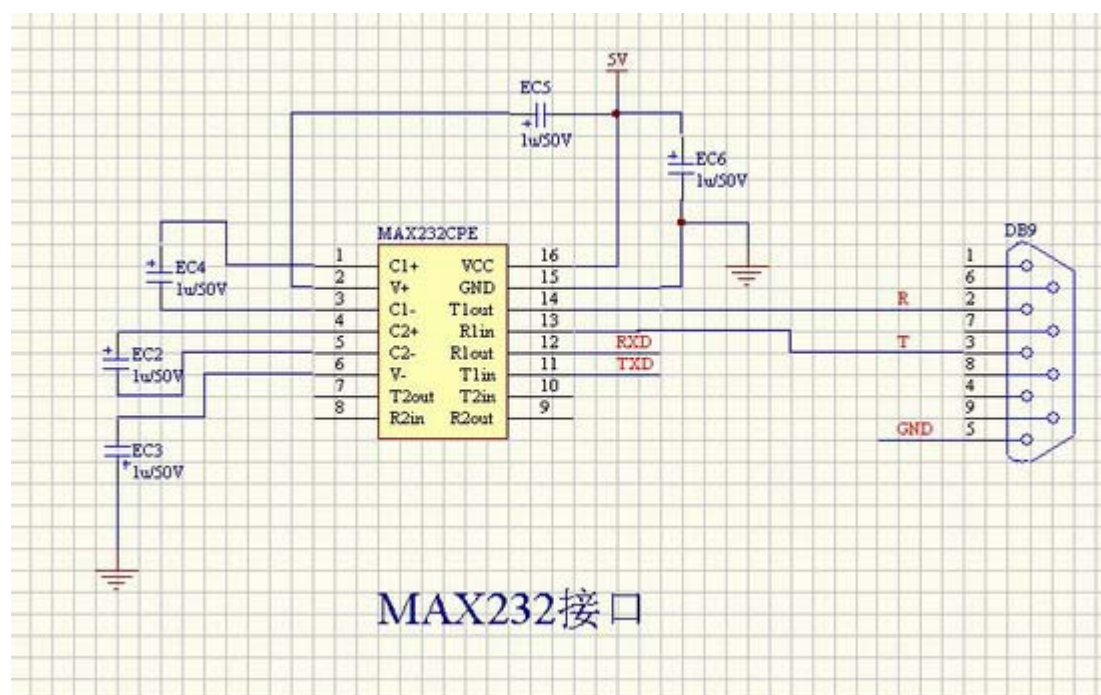


图 3.1.11-1

3.1.12 PS/2 接口电路

PS/2 接口电路通常使用专用芯片实现。由于 PS/2 键盘或鼠标串行输出信号速度很高 ,普通单片机无法接受 ,但可以用 FPGA/CPLD 来实现。

硬件原理图如图 3.1.12 所示 :

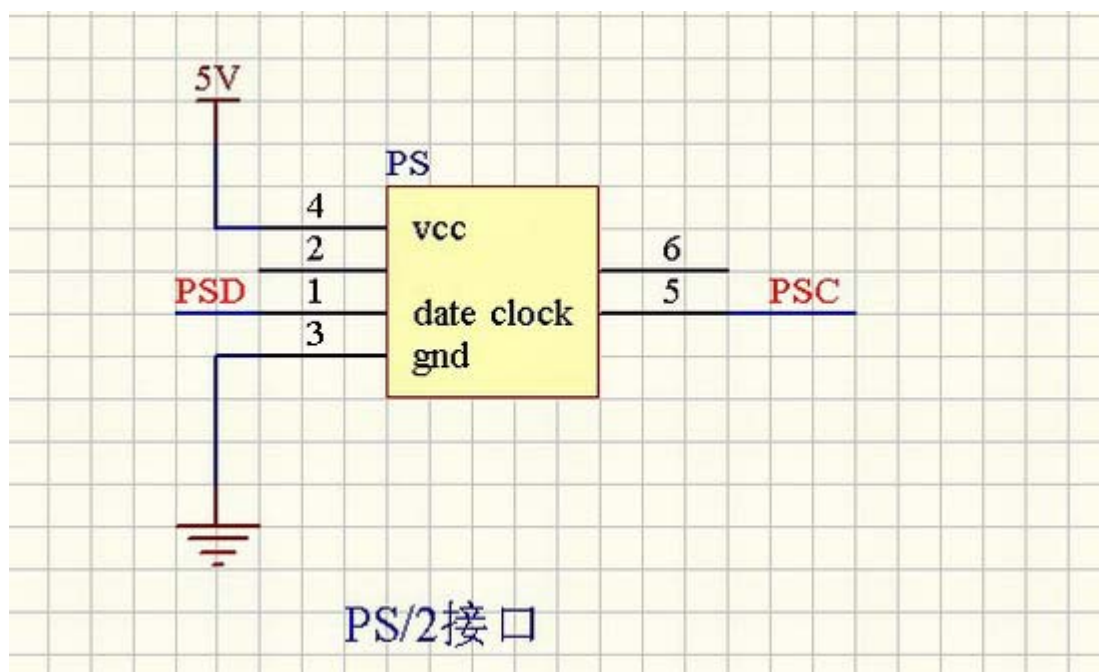


图 3.1.12

有关 PS2 的具体资料参考 : 光盘/相关资料/ps2tr.zip

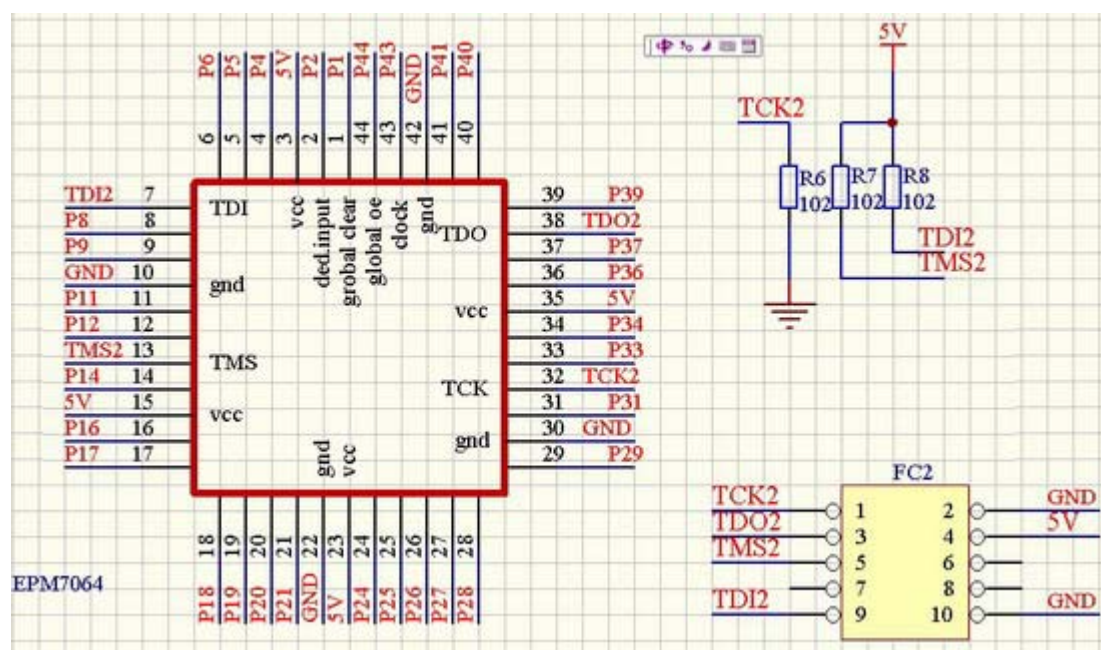
3.2 EPM7064SLC44(PLCC44)电路：

HS101 型实验板上我们还准备了一个 PLCC44 的插座，可以使用以下芯片：

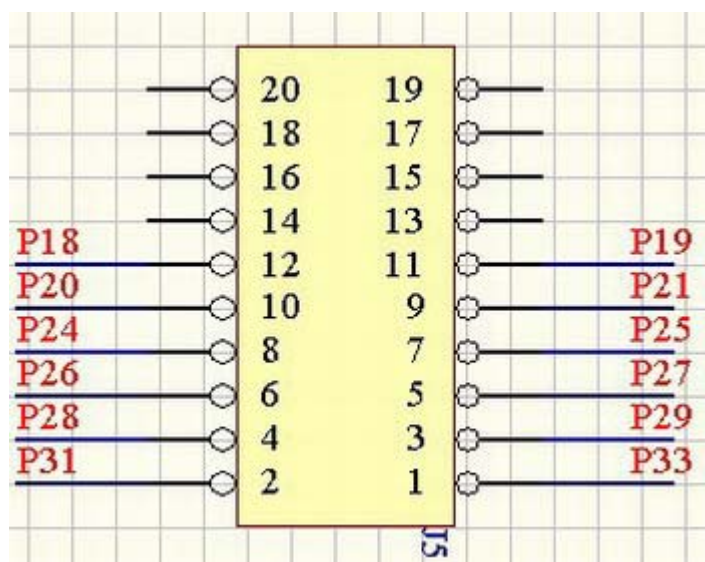
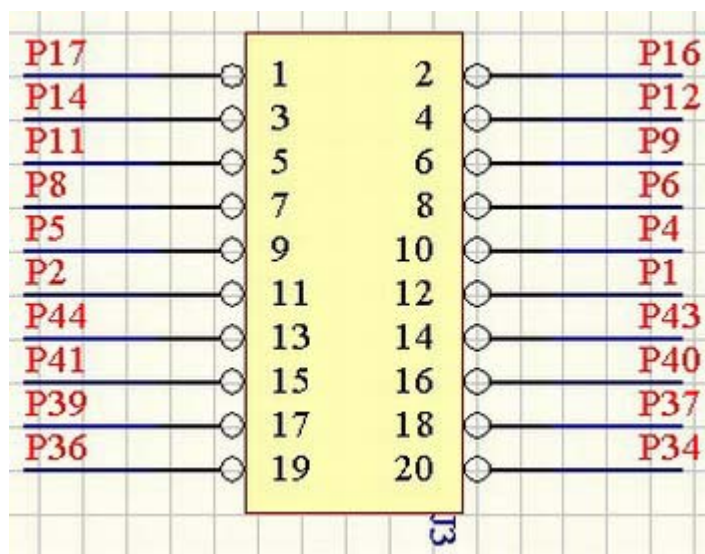
EPM7032SLC44(5v)

EPM7064SLC44(5v)

当需要对 PLCC 的上芯片下载时，将 ByteBlasterMV 电缆的十芯端和 FC2 相连，其他参看 “3.1.3 下载电路” 部分



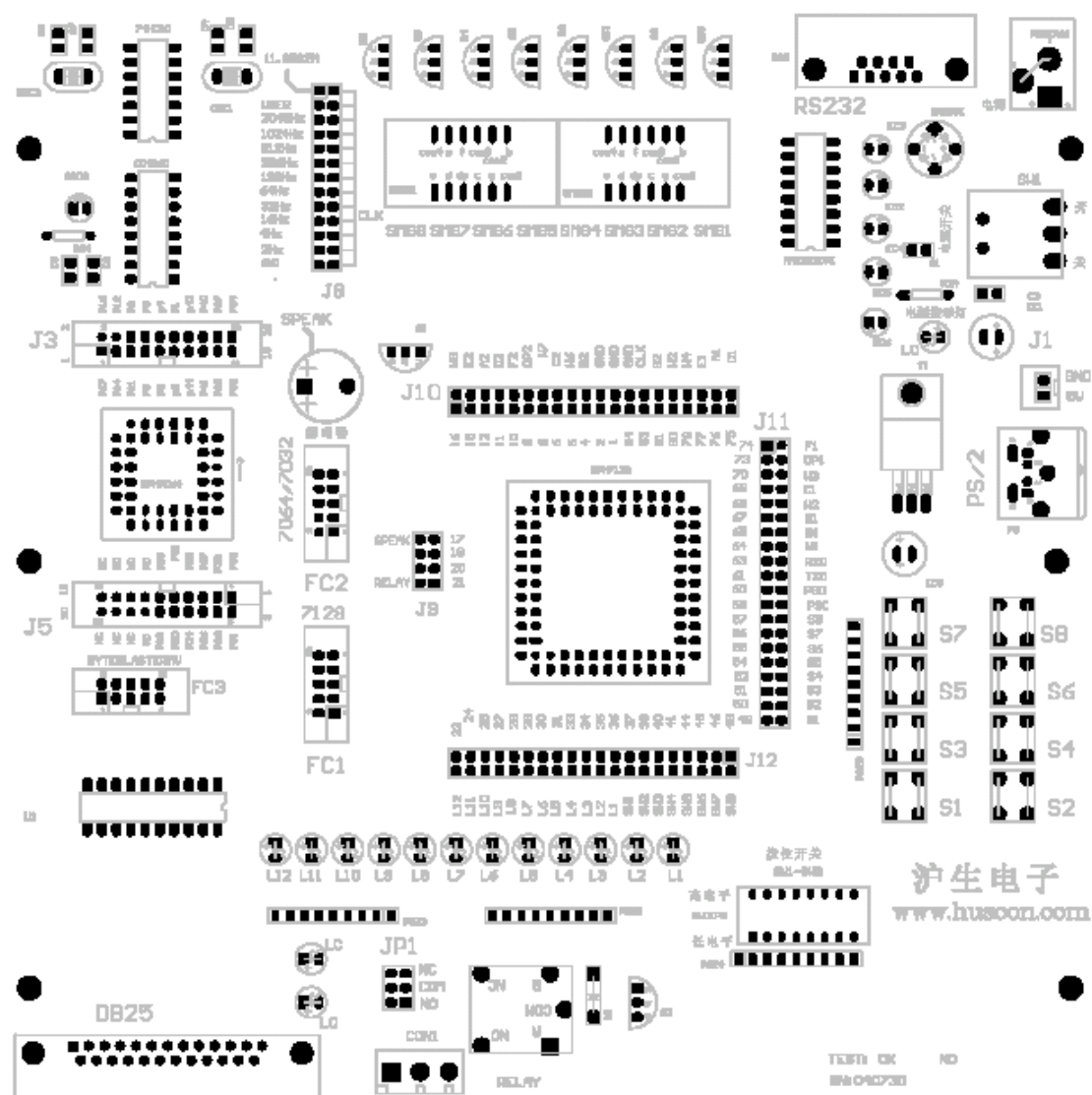
该芯片的下载的 IO 由 J3, J5 将所有的 IO 引出，用配件中的 20 芯排线可以引出所有 IO 口，具体操作见附录二



3.2 实验板布局

(图请参考 [hs101pcb.pdf](#) , 或光盘/HS101 原理图/hs101pcb.pdf 可以任意放大, 看的很清楚)

下面图不是很清楚, 你可以把放大比例放大到 200%看



实验板资源说明如下 (请参考实物 , 下面部分你先看原理图部分可能

更能理解):

器件	功能描述
74HC00	4 个与非门电路, 增加信号驱动能力
CD4060	分频器集成电路
OSC1	11.0592M 的晶振
OSC2	用户自加晶振, 可以加 1 ~ 24MHz 晶振
OSC3	32768Hz 的晶振
J8	排针, 通过改变跳冒位置来改变进入芯片的信号频率
SMG8 ~ SMG1	SMG8 ~ SM5 为共阴同步数码管, 动态驱动接法; SMG4 ~ SM1 也为共阴同步数码管, 动态驱动接法 上面在电路板上是由两块集成的 4 位数码管组成, 这两块数码管之间可以认为是静态驱动接法
RS232	RS232 接口
MAX232	集成电路, 用于 RS232 电平转换
电源	电源插口, 接 9V 500mA 的稳压电源
BRIDGE	整流桥, 防止电源极性和提高新源稳定情
电源开关	控制试验板的电源开和关
电源指示灯 (L0)	指示试验板上电源是否接通
T1	LM7805, 将 9V 直流电源转换为 5V 直流电源
J1	用于和外部设备共地或外接 5V 电源, 和配件中电源连接线配用
PS/2	PS/2 接口, 可以和键盘和鼠标相连
S8 ~ S1	按钮, 平时为低电平, 按下为高电平
拨位开关 (SW1 ~ SW8)	拨到下方, 为 CPLD 提供高平; 拨到上方, 为 CPLD 提供高平
RELAY	5V 常开继电器
JP1	排针, 当用到 L0, LC 时, 全部用跳冒插上
CON1	继电器和高压接口, 此时 JP1 跳冒都拔去
L0	继电器常态指示灯 (继电器是常开的)
LC	继电器动作指示灯 (继电器触点闭合)
DB25	并口下载电缆接口, 当用板上下载电路时, 需要使用
L12 ~ L1	LED (发光二极管), 共阴接法, CPLD 提供高电平亮
74HC244	板上 BYTEBLASTERMV 电路的驱动芯片
FC1	EPM7128/7064 (PLCC84) 的 JTAG 下载接口, 可以和 ByteBlasterMV 配用, 也可以和 FC3 配用
FC2	EPM7064/7032 (PLCC44) 的 JTAG 下载接口, 可以和 ByteBlasterMV 配用, 也可以和 FC3 配用
FC3	板上 ByteBlasterMV 电路的 PIN10 端接口, 用配件中的十芯连接线和 FC1 或 FC2 连接; 也可以用配件中的十芯连接线和用户的下载电路连接使用
SPEAK	交流蜂鸣器, 提供 5V 交流电源发声

EPM7064	CPLD 芯片 EPM7064SLC44(也可以是 EPM7032SLC44)
J3	, EMM7064 的 I/O 全部引到 J3、J5 上, 如果需要和外部连接, 使用配件中的 A、B 连接线和外部连接
J5	
EPM7128	CPLD 芯片 EPM7128SLC84
J9	EMM7128 的 I/O 全部引到 J9、J10、J11、J12 上, 如果需要和外部连接, 使用附录中的 A、B、C、D 连接线外部电路连接或和 J3、J5 连接
J10	
J11	