

第8章 模数转换 (ADC) 模块

8.1 ADC 模块的特性

- (1) 10bit ADC内核，带有内置采样-保持电路。
- (2) 375ns的转换时间。
- (3) 16个模拟输入通道。
- (4) 对16路模拟量进行“自动排序”。
- (5) 2个独立的8状态排序器 (SEQ1和SEQ2) — 双排序器，或级联为16个状态排序器模式 (SEQ) — 单排序器。
- (6) 在给定的排序模式下，4个排序控制器 (CHSELSEQn) 决定模拟通道的转换顺序。

(7) 16个存放结果的寄存器 (RESULT0~RESULT15)。

(8) 有多个启动ADC转换的触发源如下:

- * 软件启动

- * EVA事件管理器启动 (比较匹配、周期匹配、下溢、CAP3)

- * EVB事件管理器启动 (比较匹配、周期匹配、下溢、CAP6)

- * ADC的SOC引脚启动 (与XINT2引脚共用)

- (9) EVA和EVB可分别独立地触发SEQ1和SEQ2（仅用于双排序器模式）
- (10) 采样/保持时间有单独的预定标控制。
- (11) LF240x/240xA DSP的ADC模块和24x的ADC模块不兼容。

ADC模块的寄存器如表8-1所示:

表8-1 ADC模块的寄存器

地址	寄存器	名称
70A0h	ADCTRL1	ADC控制寄存器1
70A1h	ADCTRL2	ADC控制寄存器2
70A2h	MAXCONV	最大转换通道寄存器
70A3h	CHSELSEQ1	通道选择排序控制寄存器1
70A4h	CHSELSEQ2	通道选择排序控制寄存器2
70A5h	CHSELSEQ3	通道选择排序控制寄存器3
70A6h	CHSELSEQ4	通道选择排序控制寄存器4
70A7h	AUTO_SEQ_SR	自动排序状态寄存器

地址

寄存器

名称

70A8h~70B7h

RESULT0~RESULT15

转换结果寄存器0~15

70B8h

CALIBRATION

校准寄存器

8.2 ADC模块概述

8.2.1 自动排序器工作原理

2个8状态排序器SEQ1和SEQ2，也可级联成一个16状态排序器SEQ。

状态：排序器可以执行的自动转换数目。

ADC模块能对一系列的转换进行排序。转换结束后，

结果依次保存在RESULT0、RESULT1.....中。

用户也可对同一通道进行多次采样，即“过采样”，得

到的采样结果比传统的单采样结果分辨率高。

单排序器模式下ADC模块原理框图如图8-1所示。

双排序器模式下ADC模块原理框图如图8-2所示。

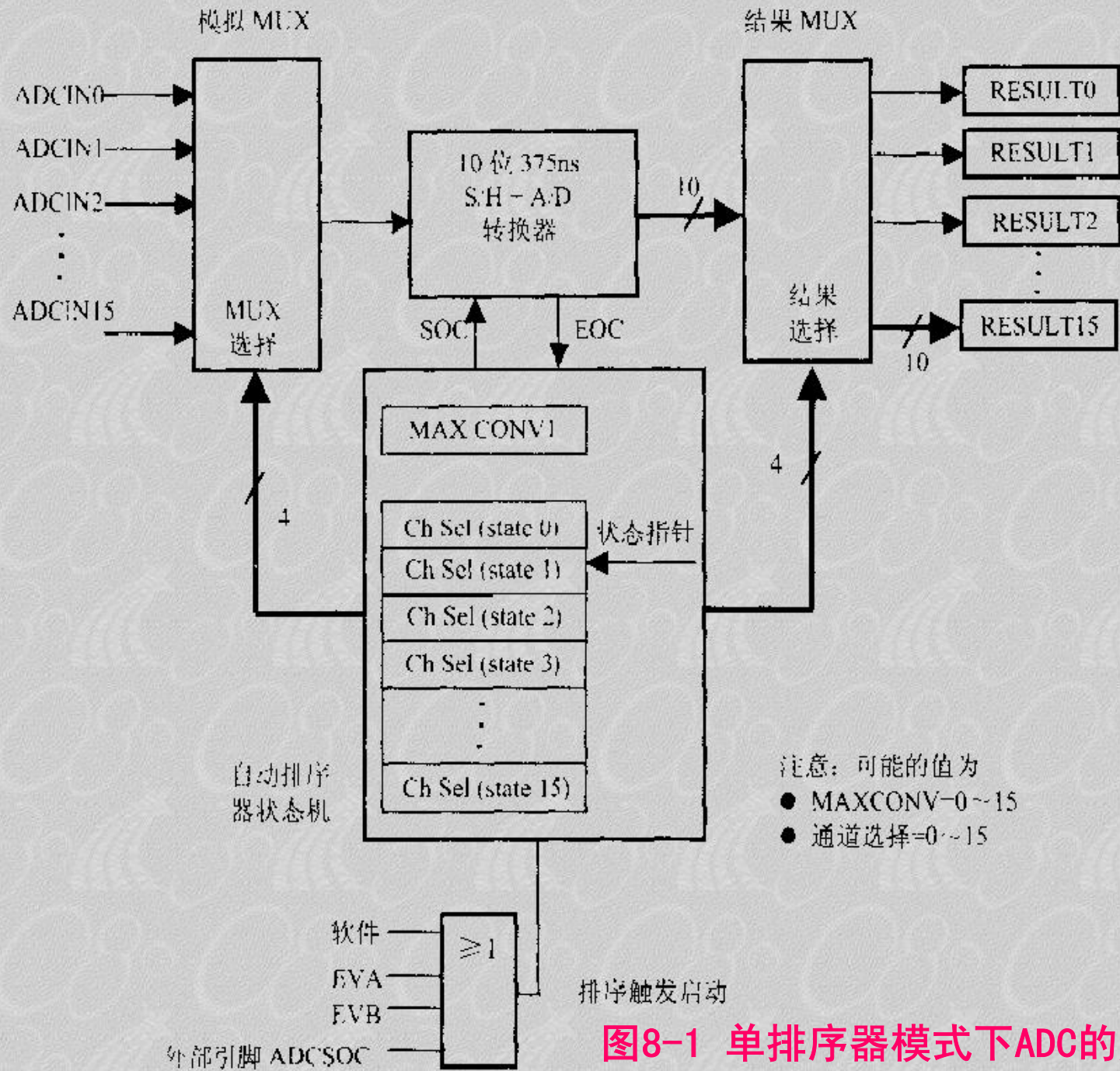


图8-1 单排序器模式下ADC的原理框图

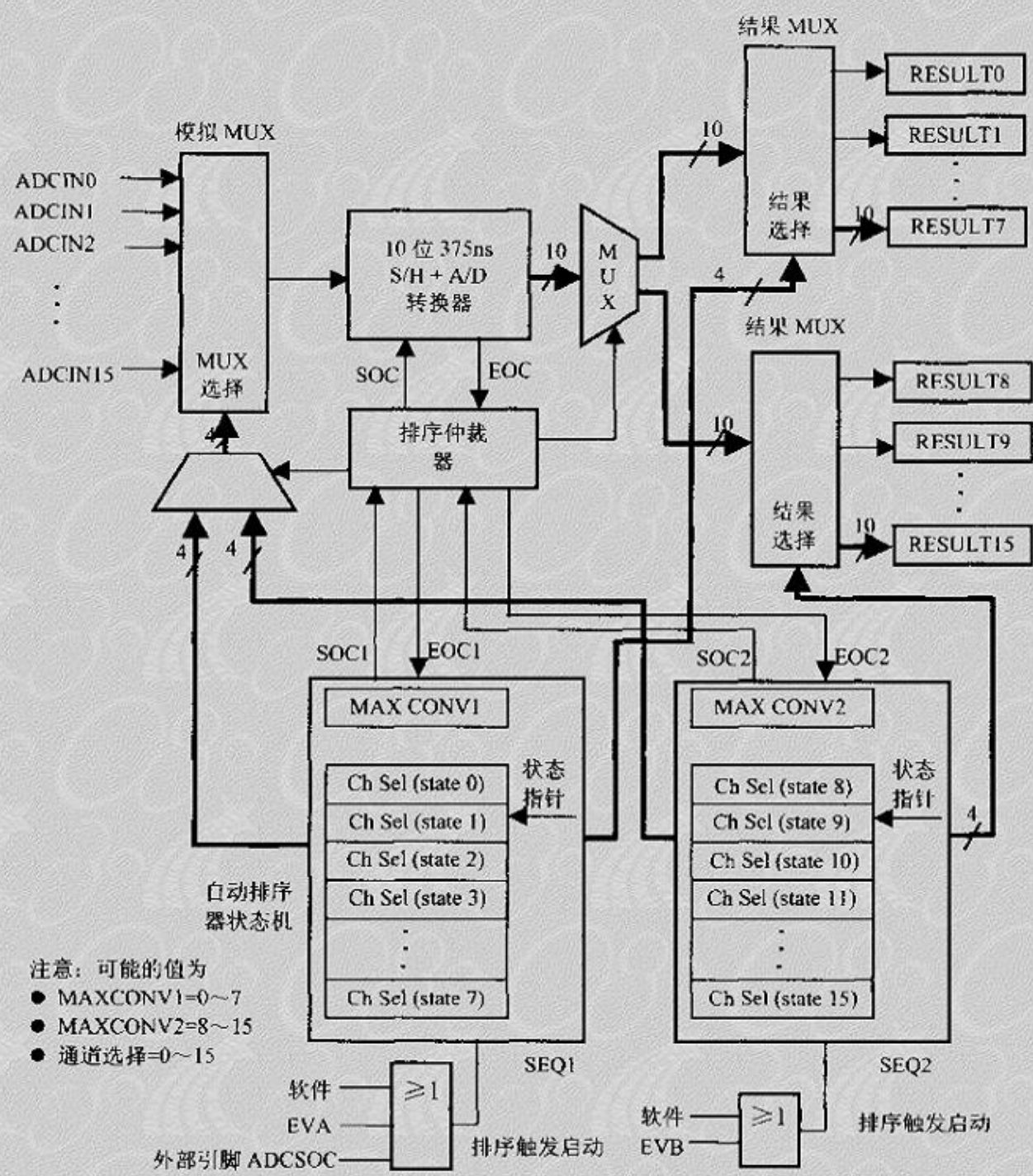


图8-2 双排序器模式
下ADC的原理框图

为讲解方便，规定排序器的状态如下：

排序器SEQ1： CONV00–CON07

排序器SEQ2： CONV08–CON15

排序器SEQ： CONV00–CON15

转换触发特性：

SEQ1： 软件、EVA、外部引脚，优先级高于SEQ2

SEQ2： 软件、EVB，优先级低于SEQ1

SEQ： 软件、EVA、EVB、外部引脚，无仲裁优先级

为每个排序所选的模拟输入通道由**排序控制寄存器**

(CHSELSEQn)的**CONVnn位域 (4位长)**所定义，可指定16通道中的任何一个。

8.2.2 不中断的自动排序的模式

此模式，SEQ1/SEQ2在一次排序过程中，可对8个转换通道进行**自动排序**。转换结果被保存到**8个结果寄存器**（SEQ1为**RESULT0–RESULT7**，SEQ2为**RESULT8–RESULT15**）。

在一个排序中的转换个数受寄存器MAX CONV中的一个3位域或4位域MAX CONV_n控制。它的值在自动排序转换开始时被自动装载到自动排序状态寄存器（AUTO_SEQ_SR）的排序计数器SEQCNTR_n。

MAX CONV_n位域的值在0~7之间，排序器从状态CONV00开始转换，SEQ CNTR_n位域从装载值开始向下计数，直到SEQ CNTR_n为0。

一次自动排序中完成的转换数为MAX CONV_n +1。

例8.1 利用SEQ1进行A/D转换

假设SEQ1要完成7个通道的转换（通道2、3、2、3、6、7和12需要进行自动排序转换），则MAX CONV1的值应该设置为6，且CHSELSEQ_n寄存器的设置如下：

	位15-12	位11-8	位7-4	位3-0	
70A3h	3	2	3	2	CHSELSEQ1
70A4h	x	12	7	6	CHSELSEQ2
70A5h	x	x	x	x	CHSELSEQ3
70A6h	x	x	x	x	CHSELSEQ4

不中断的自动排序模式流程图如图8-3所示。

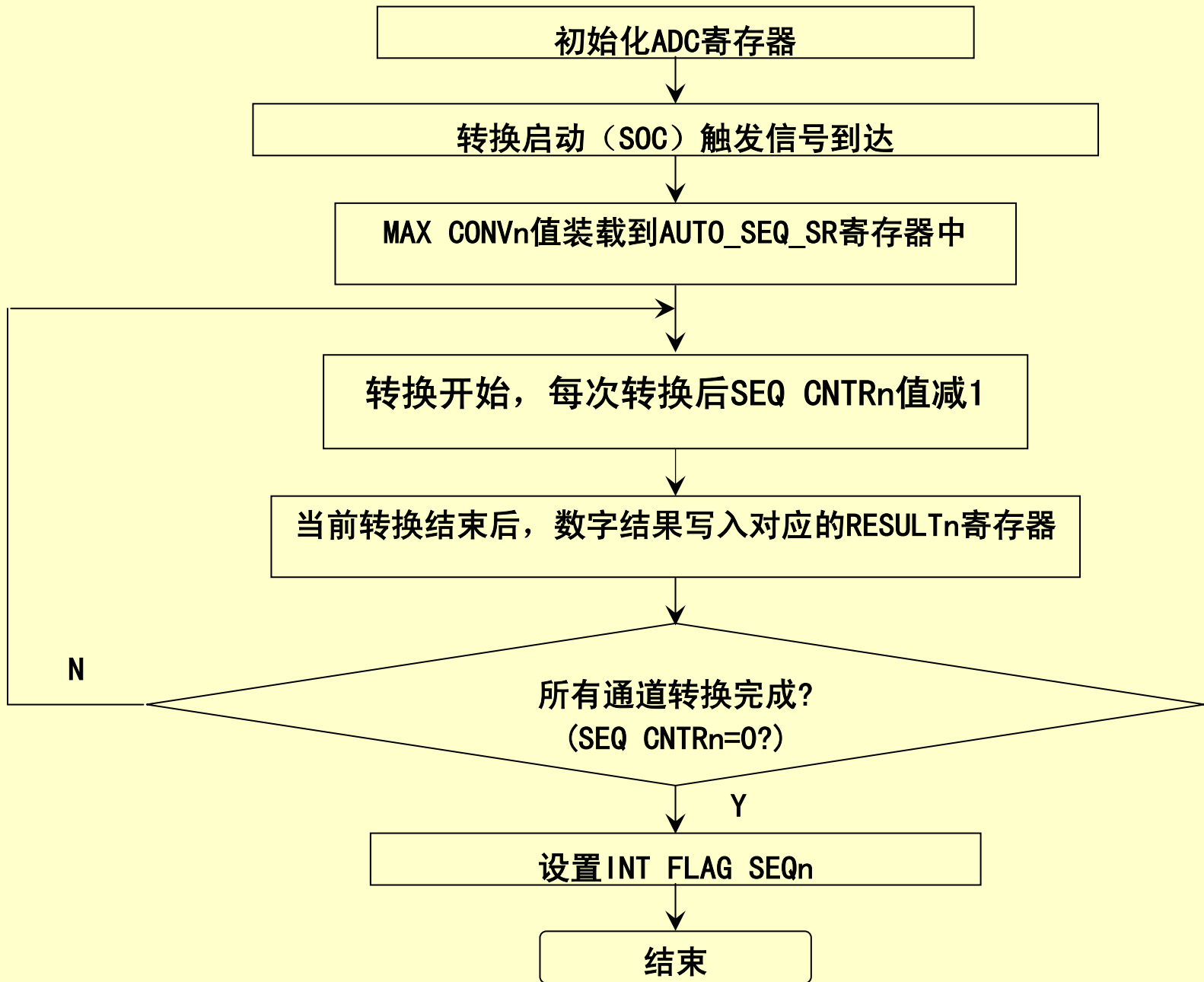


图8-3 不中断的自动排序模式流程图

一旦转换启动（SOC）触发信号被排序器收到后，转换立即开始，转换通道数载入SEQ CNTRn位域，按照CHSELSEQn寄存器指定的通道顺序进行转换。

每个通道转换结束后，SEQ CNTRn自动减1。当SEQ CNTRn达到0时，将根据ADCTRL1寄存器的连续运行位（CONT RUN）状态，发生以下事情：

- (1) 如果CONT RUN位=1，转换排序自动再次启动（即SEQ CNTRn重载MAX CONV1中的初始值，且SEQ1状态被置于CONV00）。

在这种情况下，必须**确保**在下一次转换排序之前读取结果寄存器。

在ADC模块向结果寄存器写入数据而用户却想从结果寄存器读取数据时，**ADC的仲裁逻辑**确保结果寄存器不会崩溃。

(2) **如果CONT RUN位=0**，则排序会停留在过去的状态（例如CONV06），并且SEQ CNTRn继续保持0值。

因为每次SEQ CNTR_n达到0时，中断标志会被置1。

如果需要，用户可使用ADCTRL2寄存器的RST SEQ_n位，在中断服务程序中复位排序器，以便下一次转换启动时，SEQ CNTR_n可以重载MAX CONV1的初始值，且SEQ1状态被设置为CONV00。这一特性在排序器的启动/停止操作中很有用。

8.2.3 排序器的启动/停止模式

除不中断的自动排序模式外，任何一个排序器都可工作在启动/停止模式。

在此模式，可实现多个启动转换触发在时间上同步。这种模式和上例基本相同，但是排序器完成一个转换序列之后，可以在没有复位到初始状态CONV00情况下，被重新触发。因此当一个转换排序结束后，排序器停留在当前的转换状态。

在这种方式下，ADCTRL1寄存器的连续运行位必须设置为禁止（写0）。

例8.2 排序器的启动/停止操作

使用触发信号1（定时器下溢）启动3个自动转换（例如I₁、I₂、I₃），触发信号2（定时器周期）启动3个自动转换（例如V₁、V₂、V₃）。两个触发信号在时间上是分开的，时间间隔为25微秒，并且由事件管理器A提供，如图8-4所示。本实例只用了SEQ1。

注意：触发信号1和2可以是事件管理器A(EVA)的转换启动(SOC)信号、外部引脚或软件。相同的触发信号要产生两次，以满足本例双触发器的要求。

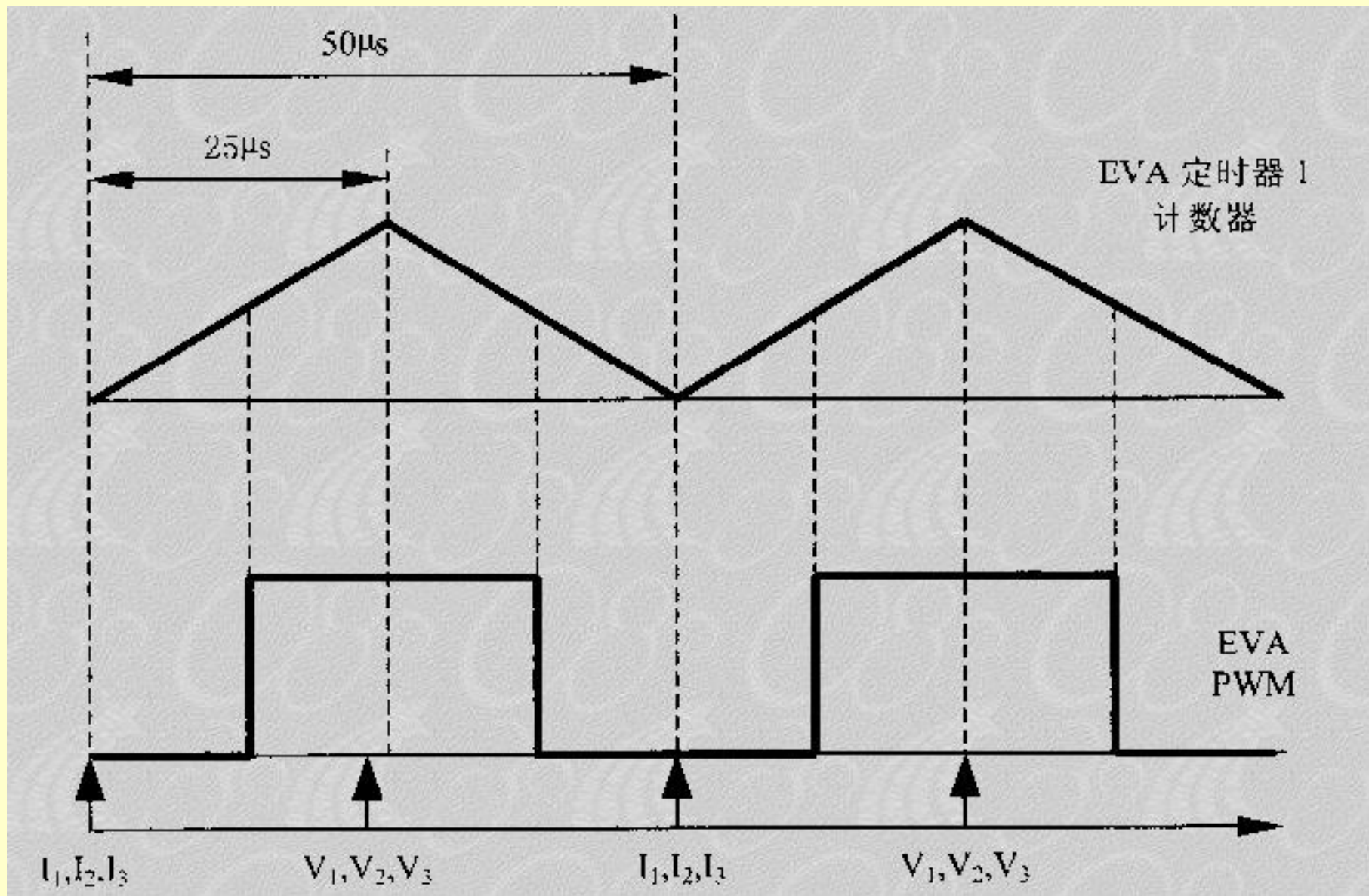


图8-4 事件管理器A启动排序器的例子

在这种情况下，MAX CONV1的值被设置为2，输入通道选择排序控制寄存器 (CHSELSEQn) 的设置见表8-4。

表8-4 例8. 2中CHSELSEQn寄存器设置

	位15-12	位11-8	位7-4	位3-0	
70A3h	V ₁	I ₃	I ₂	I ₁	CHSELSEQ1
70A4h	x	x	V ₃	V ₂	CHSELSEQ2
70A5h	x	x	x	x	CHSELSEQ3
70A6h	x	x	x	x	CHSELSEQ4

复位和初始化之后，SEQ1等待触发信号。第一个触发信号到来之后，执行CONV00 (I₁)、CONV01 (I₂) 和 CONV02 (I₃) 这3个转换，然后，SEQ1在当前状态等待另一个触发信号。当第二个触发信号到来时，ADC模块

开始另外3个转换，分别为CONV03 (V_1)、CONV04 (V_2) 和 CONV05 (V_3)。

在这两种触发情况下，MAX CONV1的值被自动装入到SEQ CNTV_n中。如果第二个触发信号到来时，要求转换的数目和第一个触发时不一样，则用户必须在第二个触发信号到来之前通过软件改变MAX CONV1的值，否则ADC将重新使用原来的MAX CONV1的值。

在两个自动转换完成后，ADC的结果寄存器的值如表8-5所示。

表8-5 例8.2中ADC结果寄存器的值

缓冲寄存器	ADC的结果
RESULT0	I1
RESULT1	I2
RESULT2	I3
RESULT3	V1
RESULT4	V2
RESULT5	V3
RESULT6-RESULT15	X

8.2.4 输入触发器描述

每一个排序器都有一组能被使能或禁止的触发源。

SEQ1、SEQ2和SEQ的有效输入触发源见表8-6。

表8-6 SEQ1、SEQ2和SEQ的有效输入触发源

SEQ1	SEQ2	SEQ
软件触发 事件管理器A 外部SOC引脚	软件触发 事件管理器B	软件触发 事件管理器A 事件管理器B 外部SOC引脚

8.2.5 排序转换期间的中断操作

排序器在转换期间有**两种**中断方式。

第一种中断方式是在**每次EOS（转换结束）**到来时产生中断请求。

第二种中断方式是**每隔一个EOS（转换结束）**信号产生中断请求。

8.3 ADC时钟预定标

模数转换过程分为两个时段：**采样/保持时段**，**转换时段**，如图8-6所示。LF240xA DSP中ADC的**采样/保持 (S/H) 时间可以调节**，以适应输入信号阻抗的变化，如图8-7所示。

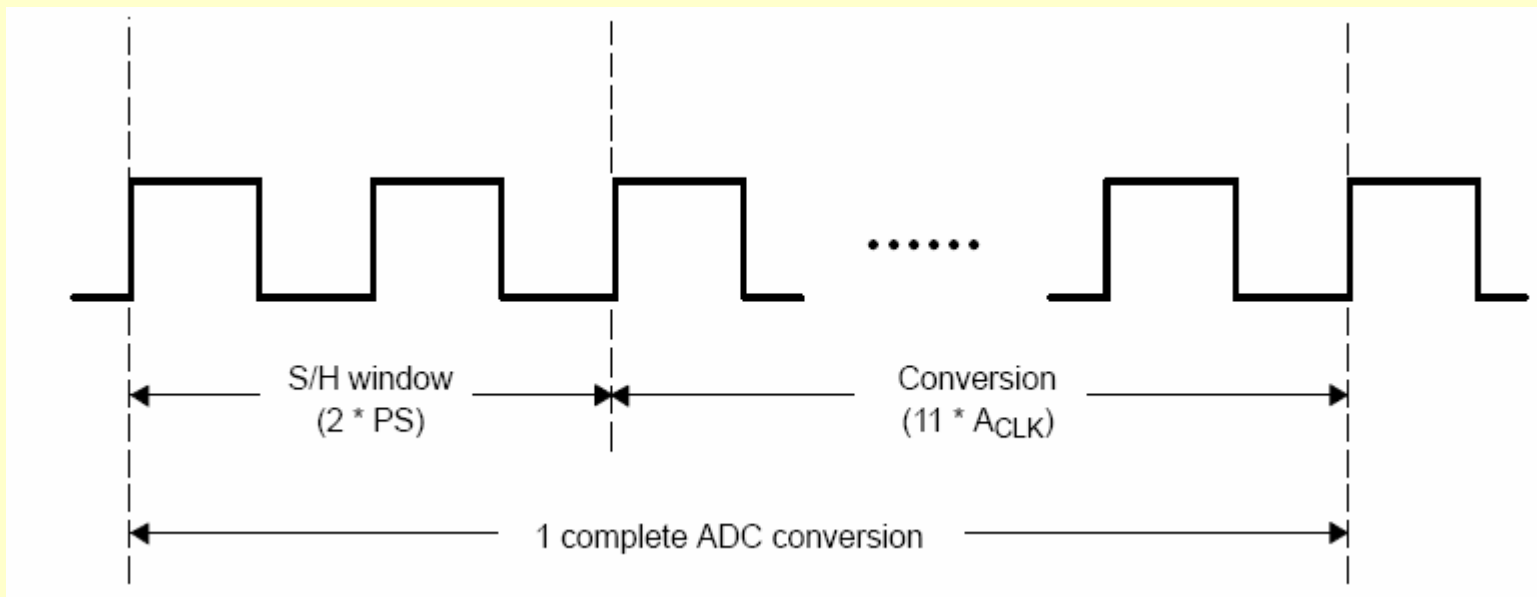


图8-6 ADC转换时段

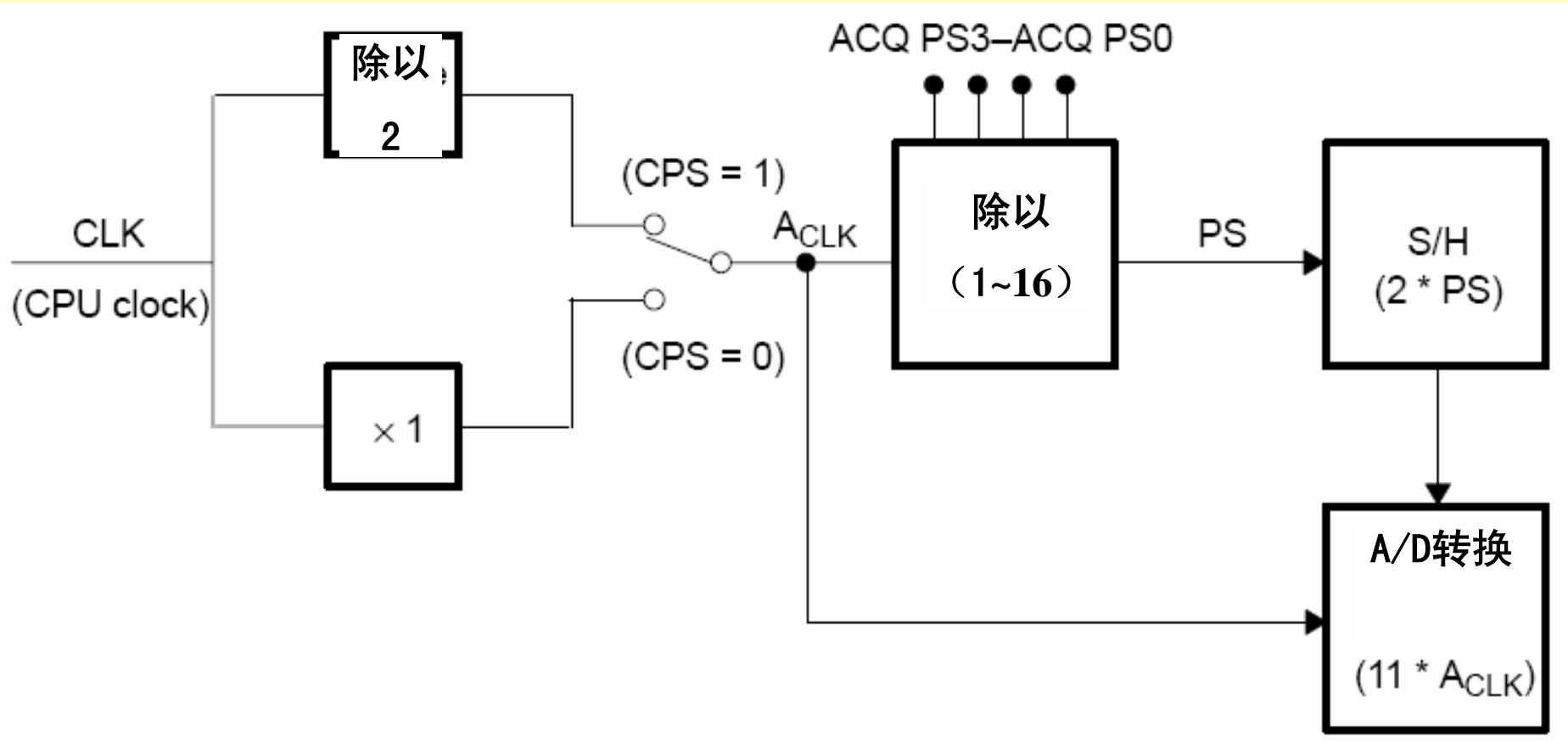


图8-7 ADC模块的时钟预定标

8.4 ADC校准

LF240x DSP具有校准模式，CALIBRATION寄存器可用，而LF240xA DSP没有标定和自测试特性，CALIBRATION寄存器不可用。

校准模式下可以计算ADC模块的零、中值和最大值的偏置误差。该偏置误差的二进制补码被载入CALIBRATION寄存器后，ADC硬件自动将偏置误差加到转换值上。

8.5 ADC控制寄存器（略）

8.6 ADC转换时间

ADC转换周期可以分为5个阶段：

- (1) 排序启动的同步时间（**SOS同步**），SOS同步时间仅在转换序列的第一个转换中有。
- (2) 采样时间（**ACQ**）。
- (3) 转换时间（**CONV**）。
- (4) 转换结束时间（**EOC**）。ACQ、CONV和EOC时间在一个序列的每个转换中都有。
- (5) 序列转换结束标志设置时间（**EOS**），EOS仅用于一个序列的最后一个转换。

ADC各转换阶段所需CLKOUT周期个数见表8-15。

表8-15 ADC各转换阶段所需CLKOUT周期个数

转换阶段	CLKOUT周期 (CPS=0)	CLKOUT周期 (CPS=1)
SOS同步	2	2或3 (注1)
ACQ	2 (注2)	4 (注2)
CONV	10	20
EOC	1	2
EOS	1	1