

## PHILIPS 单片 16/32 位微控制器—LPC2104/2105/2106

1. 概述 .....	3
2. 特性 .....	3
2.1 主要特性.....	3
3. 订购信息 .....	4
3.1 订购选项.....	4
4. 结构框图 .....	5
5. 管脚信息 .....	6
5.1 管脚排列.....	6
5.2 管脚描述.....	7
6. 功能描述 .....	9
6.1 结构概述.....	9
6.2 片内 FLASH 程序存储器 .....	10
6.3 片内静态 RAM.....	10
6.4 存储器映射.....	10
6.5 中断控制器.....	12
6.5.1 中断源.....	12
6.6 管脚连接模块.....	13
6.7 管脚功能选择寄存器 0 (PINSEL0 – 0xE002C000) .....	13
6.8 管脚功能选择寄存器 1 (PINSEL1 – 0xE002C004) .....	14
6.9 通用并行 I/O 口 (GPIO).....	15
6.9.1 特性.....	15
6.10 UART .....	16
6.10.1 特性.....	16
6.11 I <sup>2</sup> C 串行 I/O 控制器 .....	16
6.11.1 特性.....	16
6.12 SPI 串行 I/O 控制器.....	16
6.12.1 特性.....	16
6.13 通用定时器.....	17
6.13.1 特性.....	17
6.14 看门狗.....	17
6.14.1 特性.....	17
6.15 实时时钟.....	17
6.15.1 特性.....	17
6.16 脉宽调制器(PWM) .....	18
6.16.1 特性.....	18
6.17 系统控制模块.....	18
6.17.1 晶振.....	18
6.17.2 PLL.....	18

6.17.3 复位和唤醒定时器.....	19
6.17.4 外部中断输入.....	19
6.17.5 存储器映射控制.....	19
6.17.6 功率控制.....	19
6.17.7 VPB 总线.....	19
6.18 仿真和调试.....	20
6.18.1 EmbeddedICE 逻辑.....	20
6.18.2 嵌入式跟踪.....	20
6.18.3 RealMonitor.....	20
<b>7. 极限参数 .....</b>	<b>21</b>
<b>8. 静态特性 .....</b>	<b>21</b>
<b>9. 动态特性 .....</b>	<b>23</b>
9.1 时序.....	23
<b>10. 表面封装 .....</b>	<b>24</b>
<b>11. 修订记录.....</b>	<b>25</b>

## 1. 概述

LPC2104/2105/2106 基于一个支持实时仿真和跟踪的 ARM7TDMI-S CPU, 并带有 128k 字节(kB) 嵌入的高速 Flash 存储器。128 位宽度的存储器接口和独特的加速结构使 32 位代码能够在最大时钟速率下运行。对代码规模有严格控制的应用可使用 16 位 Thumb 模式将代码规模降低超过 30%, 而性能的损失却很小。

由于 LPC2104/2105/2106 非常小的尺寸和极低的功耗, 它们非常适合于那些将小型化作为主要要求的应用, 例如访问控制和电子收款机 (POS)。带有宽范围的串行通信接口片内多达 64k 字节的 SRAM, 由于具有大的缓冲区规模和强大的处理能力, 它们非常适合于通信网关和协议转换器、软件调制解调器、声音识别以及低端的图像处理。而多个 32 位定时器、PWM 输出和 32 个 GPIO 使它们特别适用于工业控制和医疗系统。

## 2. 特性

### 2.1 主要特性

- 16/32 位 ARM7TDMI-S 处理器
- 16/32/64kB 片内静态 RAM
- 128kB 片内 Flash 程序存储器, 128 位接口/加速器使其实现了 60MHz 的高速操作。
- 通过片内 Boot-loader 软件实现在系统编程 (ISP) 和在应用编程 (IAP); Flash 编程时间: 1ms 可编程 512 字节, 单扇区擦除和整片擦除只需 400ms。
- 向量中断控制器, 可配置优先级和向量地址。
- EmbeddedICE-RT 接口使能断点和观察点; 当前台任务使用片内 RealMonitor 软件调试时, 中断服务程序可继续执行。
- 嵌入式跟踪宏单元对指令的执行实现了非插入的高速实时跟踪
- 多个串行接口, 包括双 UART (16C550), 高速 I<sup>2</sup>C (400kbits/s) 和 SPI<sup>TM</sup>。
- 两个 32 位定时器 (7 路捕获/比较通道)、PWM 单元 (6 路输出)、实时时钟和看门狗定时器。
- 小型的 LQFP48 封装 (7×7mm<sup>2</sup>) 有多达 32 个可承受 5V 的通用 I/O 口
- 通过可编程的片内锁相环可实现最大为 60MHz 的 CPU 操作频率, 设置时间为 100us。
- 片内晶振的操作频率范围: 1MHz~30MHz
- 两个低功耗模式: 空闲和掉电
- 通过外部中断将处理器从掉电模式中唤醒
- 外设功能可单独使能/禁止, 实现功耗最优化
- 双电源

—CPU 操作电压范围: 1.65V~1.95V(1.8V±8.3%)

—I/O 电源电压范围: 3.0V~3.6V(3.3V±10%), I/O 可承受 5V 电压

### 3. 订购信息

表 1 订购信息

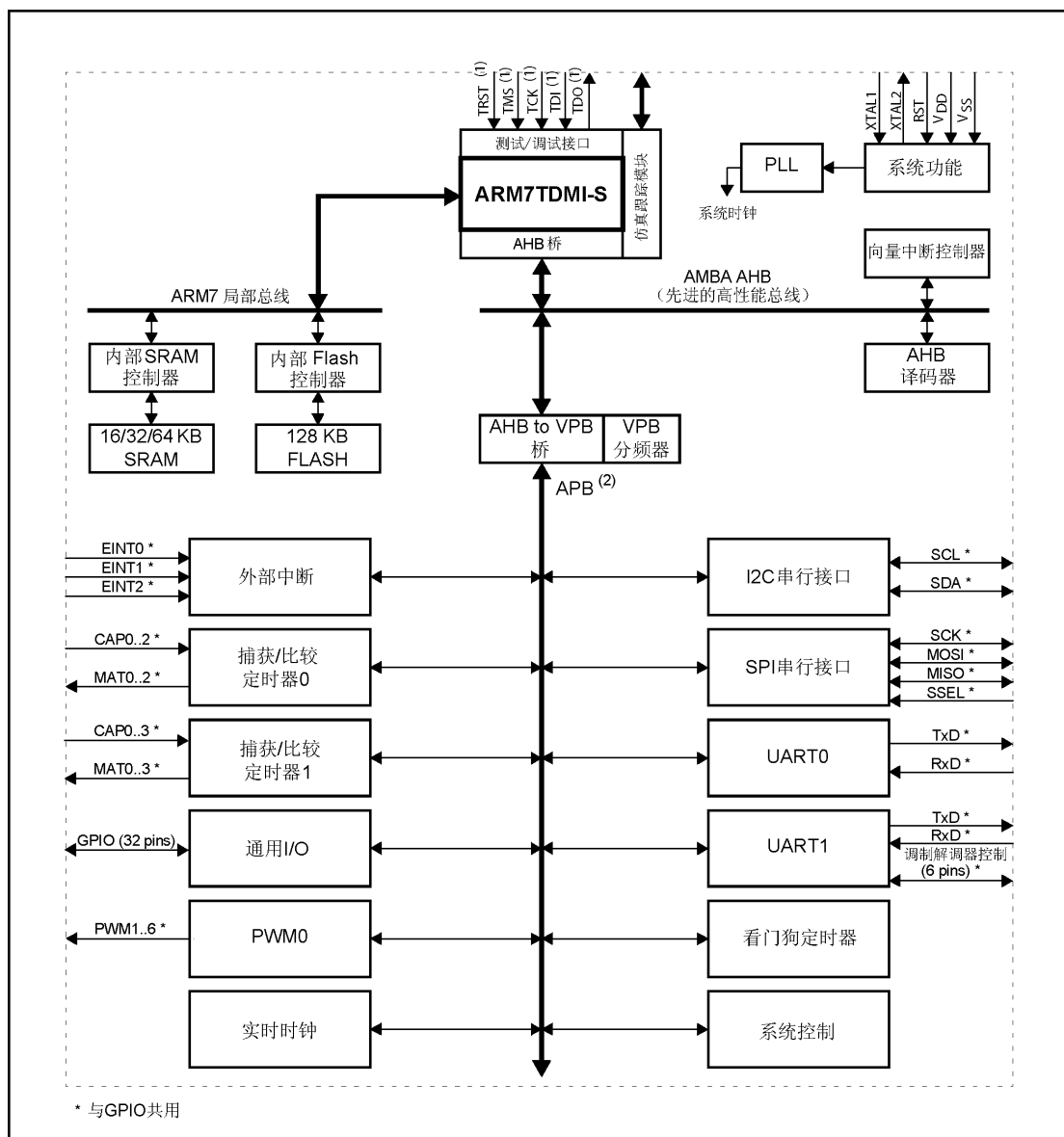
产品编号	封装		
	名称	描述	版本
LPC2104BBD48	LQFP48	塑料小型四方扁平封装; 48 脚; 本体宽度 7×7×1.4mm	SOT313-2
LPC2105BBD48	LQFP48	塑料小型四方扁平封装; 48 脚; 本体宽度 7×7×1.4mm	SOT313-2
LPC2106FBD48	LQFP48	塑料小型四方扁平封装; 48 脚; 本体宽度 7×7×1.4mm	SOT313-2
LPC2106FHN48	HVQFN48	塑料散热增强型小型四方扁平封装; 无引脚; 48 端; 本体宽度 7×7×0.85mm	SOT619-1

#### 3.1 订购选项

表 2 器件选项

产品编号	存储器		温度范围(°C)
	Flash	RAM	
LPC2104BBD48	128kB	16kB	0~+70, LQFP
LPC2105BBD48	128kB	32kB	0~+70, LQFP
LPC2106FBD48	128kB	64kB	-40~+85, LQFP
LPC2106FHN48	128kB	64kB	-40~+85, HVQFN

#### 4. 结构框图



(1) 当用作测试/调试接口时，GPIO/其它共用这些管脚的功能不可用。

(2) 带 Ready 信号的 APB。

图 1 结构框图

## 5. 管脚信息

### 5.1 管脚排列

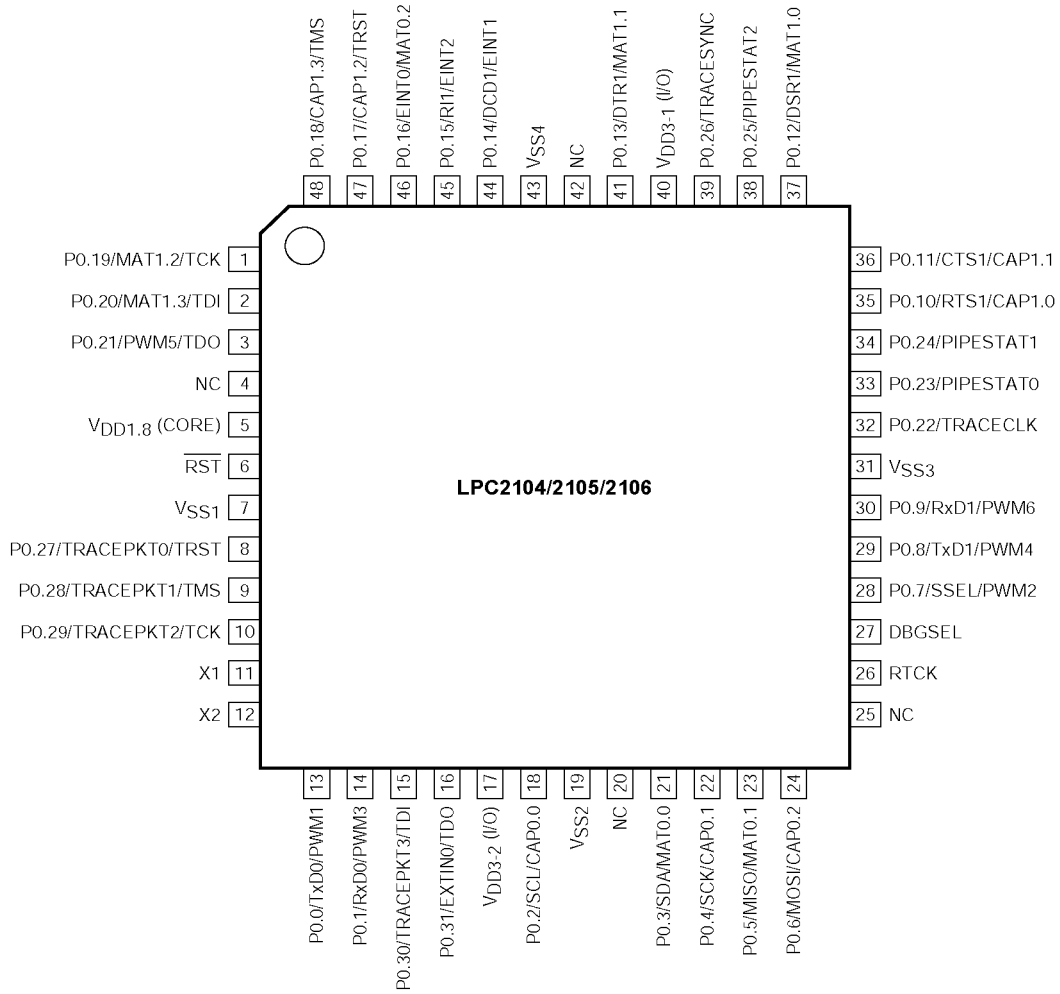


图 2 管脚配置

## 5.2 管脚描述

表 3 管脚描述

符号	LQFP	类型	描述
P0.0~P0.31		I/O	<b>P0 口</b> : P0 口是一个 32 位双向 I/O 口。每个位都有独立的方向控制。P0 口管脚的操作取决于管脚连接模块所选择的功能。
	13	I/O O O	<b>P0.0</b> P0 口位 0 <b>TxD0</b> UART0 的发送器输出 <b>PWM1</b> 脉宽调制器输出 1
	14	I/O I O	<b>P0.1</b> P0 口位 1 <b>RxD0</b> UART0 的接收器输入 <b>PWM3</b> 脉宽调制器输出 3
	18	I/O I/O I	<b>P0.2</b> P0 口位 2 <b>SCL</b> I <sup>2</sup> C 时钟输入/输出。开漏输出(符合 I <sup>2</sup> C 规范) <b>CAP0.0</b> 定时器 0 捕获输入 0
	21	I/O I/O O	<b>P0.3</b> P0 口位 3 <b>SDA</b> I <sup>2</sup> C 数据输入/输出。开漏输出(符合 I <sup>2</sup> C 规范) <b>MAT0.0</b> 定时器 0 匹配输出 0
	22	I/O I/O I	<b>P0.4</b> P0 口位 4 <b>SCK</b> 串行时钟, SPI 主机输出或从机输入的时钟 <b>CAP0.1</b> 定时器 0 捕获输入 1
	23	I/O I/O O	<b>P0.5</b> P0 口位 5 <b>MISO</b> 主机输入从机输出 SPI 从机到主机的数据传输 <b>MAT0.1</b> 定时器 0 匹配输出 1
	24	I/O I/O I	<b>P0.6</b> P0 口位 6 <b>MOSI</b> 主机输出从机输入 SPI 主机到从机的数据传输 <b>CAP0.2</b> 定时器 0 捕获输入 2
	28	I/O I O	<b>P0.7</b> P0 口位 7 <b>SSEL</b> SPI 从机选择 <b>PWM2</b> 脉宽调制器输出 2
	29	I/O O O	<b>P0.8</b> P0 口位 8 <b>TxD1</b> UART1 的发送器输出 <b>PWM4</b> 脉宽调制器输出 4
	30	I/O I O	<b>P0.9</b> P0 口位 9 <b>RxD1</b> UART1 的接收器输入 <b>PWM6</b> 脉宽调制器输出 6
	35	I/O O I	<b>P0.10</b> P0 口位 10 <b>RTS1</b> UART1 请求发送输出 <b>CAP1.0</b> 定时器 1 捕获输入 0
	36	I/O I I	<b>P0.11</b> P0 口位 11 <b>CTS1</b> UART1 的清零发送输出 <b>CAP1.1</b> 定时器 1 捕获输入 1

续上表

管脚名称	LQFP	类型	描述
	37	I/O I O	<b>P0.12</b> P0 口位 12 <b>DSR1</b> UART1 的数据设置输入 <b>MAT1.0</b> 定时器 1 匹配输出 0
	41	I/O O O	<b>P0.13</b> P0 口位 13 <b>DTR1</b> UART1 的数据终端就绪输出 <b>MAT1.1</b> 定时器 1 匹配输出 1
	44	I/O I I	<b>P0.14</b> P0 口位 14 <b>DCD1</b> UART1 数据载波检测输入 <b>EINT1</b> 外部中断 1 输入
	45	I/O I I	<b>P0.15</b> P0 口位 15 <b>RI1</b> UART1 铃声指示输入 <b>EINT2</b> 外部中断 2 输入
	46	I/O I O	<b>P0.16</b> P0 口位 16 <b>EINT0</b> 外部中断 0 输入 <b>MAT0.2</b> 定时器 0 匹配输出 2
	47	I/O I I	<b>P0.17</b> P0 口位 17 <b>CAP1.2</b> 定时器 1 捕获输入 2 <b>TRST</b> JTAG 接口的测试复位 首要 JTAG 管脚组
	48	I/O I I	<b>P0.18</b> P0 口位 18 <b>CAP1.3</b> 定时器 1 捕获输入 3 <b>TMS</b> JTAG 接口的模式选择 首要 JTAG 管脚组
	1	I/O O I	<b>P0.19</b> P0 口位 19 <b>MAT1.2</b> 定时器 1 匹配输出 2 <b>TCK</b> JTAG 接口的测试时钟 首要 JTAG 管脚组
	2	I/O O I	<b>P0.20</b> P0 口位 20 <b>MAT1.3</b> 定时器 1 匹配输出 3 <b>TDI</b> JTAG 接口的测试数据输入 首要 JTAG 管脚组
	3	I/O O O	<b>P0.21</b> P0 口位 21 <b>PWM5</b> 脉宽调制器输出 5 <b>TDO</b> JTAG 接口的测试数据输出 首要 JTAG 管脚组
	32	I/O O	<b>P0.22</b> P0 口位 22 <b>TRACECLK</b> 跟踪时钟, 带内部上拉的标准 I/O 口
	33	I/O O	<b>P0.23</b> P0 口位 23 <b>PIPESTAT0</b> 流水线状态位 0, 带内部上拉的标准 I/O 口
	34	I/O O	<b>P0.24</b> P0 口位 24 <b>PIPESTAT1</b> 流水线状态位 1, 带内部上拉的标准 I/O 口
	38	I/O O	<b>P0.25</b> P0 口位 25 <b>PIPESTAT2</b> 流水线状态位 2, 带内部上拉的标准 I/O 口
	39	I/O O	<b>P0.26</b> P0 口位 26 <b>TRACESYNC</b> 跟踪同步, 带内部上拉的标准 I/O 口



续上表

管脚名称	LQFP	类型	描述
	8	I/O O I	<b>P0.27</b> P0 口位 27 <b>TRACEPKT0</b> 跟踪包位 0, 带内部上拉的标准 I/O 口 <b>TRST</b> JTAG 接口的测试复位 次要 JTAG 管脚组
	9	I/O O I	<b>P0.28</b> P0 口位 28 <b>TRACEPKT1</b> 跟踪包位 1, 带内部上拉的标准 I/O 口 <b>TMS</b> JTAG 接口的模式选择 首要 JTAG 管脚组
	10	I/O O I	<b>P0.29</b> P0 口位 29 <b>TRACEPKT2</b> 跟踪包位 2, 带内部上拉的标准 I/O 口 <b>TCK</b> JTAG 接口测试时钟, 次要 JTAG 管脚组
	15	I/O O I	<b>P0.30</b> P0 口位 30 <b>TRACEPKT3</b> 跟踪包位 3, 带内部上拉的标准 I/O 口 <b>TDI</b> JTAG 接口测试数据输入, 次要 JTAG 管脚组
	16	I/O I O	<b>P0.31</b> P0 口位 31 <b>EXTIN0</b> 外部触发输入, 带内部上拉的标准 I/O 口 <b>TDO</b> JTAG 接口测试数据输出, 次要 JTAG 管脚组
RTCK	26	I/O	返回的测试时钟输出 JTAG 端口的额外信号。当处理器频率变化时帮助调试器保持同步。另外还用于在调试模式入口时选择 48 脚封装的首要或次要 JTAG 管脚。带内部上拉的双向口。
DBGSEL	27	I	调试选择 当为低时, 管脚正常操作。当为高时进入调试模式, 带内部上拉的输入管脚。
RST	6	I	外部复位输入 该管脚的低电平将器件复位, 并使 I/O 口和外围功能恢复默认状态, 处理器从地址 0 开始执行。
X1	11	I	振荡器电路和内部时钟发生器的输入
X2	12	O	振荡放大器的输出
VSS	7,19,31,43	I	地: 0V 参考点
V <sub>DD1.8</sub>	5	I	1.8V 内核供电电源: 内部电路的电源。
V <sub>DD3</sub>	17,40	I	3.3V 电源: I/O 口的电源
NC	4,20,25,42	-	未连接: 这些管脚在 48 脚封装中未连接。

## 6. 功能描述

### 6.1 结构概述

ARM7TDMI-S 是一个通用的 32 位微处理器, 它可提供高性能和低功耗。ARM 结构是基于精简指令集计算机(RISC)原理而设计的。指令集和相关的译码机制比复杂指令集计算机要简单得多。这样使用一个小的、廉价的处理器核就可实现很高的指令吞吐量和实时的中断响应。

由于使用了流水线技术, 处理和存储系统的所有部分都可连续工作。通常在执行一条指令的同时对下一条指令进行译码, 并将第三条指令从存储器中取出。

ARM7TDMI-S 处理器使用了一个被称为 THUMB 的独特的结构化策略, 它非常适用于那些对存储器有限制或者需要较高代码密度的大批量产品的应用。

在 THUMB 后面一个关键的概念是“超精简指令集”。ARM7TDMI-S 处理器基本上具有两个指令集:

- 标准 32 位 ARM 指令集
- 16 位 THUMB 指令集

THUMB 指令集的 16 位指令长度使其可以达到标准 ARM 代码两倍的密度，却仍然保持 ARM 的大多数性能上的优势，这些优势是使用 16 位寄存器的 16 位处理器所不具有的。这是因为 THUMB 代码和 ARM 代码一样，在相同的 32 位寄存器上进行操作。

THUMB 代码仅为 ARM 代码规模的 65%，但其性能却相当于连接到 16 位存储器系统的相同 ARM 处理器性能的 160%。

ARM7TDMI-S 处理器在 ARM7TDMI-S 手册中详细讲述。

## 6.2 片内 FLASH 程序存储器

LPC2104/2105/2106 集成了一个 128K 字节的 FLASH 存储器系统。该存储器可用作代码和数据的存储。对 FLASH 存储器的编程可通过几种方法来实现。可通过串口进行在系统编程，也可以在应用程序运行时进行在应用编程。这样为数据存储和现场固件的升级都带来了极大的灵活性。当使用片内 bootloader 时，有 120kB Flash 存储器可供用户代码使用。

**LPC2104/2105/2106 Flash 存储器提供至少 100,000 个擦除/写周期和 20 年的数据保存时间。**

## 6.3 片内静态 RAM

LPC2104/2105/2106 分别具有 16K/32K/64K 字节静态 RAM，SRAM 可用作代码和/或数据的存储。SRAM 支持 8 位、16 位和 32 位访问。

## 6.4 存储器映射

LPC2104/2105/2106 的存储器映射包含几个不同的区域，见下面各图。

此外，CPU 的中断向量可以重新映射，这样允许它们位于 Flash 存储器或者片内静态 RAM 当中。详见 6.17 节“系统控制”。

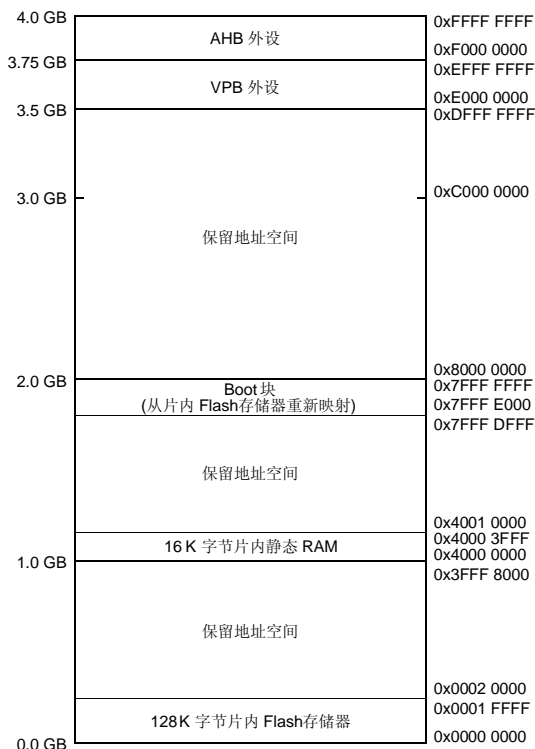


图 3 LPC2104 存储器映射

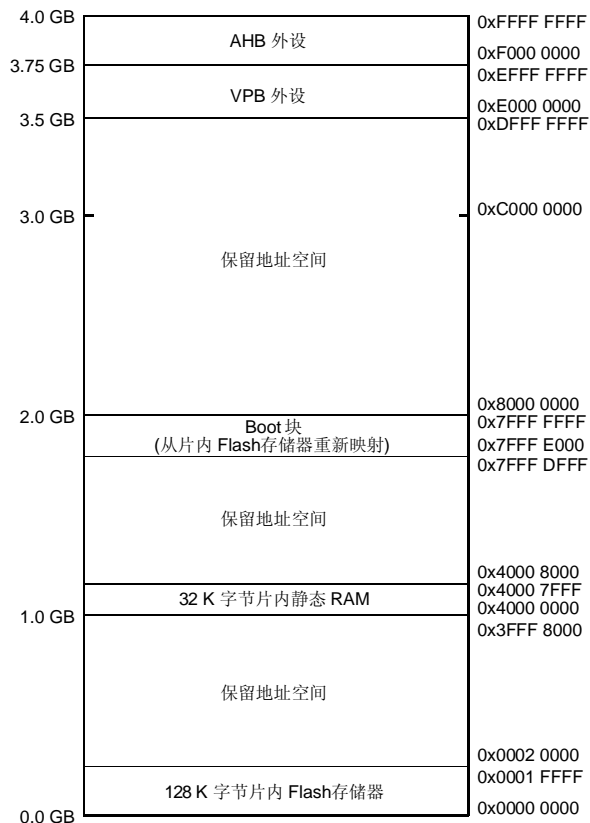


图 4 LPC2105 存储器映射

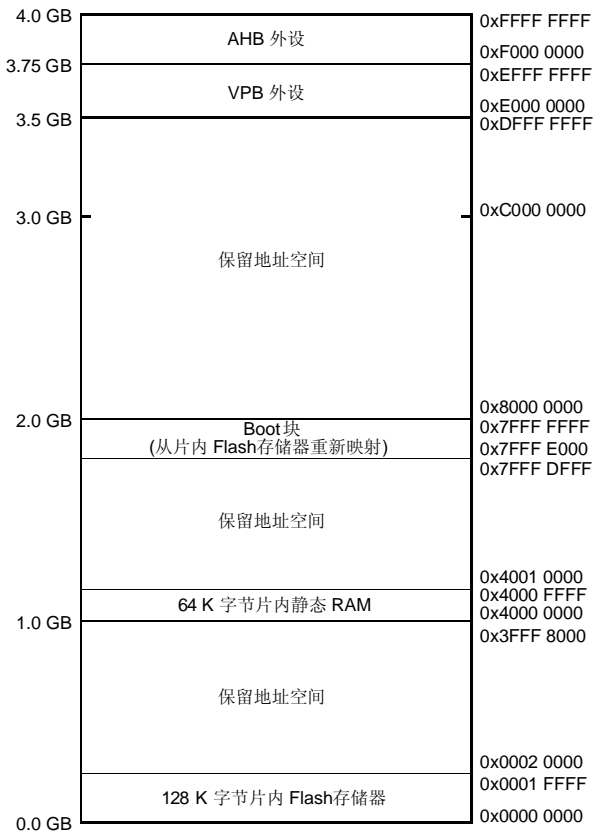


图 5 LPC2106 存储器映射

## 6.5 中断控制器

向量中断控制器(VIC)接收所有的中断请求输入,并将它们编程分配为3类:FIQ、向量IRQ和非向量IRQ。可编程分配机制意味着不同外设的中断优先级可以动态分配和调整。

快速中断请求(FIQ)具有最高优先级。如果分配给FIQ的请求多于1个,VIC将中断请求“相或”向ARM处理器产生FIQ信号。当只有一个被分配为FIQ时可实现最短的FIQ等待时间,因为FIQ服务程序只要简单地启动器件的处理就可以了。但如果分配给FIQ级的中断多于1个,FIQ服务程序从VIC中读出一个字以识别产生中断请求的FIQ中断源是哪一个。

向量IRQ具有中等优先级。该级别可分配16个中断请求。中断请求中的任意一个都可分配到16个向量IRQ slot中的任意一个,其中slot0具有最高优先级,而slot15则为最低优先级。

非向量IRQ的优先级最低。

VIC将所有向量和非向量IRQ“相或”向ARM处理器产生IRQ信号。IRQ服务程序可通过读取VIC的一个寄存器立即启动并跳转到相应地址。如果有任意一个向量IRQ发出请求,VIC则提供最高优先级请求IRQ服务程序的地址,否则提供默认程序的地址,该默认程序由所有非向量IRQ共用。默认程序可读取任何VIC寄存器以确定哪个IRQ被激活。

### 6.5.1 中断源

下表所列每个外围功能的中断源。每个外设都有一条中断线连接到向量中断控制器,但可能有几个内部中断标志。单个中断标志也可能代表不同的中断源。

表4 中断源

模块	标志	VIC 通道#
WDT	看门狗中断(WDINT)	0
-	只保留给软件中断使用	1
ARM 内核	EmbeddedICE, DbgCommRx	2
ARM 内核	EmbeddedICE, DbgCommTx	3
定时器 0	匹配 0-3(MR0, MR1, MR2, MR3) 捕获 0-3(CR0, CR1, CR2, CR3)	4
定时器 1	匹配 0-3(MR0, MR1, MR2, MR3) 捕获 0-3(CR0, CR1, CR2, CR3)	5
UART0	Rx 线状态(RLS) 发送保持寄存器空(THRE) Rx 数据可用(RDA) 字符超时指示(CTI)	6
UART1	Rx 线状态(RLS) 发送保持寄存器空(THRE) Rx 数据可用(RDA) 字符超时指示 调制解调器状态中断(MSI)	7
PWM0	匹配 0-6(MR0, MR1, MR2, MR3, MR4, MR5, MR6)	8
I <sup>2</sup> C	SI(状态改变)	9
SPI	SPIF, MODF	10
-	保留	11
PLL	PLL 时钟(PLOCK)	12
RTC	RTCCIF(计数器增加), RTCALF(报警)	13

续上表

模块	标志	VIC 通道#
系统控制	外部中断 0(EINT0)	14
系统控制	外部中断 1(EINT1)	15
系统控制	外部中断 2(EINT2)	16

## 6.6 管脚连接模块

管脚连接模块允许将微控制器的管脚配置为不同的功能。配置寄存器控制连接管脚和片内外设的多路开关。应当在激活外设以及使能任何相关的中断之前，将外设连接到相应的管脚。任何一个被使能的外设，如果其没有映射到相关的管脚，对它的激活将被认为是未定义的。

管脚连接模块包含下表所列的两个寄存器。

表 5 管脚连接模块的寄存器

地址	名称	描述	访问
0xE002C000	PINSEL0	管脚功能选择寄存器 0	读/写
0xE002C004	PINSEL1	管脚功能选择寄存器 1	读/写

## 6.7 管脚功能选择寄存器 0 (PINSEL0 – 0xE002C000)

PINSEL0 寄存器控制表 6 所列管脚的功能。IODIR 寄存器中的方向控制位只有在 GPIO 功能应用到管脚时才有效。对于其它功能，方向自动进行控制。表 6 中所列设定之外的设定都被保留，用户不要使用这些保留设定。

表 6 管脚功能选择寄存器 0 (PINSEL0 – 0xE002C000)

PINSEL0	管脚名称	值		功能	复位值
1:0	P0.0	0	0	GPIO P0.0	0
		0	1	TxD (UART 0)	
		1	0	PWM1	
3:2	P0.1	0	0	GPIO P0.1	0
		0	1	RxD (UART 0)	
		1	0	PWM3	
5:4	P0.2	0	0	GPIO P0.2	0
		0	1	SCL (I <sup>2</sup> C)	
		1	0	捕获 0.0 (定时器 0)	
7:6	P0.3	0	0	GPIO P0.3	0
		0	1	SDA (I <sup>2</sup> C)	
		1	0	匹配 0.0 (定时器 0)	
9:8	P0.4	0	0	GPIO P0.4	0
		0	1	SCK (SPI)	
		1	0	捕获 0.1 (定时器 0)	
11:10	P0.5	0	0	GPIO P0.5	0
		0	1	MISO (SPI)	
		1	0	匹配 0.1 (定时器 0)	

续上表

PINSEL0	管脚名称	值		功能	复位值
13:12	P0.6	0	0	GPIO P0.6	0
		0	1	MOSI (SPI)	
		1	0	捕获 0.2 (定时器 0)	
15:14	P0.7	0	0	GPIO P0.7	0
		0	1	SSEL (SPI)	
		1	0	PWM2	
17:16	P0.8	0	0	GPIO P0.8	0
		0	1	TxD (UART 1)	
		1	0	PWM4	
19:18	P0.9	0	0	GPIO P0.9	0
		0	1	RxD (UART 1)	
		1	0	PWM6	
21:20	P0.10	0	0	GPIO P0.10	0
		0	1	RTS (UART 1)	
		1	0	捕获 1.0 (定时器 1)	
23:22	P0.11	0	0	GPIO P0.11	0
		0	1	CTS (UART 1)	
		1	0	捕获 1.1 (定时器 1)	
25:24	P0.12	0	0	GPIO P0.12	0
		0	1	DSR (UART 1)	
		1	0	匹配 1.0 (定时器 1)	
27:26	P0.13	0	0	GPIO P0.13	0
		0	1	DTR (UART 1)	
		1	0	匹配 1.1 (定时器 1)	
29:28	P0.14	0	0	GPIO P0.14	0
		0	1	CD (UART 1)	
		1	0	EINT1	
31:30	P0.15	0	0	GPIO P0.15	0
		0	1	RI (UART 1)	
		1	0	EINT2	

#### 6.8 管脚功能选择寄存器 1 (PINSEL1 – 0xE002C004)

PINSEL1 寄存器控制表 7 所列管脚的功能。IODIR 寄存器中的方向控制位只有在 GPIO 功能应用到管脚时才有效。对于其它功能,方向自动进行控制。只有当 DBGSEL 输入在复位过程中被拉低时,P0.17 – P0.31 管脚的功能控制有效。

表 7 管脚功能选择寄存器 1 (PINSEL1 – 0xE002C004)

PINSEL1	管脚名称	值		功能	复位值
1:0	P0.16	0	0	GPIO P0.16	
		0	1	EINT0	
		1	0	匹配 0.2 (定时器 0)	
3:2	P0.17	0	0	GPIO P0.17	0
		0	1	捕获 1.2 (定时器 1)	
5:4	P0.18	0	0	GPIO P0.18	0
		0	1	捕获 1.3 (定时器 1)	
7:6	P0.19	0	0	GPIO P0.19	0
		0	1	匹配 1.2 (定时器 1)	
9:8	P0.20	0	0	GPIO P0.20	0
		0	1	匹配 1.3 (定时器 1)	
11:10	P0.21	0	0	GPIO P0.21	0
		0	1	PWM5	
13:12	P0.22	0	0	GPIO P0.22	0
15:14	P0.23	0	0	GPIO P0.23	0
17:16	P0.24	0	0	GPIO P0.24	0
19:18	P0.25	0	0	GPIO P0.25	0
21:20	P0.26	0	0	GPIO P0.26	0
23:22	P0.27	0	0	GPIO P0.27	0
		0	1	TRST	
25:24	P0.28	0	0	GPIO P0.28	0
		0	1	TMS	
27:26	P0.29	0	0	GPIO P0.29	0
		0	1	TCK	
29:28	P0.30	0	0	GPIO P0.30	0
		0	1	TDI	
31:30	P0.31	0	0	GPIO P0.31	0
		0	1	TDO	

## 6.9 通用并行 I/O 口 (GPIO)

没有连接到特定外设功能的管脚由 GPIO 寄存器进行控制。管脚可以动态配置为输入或输出。寄存器可以同时任意个输出口进行置位或清零。输出寄存器的值以及管脚的当前状态都可以读出。

### 6.9.1 特性

- 单个位的方向控制
- 输出置位和清零可单独控制
- 所有 I/O 在复位后的默认状态都为输入

## 6.10 UART

LPC2104/2105/2106 包含两个 UART。UART1 提供一个完全的调制解调器控制握手接口。UART0 只有发送和接收数据线。

### 6.10.1 特性

- 16 字节接收和发送 FIFO
- 寄存器位置遵循 550 工业标准
- 接收器 FIFO 触发点为 1, 4, 8 和 14 个字节
- 内置波特率发生器
- UART1 包含标准调制解调器接口信号

## 6.11 I<sup>2</sup>C 串行 I/O 控制器

I<sup>2</sup>C 是一个双向总线，它使用两条线：串行时钟线(SCL) 和串行数据线(SDA) 实现互连芯片的控制。每个器件都通过一个唯一的地址来识别，这些器件可以是只接收器件（例如 LCD 驱动器），或是可以发送和接收信息的发送器（例如存储器）。发送器和/或接收器可以操作为主或从模式，这取决于芯片必须启动数据的发送或是只被寻址。I<sup>2</sup>C 是一个多主总线，它可以由超过一个总线主控器进行控制。

LPC2104/2105/2106 所包含的 I<sup>2</sup>C 功能支持 400kbit/s（快速 I<sup>2</sup>C）。

### 6.11.1 特性

- 标准的 I<sup>2</sup>C 总线接口
- 可配置为主机、从机或主/从机
- 可编程时钟可实现通用速率控制
- 主机从机之间双向数据传输
- 多主机总线(无中央主机)
- 同时发送的主机之间进行仲裁，避免了总线数据的冲突
- 串行时钟同步使器件在一条串行总线上实现不同位速率的通信
- 串行时钟同步可作为握手机制使串行传输挂起和恢复
- I<sup>2</sup>C 总线可用于测试和诊断

## 6.12 SPI 串行 I/O 控制器

SPI 是一个全双工的串行接口。它设计成可以处理在一个给定总线上多个互连的主机和从机。在一定数据传输过程中，接口上只能有一个主机和一个从机能够通信。在一次数据传输中，主机总是向从机发送一个字节数据，而从机也总是向主机发送一个字节数据。

### 6.12.1 特性

- 遵循串行外设接口(SPI)规范
- 同步、串行、全双工通信
- 组合的 SPI 主机和从机
- 最大数据位速率为输入时钟速率的 1/8



### 6.13 通用定时器

定时器对外设时钟周期进行计数，可选择产生中断或基于 4 个匹配寄存器，在到达指定的定时值时执行其它动作。它还包括 4 个捕获输入，用于在输入信号发生跳变时捕获定时器值，并可选择产生中断。

#### 6.13.1 特性

- 带可编程 32 位预分频器的 32 位定时器/计数器
- 多达 4 个(定时器 1)和 3 个(定时器 0)32 位捕获通道，当输入信号跳变时可瞬时捕获定时器值。捕获时间可选择产生中断。
- 4 个 32 位匹配寄存器：
  - 连续操作，可选择在匹配时产生中断
  - 匹配时停止定时器，可选择产生中断
  - 匹配时复位定时器，可选择产生中断
- 多达 4 个(定时器 1)和 3 个(定时器 0)对应于匹配寄存器的外部输出，具有下列特性：
  - 匹配时置低电平
  - 匹配时置高电平
  - 匹配时翻转
  - 匹配时不变

### 6.14 看门狗

看门狗定时器的用途是使微控制器在进入错误状态经过一段时间后复位。当看门狗使能时，如果没有在预先确定的时间内“喂”看门狗，它将会产生一次系统复位。

#### 6.14.1 特性

- 如果没有周期性重装，则产生片内复位
- 调试模式
- 由软件使能，但要求禁止硬件复位或看门狗复位/中断
- 错误/不完整的喂狗时序会导致复位/中断(如果使能)
- 指示看门狗复位的标志
- 带内部预分频器的可编程 32 位定时器
- 可选择时间周期：从( $t_{\text{pclk}} \times 256 \times 4$ ) 到 ( $t_{\text{pclk}} \times 2^{32} \times 4$ )，可选值为  $t_{\text{pclk}} \times 4$  的倍数

### 6.15 实时时钟

当选择正常或空闲模式时，实时时钟(RTC)提供一套用于测量时间的计数器。RTC 消耗的功率非常低，这使其适合于由电池供电的，CPU 不连续工作(空闲模式)的系统。

#### 6.15.1 特性

- 对时间段进行测量以实现一个日历或时钟
- 超低功耗设计，支持电池供电系统
- 提供秒、分、小时、日、月、年和星期
- 可编程基准时钟分频器允许调节 RTC 以适应不同的晶振频率

## 6.16 脉宽调制器(PWM)

PWM 基于标准的定时器模块并具有其所有特性。不过 LPC2104/2105/2106 只将其 PWM 功能输出到管脚。定时器对外设时钟(pclk)进行计数,可选择产生中断或者根据 7 个匹配寄存器在到达指定的定时值时执行其它动作。它还包括 4 个捕获输入,用于在输入信号发生跳变时捕获定时器值,并可选择在事件发生时产生中断。PWM 功能是一个附加特性,建立在匹配寄存器事件基础之上。

独立控制上升和下降沿位置的能力使 PWM 可以应用于更多的领域。例如,多相位电机控制通常需要 3 个非重叠的 PWM 输出,而这 3 个输出的脉宽和位置需要独立进行控制。

两个匹配寄存器可用于提供单边沿控制的 PWM 输出。匹配寄存器 MR0 通过匹配时重新设置计数值来控制 PWM 周期率。其它的匹配寄存器控制 PWM 边沿的位置。每个额外的单边沿控制 PWM 输出只需要一个匹配寄存器,因为所有 PWM 输出的重复速率是相同的。多个单边沿控制的 PWM 输出在每个 PWM 周期的开始并且当 MR0 发生匹配时,都有一个上升沿。

3 个匹配寄存器可用于提供一个双边沿控制 PWM 输出。也就是说,MR0 匹配寄存器控制 PWM 周期速率,其它匹配寄存器控制两个 PWM 边沿位置。每个额外的双边沿控制 PWM 输出只需要两个匹配寄存器,因为所有 PWM 输出的重复速率是相同的。

使用双边沿控制 PWM 输出时,指定的匹配寄存器控制输出的上升和下降沿。这样就产生了正脉冲(当上升沿先于下降沿时)和负脉冲(当下降沿先于上升沿时)。

### 6.16.1 特性

- 7 个匹配寄存器,可实现 6 个单边沿控制或 3 个双边沿控制 PWM 输出,或这两种类型的混合输出:
  - 连续操作,可选择在匹配时产生中断
  - 匹配时停止定时器,可选择产生中断
  - 匹配时复位定时器,可选择产生中断
- 支持单边沿控制和/或双边沿控制的 PWM 输出。单边沿控制 PWM 输出在每个周期开始时总是为高电平,除非输出保持恒定低电平。双边沿控制 PWM 输出可在一个周期内的任何位置产生边沿。这样可同时产生正和负脉冲。
- 脉冲周期和宽度可以是任何的定时器计数值。这样可在分辨率和重复速率上获得平衡。所有 PWM 输出都以相同的重复率发生。
- 双边沿控制的 PWM 输出可编程为正脉冲或负脉冲。
- 匹配寄存器更新与脉冲输出同步,防止产生错误的脉冲。软件必须新的匹配值生效之前将它们释放。
- 如果不使能 PWM 模式,可作为一个标准定时器。
- 带可编程 32 位预分频器的 32 位定时器/计数器。

## 6.17 系统控制模块

### 6.17.1 晶振

振荡器支持晶振范围为 1MHz~30MHz。晶振输出频率称为  $F_{OSC}$ ,而 ARM 处理器时钟频率称为 cclk。除非连接并运行 PLL,否则在该文档中  $F_{OSC}$  和 cclk 的值是相同的。参见该章中的 PLL 描述部分。

### 6.17.2 PLL

PLL 可以接受范围为 10MHz~25MHz 的输入时钟频率。输入频率通过一个电流控制振荡器 (CCO)

可以倍增为 10MHz~60MHz。倍增器可以从 1 到 32 的整数（实际上在该系列微控制器当中，由于 CPU 频率的限制，倍增器的值不可能高于 6）。CCO 操作的范围为 156MHz~320MHz，因此在环当中增加了一个分频器，这样 PLL 在提供所需要的输出频率时，使 CCO 保持在其频率范围内。输出分频器可设置为 2、4、8 或者 16 以产生输出时钟。由于最小输出分频值为 2，这样就确保了 PLL 输出具有 50% 的占空比。PLL 在芯片复位后关闭并且被旁路。可通过软件使能。程序必须配置并且激活 PLL，等待 PLL 锁定之后再将其作为时钟源。PLL 的设置时间为 100us。

### 6.17.3 复位和唤醒定时器

LPC2104/2105/2106 有 2 个复位源：RST 管脚和看门狗复位。RST 管脚是一个施密特触发输入管脚，带有附加的干扰滤波器。任何复位源所导致的芯片复位都会启动唤醒定时器，复位状态将一直保持到外部复位撤除，振荡器开始运行。振荡器运行经过固定数目的时钟后 Flash 控制器完成其初始化。

当内部复位撤除后，处理器从复位向量地址 0 开始执行。此时所有的处理器和外设寄存器都被初始化为预设的值。

唤醒定时器的用途是确保振荡器和其它芯片操作所需要的模拟功能在处理器能够执行指令之前完全正常工作。这在上电、各种类型的复位以及任何原因所导致上述功能被关闭的情况下非常重要。由于振荡器和其它功能在掉电模式下关闭，因此将处理器从掉电模式中唤醒就要利用唤醒定时器。

唤醒定时器监视晶体振荡器是否可以安全地开始执行代码。当芯片上电时，或某些事件导致芯片退出掉电模式时，振荡器需要一定的时间以产生足够振幅的信号驱动时钟逻辑。时间的长度取决于许多因素，包括  $V_{DD}$  上升速度（上电时）、晶振的类型及电气特性（如果使用石英晶体）以及其它外部电路（例如：电容）和外部环境下振荡器自身的特性。

### 6.17.4 外部中断输入

LPC2104/2105/2106 包括 3 个外部中断输入，外部中断输入可用于将处理器从掉电状态唤醒。

### 6.17.5 存储器映射控制

存储器映射控制改变了从地址 0x00000000 开始的中断向量的映射。向量可以映射到片内 Flash 存储器的底部，也可以映射到片内静态 RAM 的顶部。这使得在不同存储器空间中运行的代码都能够对中断进行控制。

### 6.17.6 功率控制

LPC2104/2105/2106 支持两种低功耗模式：空闲模式和掉电模式。在空闲模式中，指令的执行被暂停，直到产生复位或中断为止。外围功能在空闲模式下继续工作并可产生中断唤醒处理器。空闲模式使处理器自身、存储器系统和相关的控制器以及内部总线不再消耗功率。

在掉电模式中，振荡器被关闭，芯片没有任何的内部时钟。处理器状态和寄存器、外设寄存器和内部 SRAM 的值在掉电模式下保持不变。芯片管脚的逻辑电平保持静态。通过复位或特定的不需要时钟还可工作的中断可终止掉电模式并恢复正常操作。由于芯片所有动态的操作都被暂停，掉电模式使芯片消耗的功率降低到几乎为零。

外设的功率控制特性允许关闭单独的不需要使用的外设，这样可进一步降低功耗。

### 6.17.7 VPB 总线

VPB 分频器决定处理器时钟(cclk)和外设时钟(pclk)之间的关系。VPB 分频器有两个用途。第一，通过

VPB 总线为外设提供需要的 PCLK 时钟，以便外设能在选择的 ARM 处理器速度下操作。为了实现该特性，VPB 总线频率可以降低为处理器时钟频率的 1/2 或 1/4。由于上电后 VPB 总线必须正常工作（如果它由于 VPB 总线的 VPB 分频器控制寄存器的原因而不能工作，则 VPB 总线的时序不能改变），因此，VPB 总线在复位后的默认状态是以 1/4 速率运行。VPB 分频器的第二个用途是当所有外设都不必在全速率下运行时降频以降低功耗。由于 VPB 分频器连接到 PLL 的输出，PLL（如果正在运行）在空闲模式时保持有效。

## 6.18 仿真和调试

LPC2104/2105/2106 支持通过 JTAG 串行端口进行仿真和调试。跟踪端口允许跟踪程序的执行。每一个这些功能都要求调试特性和器件管脚之间取得平衡。由于 LPC2104/2105/2106 提供小的封装，因此没有永远分配给 JTAG 或跟踪管脚的空间。一个交替的 JTAG 端口允许对分配给首要 JTAG 端口使用的管脚进行调试。

### 6.18.1 EmbeddedICE 逻辑

标准的 ARM EmbeddedICE 逻辑提供对片内调试的支持。对目标系统进行调试需要一个主机来运行调试软件和 EmbeddedICE 协议转换器。EmbeddedICE 协议转换器将远程调试协议命令转换成所需要的 JTAG 数据，从而对目标系统上的 ARM7TDMI-S 内核进行访问。

ARM7TDMI-S 内核有一个内置的调试通信通道功能。调试通信通道允许程序在目标系统上运行，即使进入调试状态，目标系统程序与主机调试器或其它独立的主机进行通信时也不会中断程序流程。ARM7TDMI-S 内核上运行的程序将调试通信通道作为协处理器 14 进行访问。调试通信通道允许 JTAG 端口发送和接收数据，但不影响正常的程序流程。调试通信通道数据和控制寄存器映射到 EmbeddedICE 逻辑中的地址。

### 6.18.2 嵌入式跟踪

由于微控制器带有大量的片内存储器，因此不能简单地通过观察外部管脚来确定处理器核是如何运行的。ETM 对深嵌入处理器内核提供了实时跟踪能力。它向一个跟踪端口输出处理器执行的信息。

ETM 直接连接到 ARM 内核而不是主 AMBA 系统总线。它将跟踪信息压缩并通过一个窄带跟踪端口输出。外部跟踪端口分析仪在软件调试器的控制下捕获跟踪信息。跟踪端口可以广播指令跟踪信息。指令跟踪(或 PC 跟踪)显示了处理器的执行流程并提供所有已执行指令的列表。指令跟踪被显著压缩为广播分支地址和一套用于指示流水线状态的状态信号。跟踪信息的产生可通过选择触发源进行控制。触发源包括地址比较器、计数器和序列发生器。由于跟踪信息被压缩，软件调试器需要一个执行代码的静态映像。由于这个限制，自修改代码无法被跟踪。

### 6.18.3 RealMonitor

RealMonitor 是一个可配置的软件模块，它由 ARM 公司开发，可以提供实时的调试。它是一个非常小的调试监控器，当用户对运行在前台的应用程序进行调试时，它运行在后台。它使用 DCC(调试通信通道) (EmbeddedICE 逻辑中包含了 DCC) 与主机进行通信。LPC2104/2105/2106 包含一个编程到片内 Flash 存储器中的特定 RealMonitor 软件。

## 7. 极限参数

表 8 极限参数

遵循绝对最大额定值系统规范 (IEC 60134)。<sup>[1]</sup>

符号	参数	最小	最大	单位
$V_{DD1.8}$	电源电压, 内部线路	-0.5	+2.5	V
$V_{DD3}$	电源电压, 外部线路	-0.5	+3.6	V
$V_I$	DC 输入电压, 可承受 5V 的 I/O 口 <sup>2,3</sup>	-0.5	6.0	V
$V_I$	DC 输入电压, 其它 I/O 口 <sup>4,2</sup>	-0.5	$V_{DD3}+0.5$	V
I	DC 电源电流, 每个电源脚 <sup>5</sup>		100	mA
I	DC 地电流, 每个地脚 <sup>5</sup>		100	mA
Tstg	储存温度 <sup>6</sup>	-65	150	°C
P	功率损耗 (封装的热传递, 而非器件的功耗)	1.5	-	W

[1] 下面是对极限参数的说明:

- (a) 器件在超过上面所列的极限参数值情况下工作, 可能会造成永久性的损坏。表中只列出了极限额定值, 除第 8 节“静态特性”和第 9 节“动态特性”中描述的以外的其它条件下的器件的功能操作并未涉及。
- (b) 产品有保护器件内部的电路设计, 避免超负荷的损坏性影响。不过建议避免在超过最大值的情况下工作。
- (c) 参数在操作温度范围内是有效的, 除非另有规定。所有的电压都是相对  $V_{SS}$  而言, 除非另有说明。

[2] 包含三态模式输出口的电压。

[3] 只有在  $V_{DD3}$  电源电压存在的情况下有效。

[4] 不得超过 4.6V。

[5] 峰值电流限制为对应最大值的 25 倍。

[6] 取决于封装的类型。

## 8. 静态特性

表 9 静态特性

Tamb=商业级: 0°C ~ +70°C

符号	参数	条件	限制值			单位
			MIN	TYP <sup>1</sup>	MAX	
$V_{DD1.8}$	电源电压		1.65	1.8	1.95	V
$V_{DD3}$	外部线路电源电压		3.0	3.3	3.6	V
<b>标准端口管脚, RST, RTCK, DBGSEL</b>						
$I_{IL}$	低电平输入电流, 无上拉	$V_i = 0$	-	-	3	μA
$I_{IH}$	高电平输入电流, 无下拉	$V_i = V_{DD3}$	-	-	3	μA
$I_{OZ}$	三态输出漏电流, 无上/下拉	$V_O = 0; V_O = V_{DD3}$	-	-	3	μA
$I_{latchup}$	I/O 闩锁电流	$-(0.5V_{DD3}) < V < (1.5V_{DD3})$ $T_j < 125^\circ\text{C}$	100	-	-	mA
$V_I$	输入电压 <sup>2,3,4</sup>		0	-	5.5	V
$V_O$	输出电压; 输出有效		0	-	$V_{DD3}$	V
$V_{IH}$	高电平输入电压		2.0	-	-	V
$V_{IL}$	低电平输入电压		-	-	0.8	V

续上表

符号	参数	条件	限制值			单位
			MIN	TYP <sup>1</sup>	MAX	
V <sub>hys</sub>	滞后电压		-	0.4	-	V
V <sub>OH</sub>	高电平输出电压 <sup>5</sup>	I <sub>OH</sub> = -4mA	V <sub>DD3</sub> -0.4	-	-	V
V <sub>OL</sub>	低电平输出电压 <sup>5</sup>	I <sub>OL</sub> = -4mA	-	-	0.4	V
I <sub>OH</sub>	高电平输出电流 <sup>5</sup>	V <sub>OH</sub> = V <sub>DD3</sub> -0.4V	-4	-	-	mA
I <sub>OL</sub>	低电平输出电流 <sup>5</sup>	V <sub>OL</sub> = 0.4V	4	-	-	mA
I <sub>OH</sub>	高电平短路电流 <sup>6</sup>	V <sub>OH</sub> = 0	-	-	-45	mA
I <sub>OL</sub>	低电平短路电流 <sup>6</sup>	V <sub>OL</sub> = V <sub>DD3</sub>	-	-	50	mA
I <sub>PD</sub>	下拉电流 (施加到 DBGSEL)	V <sub>i</sub> = 5V <sup>7</sup>	20	50	100	μA
I <sub>PU</sub>	上拉电流 (施加到 P0.22~P0.31)	V <sub>i</sub> = 0	-25	-50	-65	μA
		V <sub>DD3</sub> < V <sub>i</sub> < 5V <sup>7</sup>	0	0	0	μA
I <sub>DD1.8</sub>	激活模式	V <sub>DD1.8</sub> = 1.8V, cclk=60MHz T <sub>amb</sub> =25℃, 代码: while(1){ 从 Flash 执行, 无激活外设	-	30	-	mA
	掉电模式	V <sub>DD1.8</sub> = 1.8V, T <sub>amb</sub> =+25℃	-	10	-	μA
		V <sub>DD1.8</sub> = 1.8V, T <sub>amb</sub> =+85℃	-	50	500	μA
<b>I<sup>2</sup>C 管脚</b>						
V <sub>IH</sub>	高电平输入电压	V <sub>TOL</sub> = 4.5V~5.5V	0.7V <sub>TOL</sub>	-	-	V
V <sub>IL</sub>	低电平输入电压	V <sub>TOL</sub> = 4.5V~5.5V	-	-	0.3V <sub>TOL</sub>	V
V <sub>hys</sub>	滞后电压	V <sub>TOL</sub> = 4.5V~5.5V	-	0.5V <sub>TOL</sub>	-	V
V <sub>OL</sub>	低电平输出电压 <sup>5</sup>	I <sub>OL</sub> = 3mA	-	-	0.4	V
I <sub>lkg</sub>	输入漏电流 (到 V <sub>SS</sub> )	V <sub>I</sub> = V <sub>DD3</sub>	-	2	4	μA
		V <sub>I</sub> = 5V	-	10	22	μA
<b>振荡器管脚</b>						
	X1 输入电压		0	-	V <sub>DD1.8</sub>	
	X2 输出电压		0	-	V <sub>DD1.8</sub>	
<b>片内 Flash 程序存储器</b>						
	耐久性		100,000	-	-	周期
	数据保存		20	-	-	年

[1] 不能保证得到典型的标称值。表中所列值为在室温，标称电压下测得。管脚电容由其特性得到，但未作测试。

[2] 包括三态模式输出上的电压。

[3] V<sub>DD3</sub> 电压必须存在。

[4] 当 V<sub>DD3</sub> 接地时，三态输出进入三态模式。

[5] 所有电源线都要计算 100mV 的压降。

[6] 只允许持续很短的时间。

[7] V<sub>i</sub> 最小为 4.5V，最大为 5.5V。

## 9. 动态特性

表 10 特性

Tamb=商业级: 0°C~+70°C; 工业级: -40°C~+85°C

符号	参数	测试条件	限制值			单位
			MIN	TYP <sup>[1]</sup>	MAX	
<b>外部时钟</b>						
fosc	外部振荡器提供的振荡频率		1	-	50	MHz
	外部晶振提供的外部时钟频率		1	-	30	MHz
	使用片内 PLL 时的外部时钟频率		10	-	25	MHz
	使用 ISP 下载代码时的外部时钟频率		10	-	25	MHz
t <sub>c</sub>	外部振荡器时钟周期		20	-	1000	ns
t <sub>CHCX</sub>	时钟高电平时间		t <sub>c</sub> ×0.4	-	-	ns
t <sub>CLCX</sub>	时钟低电平时间		t <sub>c</sub> ×0.4	-	-	ns
t <sub>CLCH</sub>	时钟上升时间		-	-	5	ns
t <sub>CHCL</sub>	时钟下降时间		-	-	5	ns
<b>端口管脚</b>						
t <sub>RISE</sub>	输出上升时间 (P0.2, P0.3 除外)		-	10	-	ns
t <sub>FALL</sub>	输出下降时间 (P0.2, P0.3 除外)		-	10	-	ns
<b>I<sup>2</sup>C 管脚</b>						
t <sub>f</sub>	V <sub>IH</sub> 到 V <sub>IL</sub> 的输出下降时间		20 + 0.1×C <sub>b</sub> <sup>[2]</sup>	-	-	ns

[1]. 如果没有另外定义, 这些参数在操作温度范围内有效。

[2]. 总线电容范围为 10pF~400pF。

### 9.1 时序

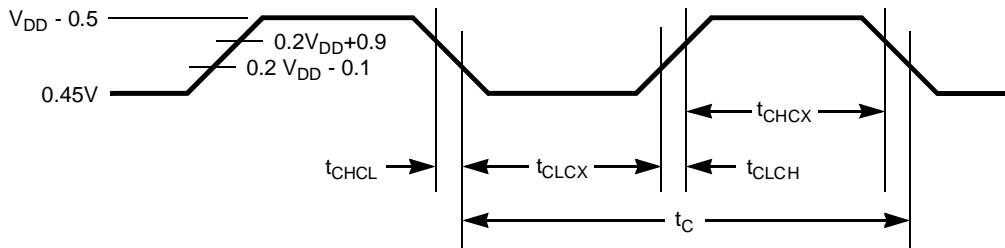
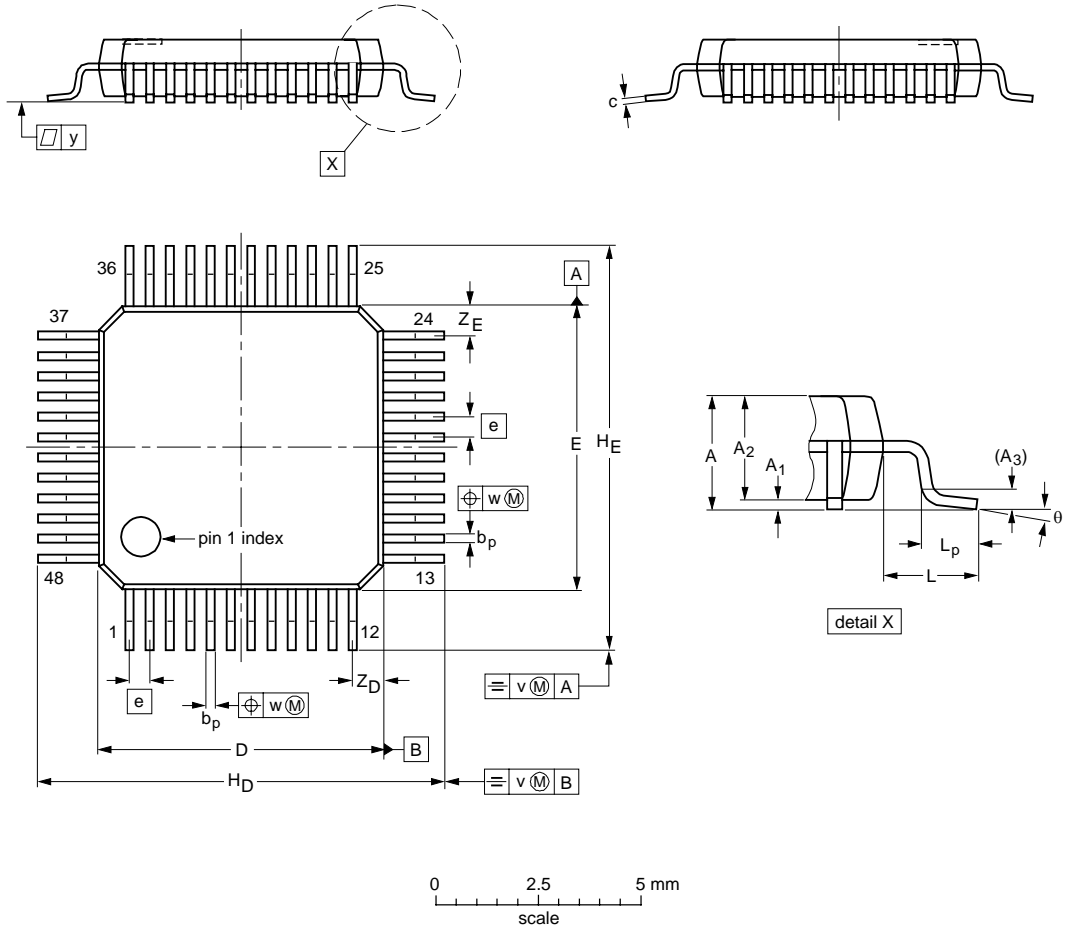


图 6 外部时钟时序

## 10. 表面封装

### LPFQ48 封装

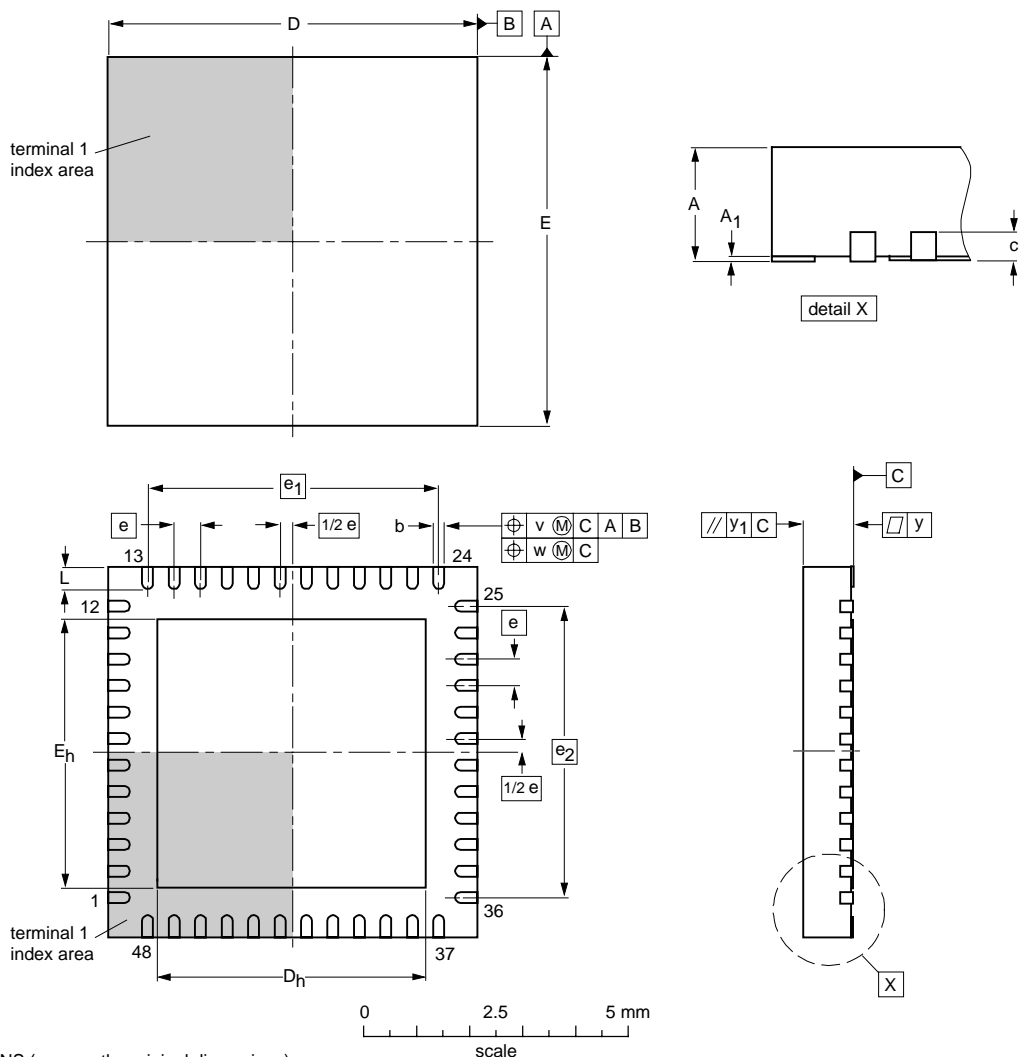


DIMENSIONS (mm are the original dimensions)

UNIT	A max.	A <sub>1</sub>	A <sub>2</sub>	A <sub>3</sub>	b <sub>p</sub>	c	D <sup>(1)</sup>	E <sup>(1)</sup>	e	H <sub>D</sub>	H <sub>E</sub>	L	L <sub>p</sub>	v	w	y	Z <sub>D</sub> <sup>(1)</sup>	Z <sub>E</sub> <sup>(1)</sup>	θ
mm	1.6	0.20 0.05	1.45 1.35	0.25	0.27 0.17	0.18 0.12	7.1 6.9	7.1 6.9	0.5	9.15 8.85	9.15 8.85	1	0.75 0.45	0.2	0.12	0.1	0.95 0.55	0.95 0.55	7° 0°



**HVQFN48 封装**



DIMENSIONS (mm are the original dimensions)

UNIT	A <sup>(1)</sup> max.	A <sub>1</sub>	b	c	D <sup>(1)</sup>	D <sub>h</sub>	E <sup>(1)</sup>	E <sub>h</sub>	e	e <sub>1</sub>	e <sub>2</sub>	L	v	w	y	y <sub>1</sub>
mm	1	0.05 0.00	0.30 0.18	0.2	7.1 6.9	5.25 4.95	7.1 6.9	5.25 4.95	0.5	5.5	5.5	0.5 0.3	0.1	0.05	0.05	0.1

**11. 修订记录**

表 11 修订记录

Rev	日期	CPCN	描述
05	20041222	-	修改处： <ul style="list-style-type: none"> <li>● 增加了新器件 LPC2106FBD48，删除了 LPC2106BBD48。</li> <li>● 6.2 节“片内 Flash 存储器”；内容更新。</li> <li>● 6.17.2 节“PLL”；内容更新。</li> <li>● 6.17.7 节“VPB 总线”；内容更新。</li> <li>● 表 8“极限值”；更新文本说明。</li> <li>● 表 9“静态特性”；增加了片内 Flash 程序存储器规范。</li> </ul>