



# CHINA MASTERS

第十二届中国技术精英年会

## C12L04 MPS

PIC32 MIPS32<sup>®</sup> M4K<sup>®</sup>和M14K<sup>™</sup>  
处理器内核架构



中国技术精英年会

# 课程目标

- 介绍**MIPS**架构
  - MIPS32<sup>®</sup> ISA和PRA
  - MIPS16e<sup>™</sup> ASE
  - microMIPS32<sup>™</sup> ISA
  - MCU ASE
- 展示**MIPS32 M4K<sup>®</sup>**和**M14Kc<sup>™</sup>**内核架构



中国技术精英年会

# 课程安排

- **MIPS®架构概述**
- **MIPS32® ISA**
- **MIPS32® PRA**
- **MIPS16e™ ASE**
- **microMIPS32™ ISA**
- **MCU ASE**
- **MIPS32® M4K®和M14K™内核架构**
- **总结**



中国技术精英年会

# 课程安排

- **MIPS®架构概述**
- MIPS32® ISA
- MIPS32® PRA
- MIPS16e™ ASE
- microMIPS32™ ISA
- MCU ASE
- MIPS32® M4K®和M14K™内核架构
- 总结



中国技术精英年会

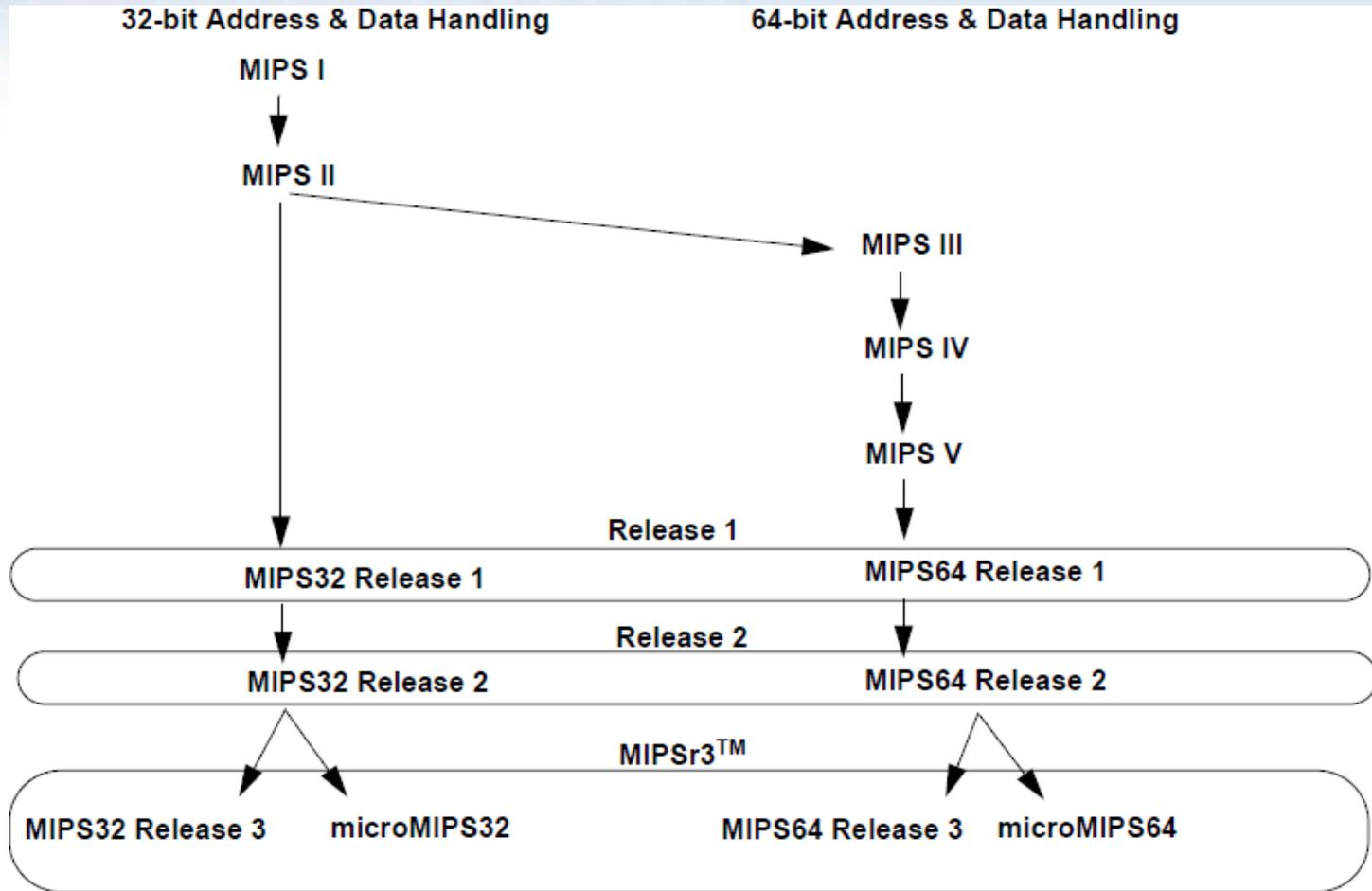
# MIPS®架构的组成

- **MIPS指令集架构 (ISA)**
  - 编程器与处理器连接
- **MIPS特权资源架构 (PRA)**
  - ISA操作环境
- **MIPS特定应用扩展 (ASE)**
  - 可对架构进行扩展
- **MIPS用户定义指令 (UDI)**
  - 实现特定指令



中国技术精英年会

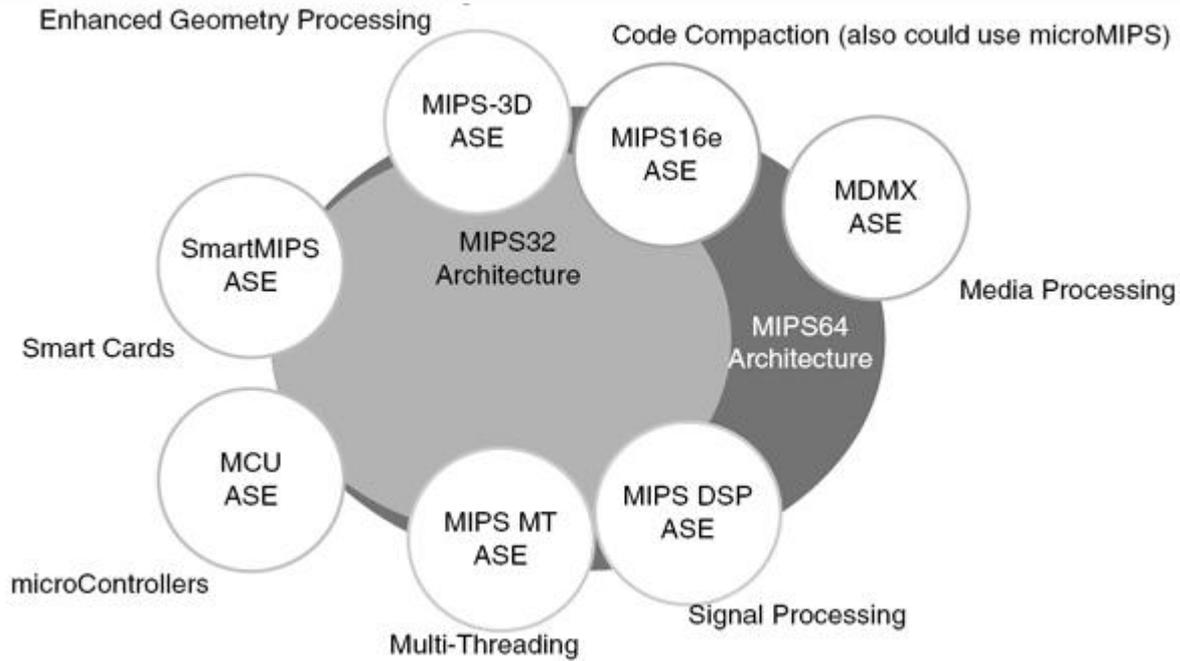
# MIPS® ISA的变迁





中国技术精英年会

# MIPS® ISA和ASE





中国技术精英年会

# 课程安排

- MIPS®架构概述
- **MIPS32® ISA**
- MIPS32® PRA
- MIPS16e™ ASE
- microMIPS32™ ISA
- MCU ASE
- MIPS32® M4K®和M14K™内核架构
- 总结



中国技术精英年会

# 指令集简介

- 所有指令长度均为一个字（**32位**）
- **32个通用寄存器（GPR）**
  - 2个特殊：GPR0（返回0）和GPR31（返回地址）
- **3个操作码指令**
  - 2个源寄存器（rs, rt）和1个目标寄存器（rd）
  - 1个16位立即数
- **广泛性**
  - 所有指令均可使用**GPR**寄存器
- **仅计算寄存器长度**



中国技术精英年会

# 指令集简介

- **不支持显式堆栈**
  - 无push/pop指令
  - 堆栈由软件管理
- **无状态码**
  - 例如，无溢出位
- **最小化异常处理**
  - 节省PC开销，改变至异常状态，跳转到异常处理程序
- **最小化中断处理**



中国技术精英年会

# 指令集简介

- 独立流水线的乘/除法指令操作
- 装载/存储架构
  - 一次寻址模式
  - GPR的值 + 有符号的16位偏移量
- 地址在尺寸边界对齐
  - LWL/LWR/SWL/SWR除外
- 装载延时
  - 在没有停顿的情况下，下一条指令不能立即使用存储器数据



中国技术精英年会

# 指令集简介

- 针对分支和跳转的延时时隙
  - 总是执行紧跟分支/跳转之后的指令（可能分支除外）
- 跳转并链接指令的过程调用
  - 链接分支/跳转的返回地址保存在GPR31中
- 没有与PC相关的跳转/调用
- 分支指令的最大跳转范围为**128 KB**
- 条件分支指令种类较少



中国技术精英年会

# 指令集简介

- **CPU通过协处理器0进行控制**
- **特权指令**
  - 配置控制
  - 高速缓存控制
  - TLB服务
  - 异常返回
- **CPU控制指令不会互锁**
  - 必须由软件处理



中国技术精英年会

# 指令类型

- 装载和存储
- 计算
- 跳转和分支
- 其他类型
- 协处理器



中国技术精英年会

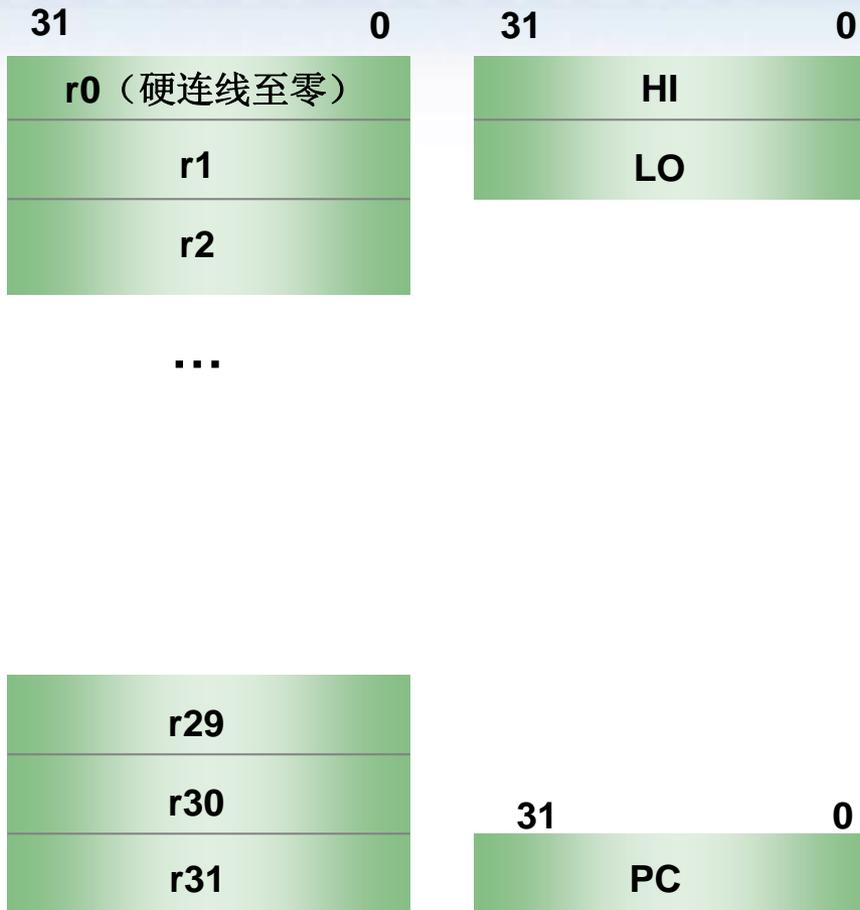
# 独有的指令

- **LL/SC**
- **MTC0/MFC0**
- **ERET**
- 无符号**ADDIU/ADDU/SUBU**
- 无符号**LBU/LHU**和有符号**LB/LH**
- 可能分支（例如：**BEQL**）
- **WAIT**



中国技术精英年会

# CPU寄存器布局



一般通用

特殊通用

**r0** 无论存入什么值，总是返回零

**r31** 由JAL、BLTZAL、BLTZALL、BGEZAL和BGEZALL使用的目标寄存器，无需在指令字中指定。否则，用作普通寄存器。

**HI** 存放乘除法寄存器结果的高字节

**LO** 存放乘除法寄存器结果的低字节



中国技术精英年会

# 汇编语言

- **MIPS的汇编语言与机器语言不同**
  - 复杂的寄存器用法约定
  - 合成指令
  - 扩展指令将合成地址模式和立即数等
  - 优化后，可以移动指令



中国技术精英年会

# 寄存器用法

## ● O32 ABI

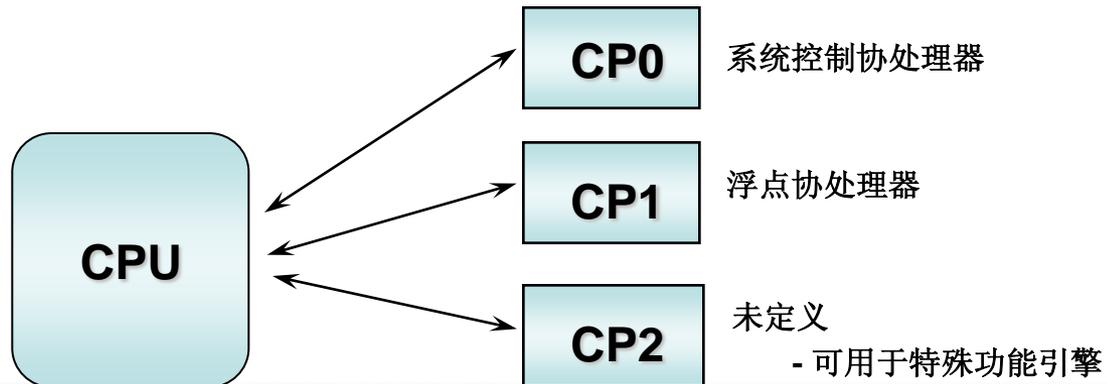
寄存器名称	软件名称	寄存器用法
\$0	zero	恒为零——总是返回0
\$1	at	汇编暂存（保留给汇编器使用）
\$2..\$3	v0,v1	函数返回（整数）
\$4..\$7	a0-a3	传入的参数（前4个整型参数）
\$8..\$15	t0-t7	临时变量寄存器
\$16..\$23	s0-s7	变量保存寄存器
\$24..\$25	t8,t9	临时变量寄存器
\$26..\$27	\$k0 - \$k1	异常处理（保留给内核使用）
\$28或\$gp	gp	全局数据指针
\$29或\$sp	sp	堆栈指针
\$30或\$fp	s8/fp	帧指针（已保存）
\$31	ra	返回地址



中国技术精英年会

# 协处理器

- 辅助执行单元
- 协助**CPU**执行
  - 扩展CPU功能，共享IF和执行控制逻辑
- 可能具有**2个寄存器集**
  - 协处理器通用寄存器
  - 协处理器控制寄存器





中国技术精英年会

# 课程安排

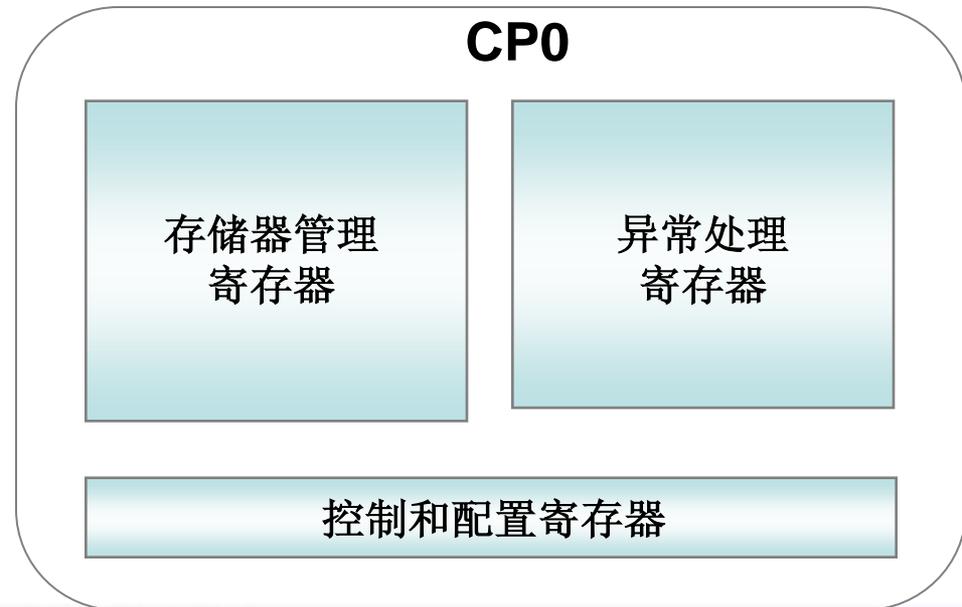
- MIPS®架构概述
- MIPS32® ISA
- **MIPS32® PRA**
- MIPS16e™ ASE
- microMIPS32™ ISA
- MCU ASE
- MIPS32® M4K®和M14K™内核架构
- 总结



中国技术精英年会

# 系统控制协处理器CP0

- **CP0是必需的**
- **提供管理CPU资源所需的机制**
  - 存储器管理
  - 异常处理
  - 高速缓存





中国技术精英年会

# 虚拟地址空间

- 根据地址位由高至低排列，分割成一个个地址段
- **4 GB**的虚拟地址空间
  - KUSEG (2 GB) MMU映射
    - 重叠内核、管理和用户存储器访问
  - KSEG0 (512 MB) 直接映射
    - 通常用于可在内核执行的代码和一些内核数据
  - KSEG1 (512 MB) 直接映射且不可高速缓存
    - 通常由OS用于I/O寄存器和ROM代码
  - KSEG2 (512 MB) MMU映射
    - 允许运行在管理态的程序使用
  - KSEG3 (512 MB) MMU映射
    - 通常由OS用于堆栈、用户页表和动态分配数据区域



中国技术精英年会

# MMU功能

- 进行虚拟地址到物理地址的转换
- 提供安全等级：
  - 内核
  - 管理（M4K/M14Kc内核不支持）
  - 用户

状态寄存器（SR）

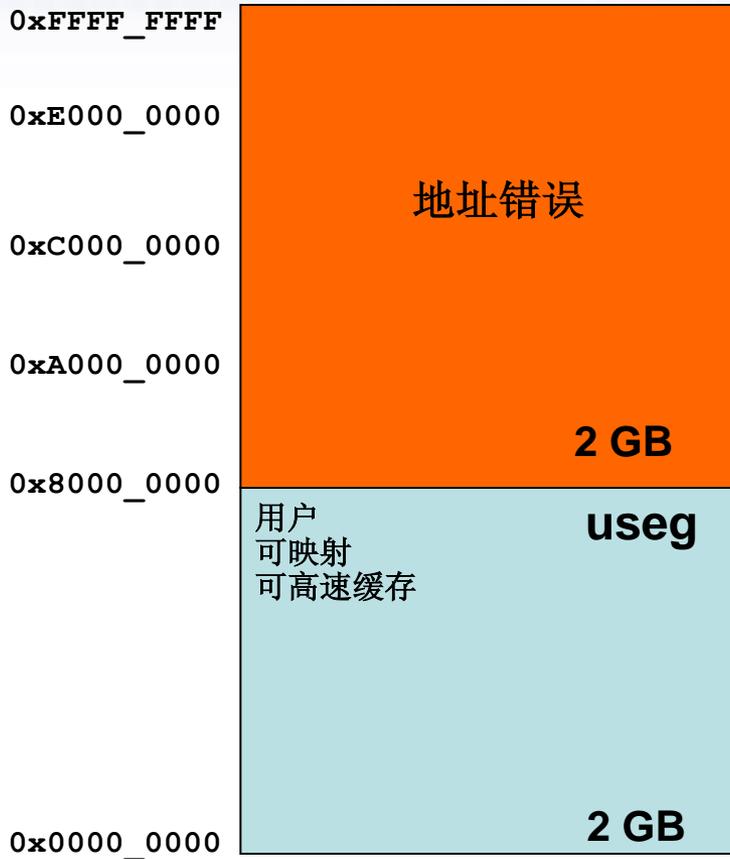
				KSU	ERL	EXL	
				2	1	1	
模式	KSU	ERL	EXL				
内核	x	x	1				
	x	1	x				
	00	x	x				
管理	01	0	0				
用户	10	0	0				



中国技术精英年会

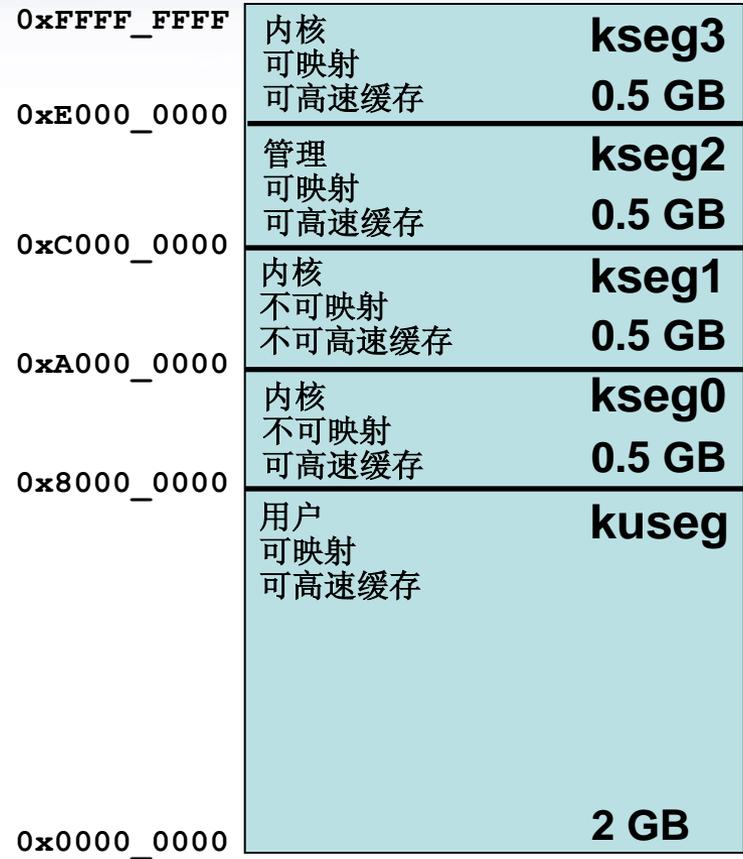
# 用户和内核地址空间

虚拟



用户空间

虚拟

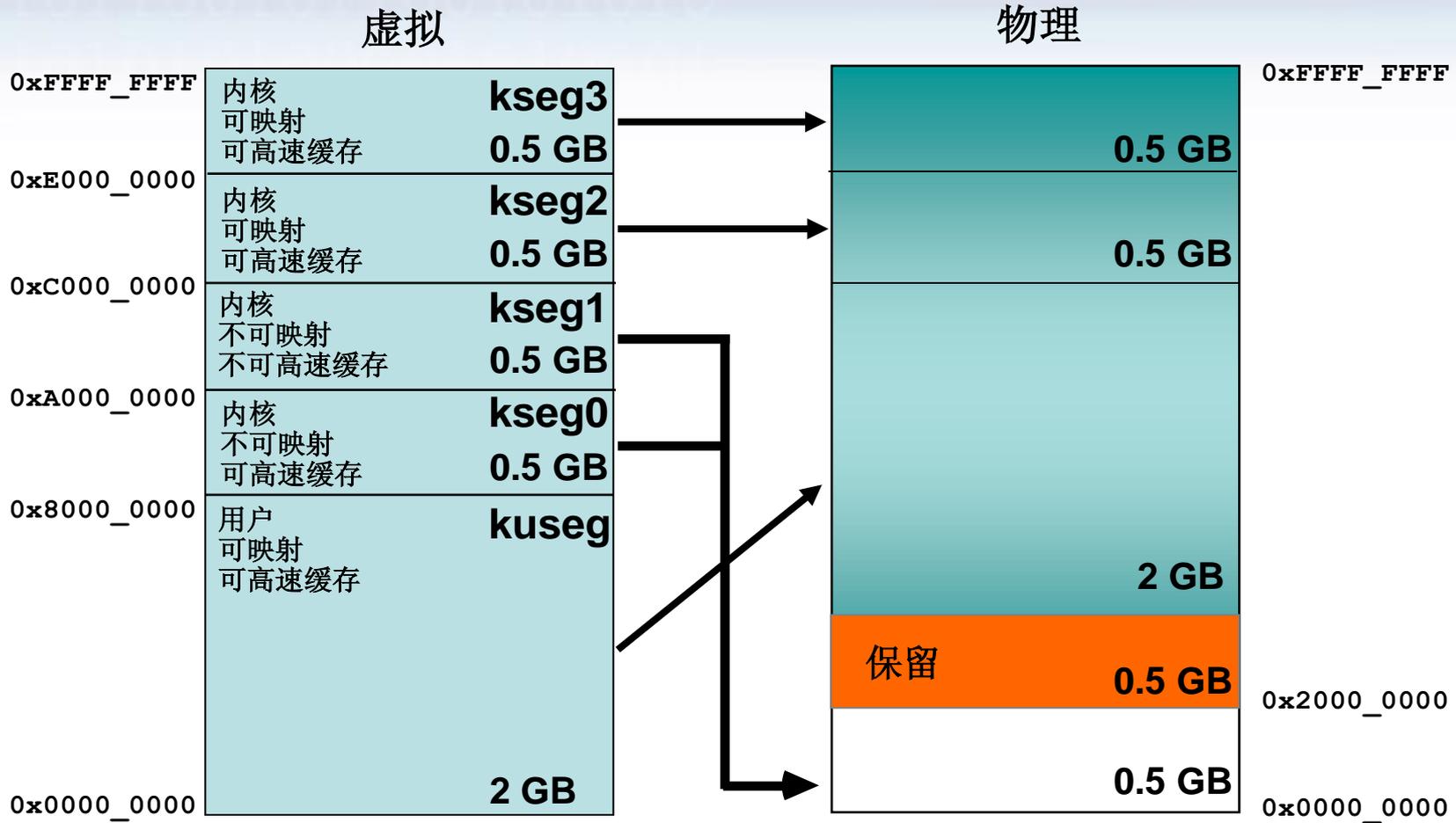


内核空间



中国技术精英年会

# FMT 虚拟地址转换为物理地址



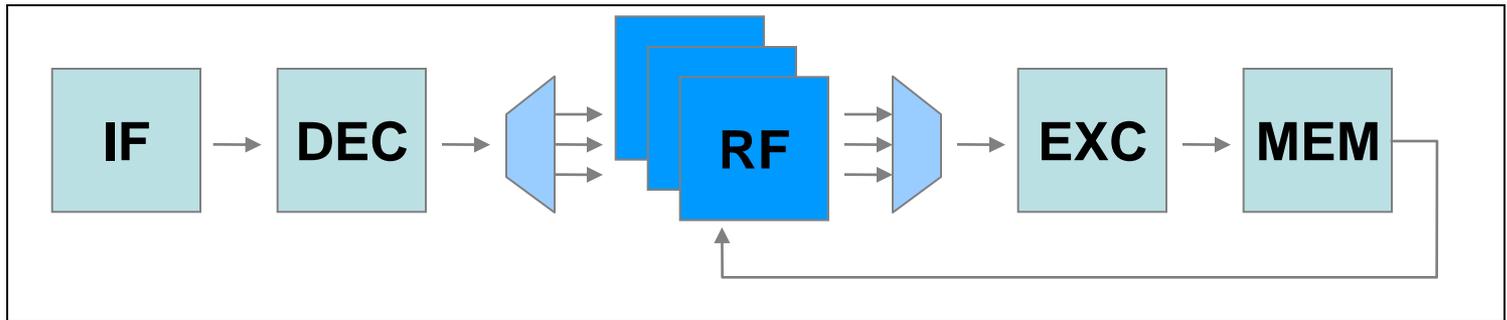
M14Kc内核可实现KUSEG、KSEG2和KSEG3的转换



中国技术精英年会

# GPR影子寄存器

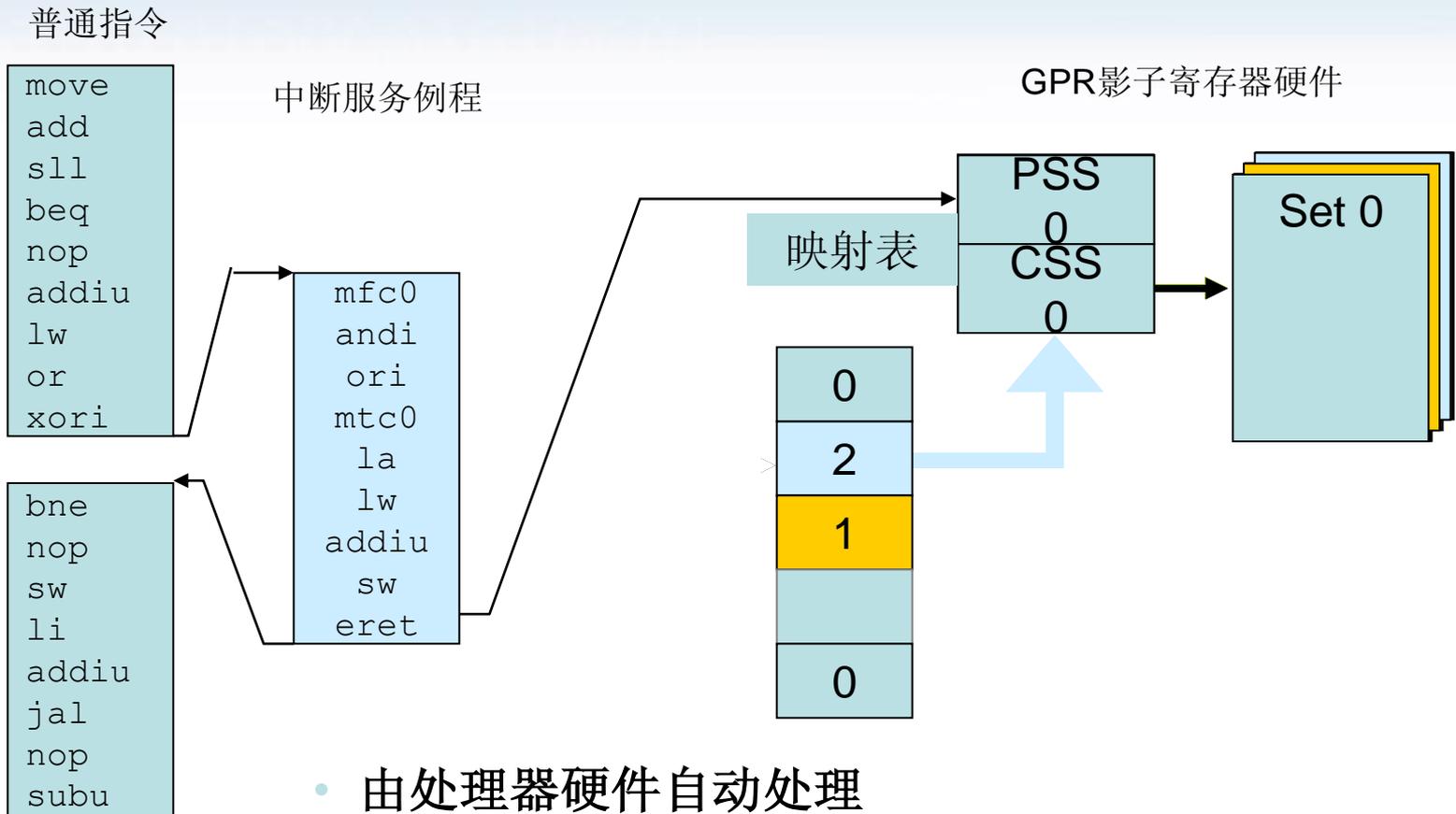
- 架构支持最多**16**个影子寄存器集
- 主寄存器文件的副本
  - 影子寄存器集可分配给每个中断/异常处理程序使用
  - 中断/异常与影子寄存器集之间的联系由软件决定
- 硬件在模式切换时管理影子寄存器集的使用
- 特权软件可以有效率地访问“上一个寄存器集现场”以处理异常





中国技术精英年会

# GPR影子寄存器



- 由处理器硬件自动处理
- 由系统软件或硬件配置



中国技术精英年会

# 异常

- 打断正常的程序执行
- 强制**CPU**开始执行另一个任务，以处理一些事务，如：
  - 系统状态要求
    - 中断
  - 程序流的错误执行
    - 执行错误条件
    - 控制和陷阱条件
    - **MMU**条件
  - 调试



中国技术精英年会

# 异常

- 采用执行的顺序，而非检测的顺序
- 当发生多个异常时，将首先处理优先级最高的异常
- 将不执行引起异常的指令及后续指令
  - 在异常处理完成后，将重新执行引起异常的指令
- 异常分为内部或外部异常，以及精确或非精确异常



中国技术精英年会

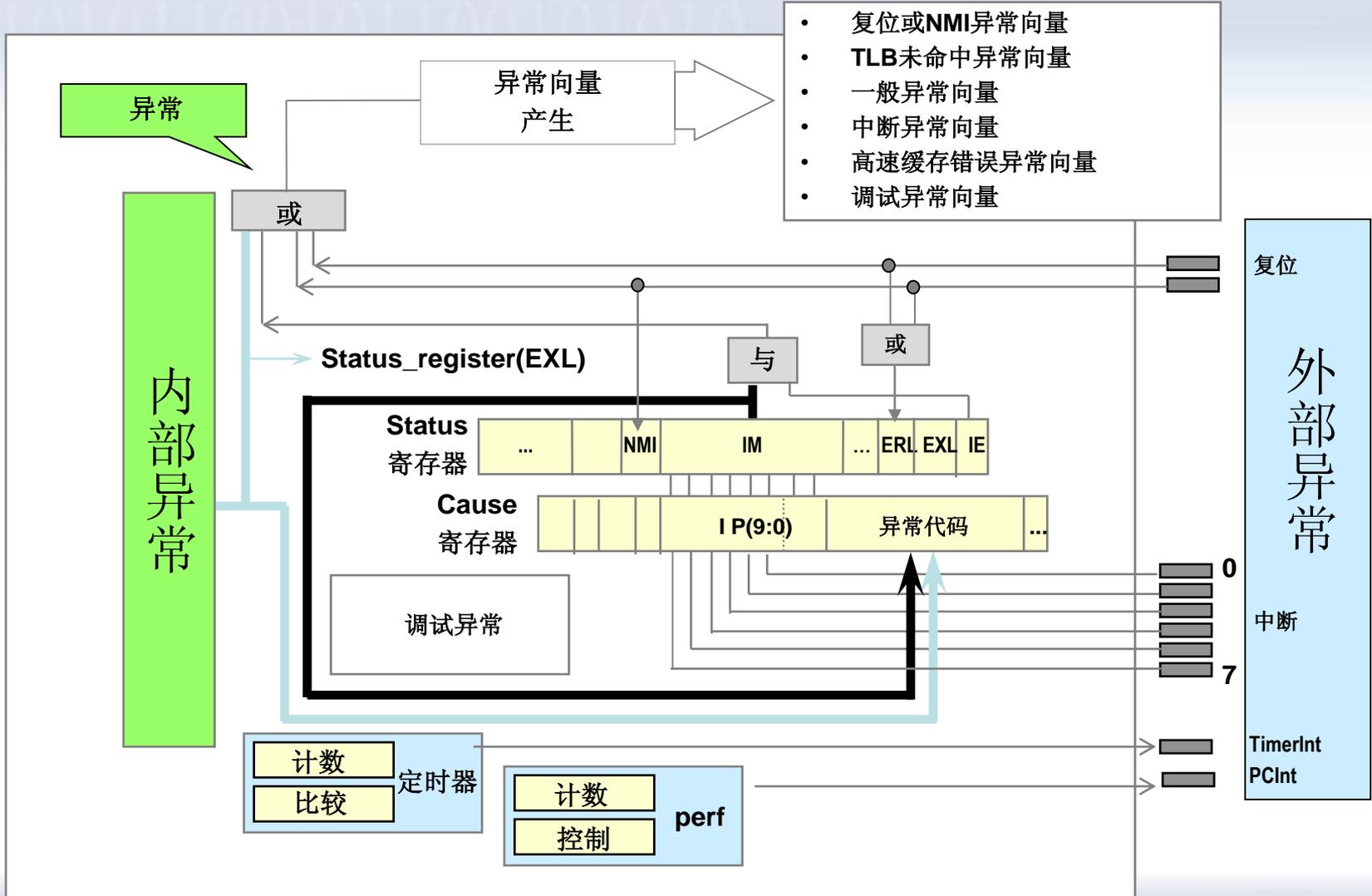
# 一般异常处理

- 保存重新开始地址（如果目前未处于异常处理中）
- 决定异常处理程序的地址
- 更新**CPO**寄存器，写入异常信息
- 更新影子寄存器集信息（如果使用）
- 从异常处理程序返回



中国技术精英年会

# 异常介绍

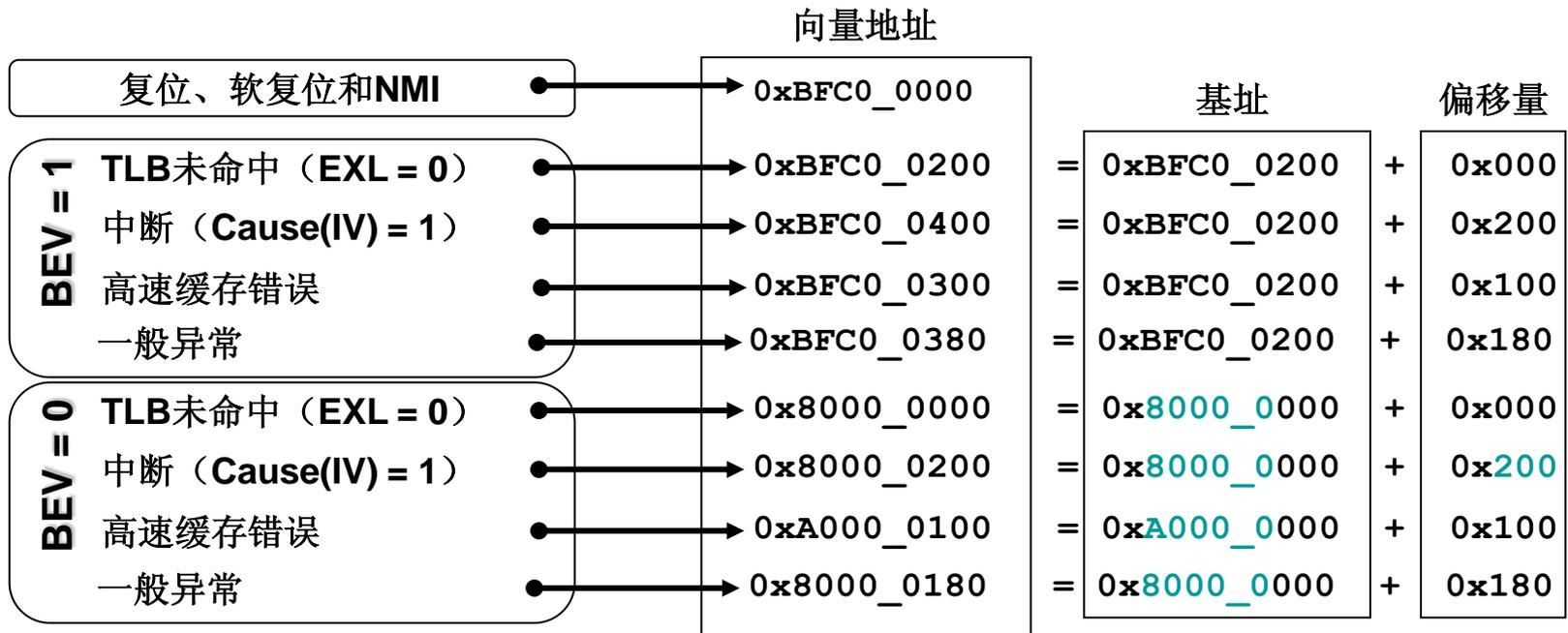




中国技术精英年会

# 异常向量

- 两组地址
- 复位时，**CP0**状态寄存器中的**BEV**位将置1
  - 指向不可映射和不可高速缓存的地址空间





中国技术精英年会

# 中断

- 中断是一般异常的另一类型
- 具有独立于一般异常向量的异常向量
  - 缩短异常（中断）服务例程的延时
- 可向每个中断分配影子寄存器
- 为了产生一个中断异常
  - 不能禁止所有中断
  - 不能已经处于异常处理状态
- 嵌套中断由软件处理



中国技术精英年会

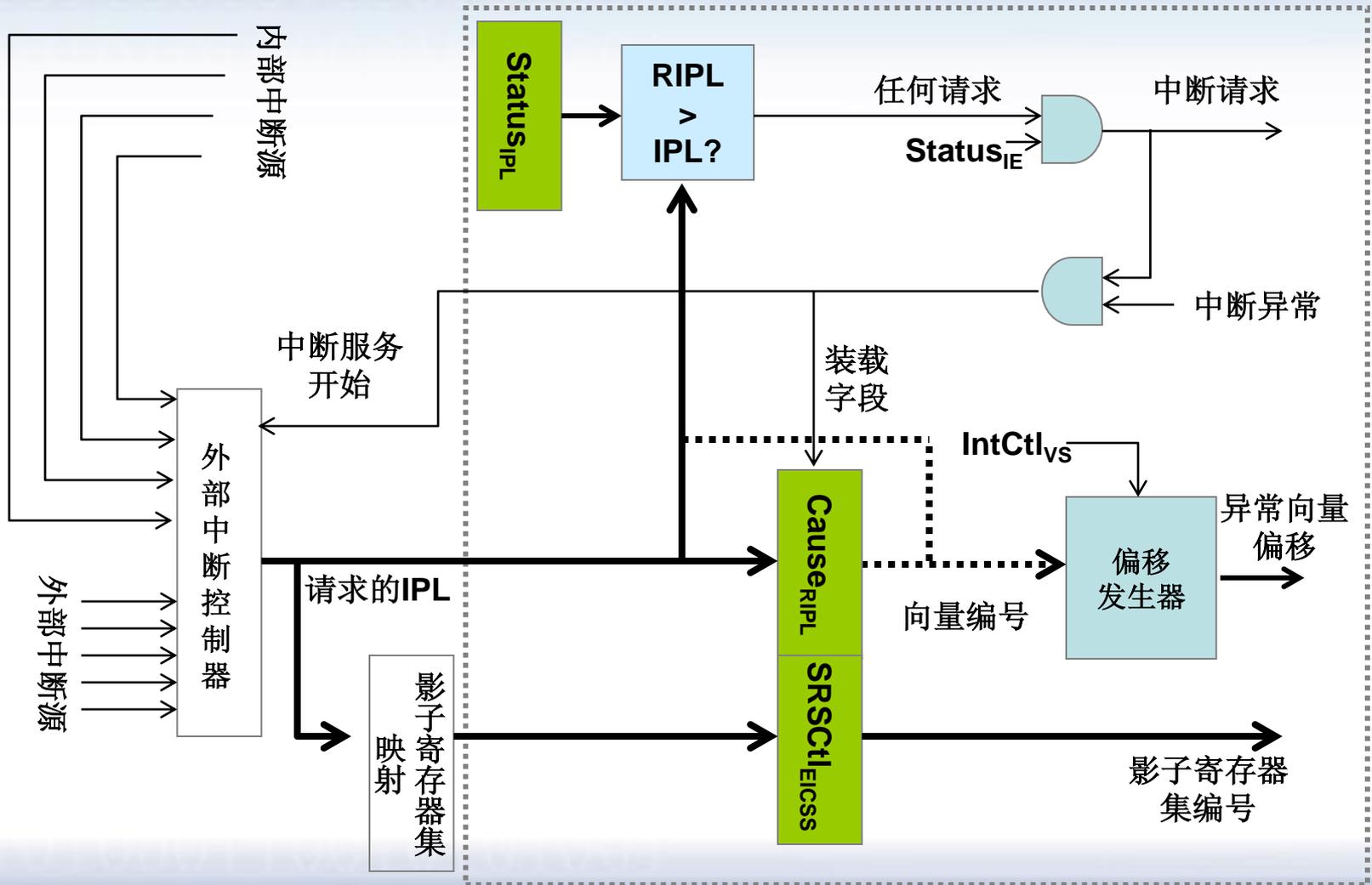
# 中断模式

- **3种中断模式**
  - 兼容型
  - 向量化中断（VI）
  - 外部中断控制器（EIC）
- **复位状态为兼容模式**
  - 必须由软件设置VI或EIC模式



中国技术精英年会

# EIC模式简介





中国技术精英年会

# 中断向量

- 每个中断均产生惟一的向量
- 偏移计算
  - 向量编号 \* 间距 + 0x200
- 间距在**CP0 IntCtl**寄存器中设定
  - 可以是32、64、128、256或512字节



中国技术精英年会

# 课程安排

- MIPS®架构概述
- MIPS32® ISA
- MIPS32® PRA
- **MIPS16e™ ASE**
- microMIPS32™ ISA
- MCU ASE
- MIPS32® M4K®和M14K™内核架构
- 总结



中国技术精英年会

# MIPS16e™ ASE简介

- 旨在缩短二进制代码长度
  - 减少所需存储空间和降低系统总成本
  - 从而提高指令高速缓存（I-Cache）的命中率
  - 增加了指令数，这意味着需要执行更多的时钟周期
- 指令长度固定为**16位**
  - 某些指令使用两个连续的**16位**指令
- 不是完整的指令集
  - 缺少CP0和FPU指令
- 是扩展基础指令集的选择之一



中国技术精英年会

# MIPS16e™ ASE特性

- 可以将**MIPS32**和**MIPS16e**指令混合使用
  - 需要模式切换指令
- 支持**8、16和32位数据类型**
- 用于压缩代码长度的特殊指令
  - 与**PC**相关的装载指令
  - 堆栈指针的隐式引用



中国技术精英年会

# 课程安排

- MIPS®架构概述
- MIPS32® ISA
- MIPS32® PRA
- MIPS16e™ ASE
- **microMIPS32™ ISA**
- MCU ASE
- MIPS32® M4K®和M14K™内核架构
- 总结



中国技术精英年会

# microMIPS32™ ISA简介

- 旨在缩短二进制代码长度（与MIPS16e ASE相似）
- 替代了MIPS16e ASE
- 目标是维持与MIPS32相同的性能
- 完整指令集
- MIPS32 ISA的超集
- 混合16位和32位长度指令
- 可以将microMIPS32和MIPS32指令混合使用
  - 需要模式切换指令



中国技术精英年会

# 全新的microMIPS32™指令

- 在现有的MIPS32指令基础上新增54条指令
  - 一次装载/存储指令便能在存储器和GPR寄存器之间传输最多9个连续字
  - 16位指令隐式引用堆栈指针寄存器（sp）、全局指针寄存器（gp）、返回地址寄存器（ra）、（HI/LO）和程序计数器，以及PC
  - 模式切换指令
  - 紧凑型分支和跳转指令
  - 硬件不再支持可能分支指令
  - 装载了指针寻址模式



中国技术精英年会

# 课程安排

- MIPS®架构概述
- MIPS32® ISA
- MIPS32® PRA
- MIPS16e™ ASE
- microMIPS32™ ISA
- **MCU ASE**
- MIPS32® M4K®和M14K™内核架构
- 总结



中国技术精英年会

# MCU ASE简介

- 专门针对单片机的新特性
  - 增加了外部中断源
  - 缩短中断延时
  - 简化I/O器件编程
- 全新**CP0**寄存器，并向一部分现有的寄存器添加新字段
- **3**条新指令



中国技术精英年会

# 增加中断源

- **硬件中断源（硬件中断引脚）数量从6个增加到8个**
  - 对于**EIC**模式，这意味着具有**255**个外部中断源



中国技术精英年会

# 缩短中断延时特性

- **中断链**
  - 无需返回非异常模式（以及相关的流水线线程）便可处理第二个中断
- **中断向量预取**
  - 当中断输入信号改变时，开始预取中断处理程序
- **自动中断序言/结语**
  - 在准备中断服务时，自动向/从堆栈保存/恢复一些CPO寄存器



中国技术精英年会

# 新指令

- 通过原子级指令简化了访问I/O器件控制寄存器的方法
  - ASET
  - ACLR
- 实现中断链和自动中断序言/结语
  - IRET



中国技术精英年会

# 课程安排

- MIPS®架构概述
- MIPS32® ISA
- MIPS32® PRA
- MIPS16e™ ASE
- microMIPS32™ ISA
- MCU ASE
- **MIPS32® M4K®和M14K™内核架构**
- 总结



中国技术精英年会

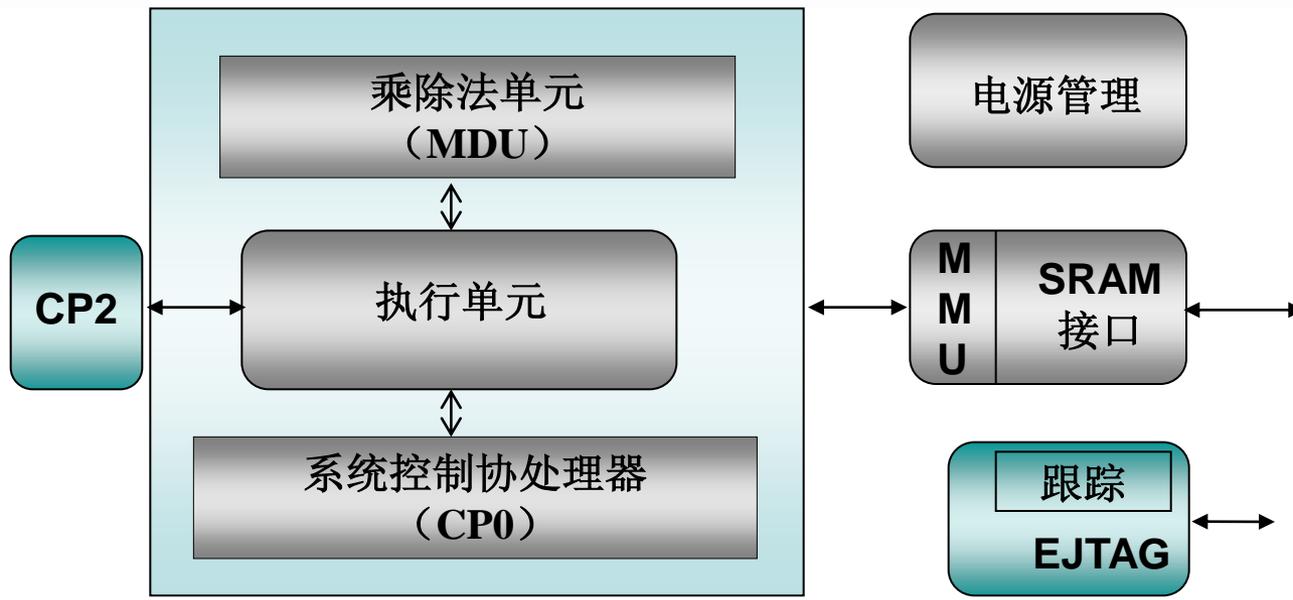
# MIPS32<sup>®</sup> M4K<sup>®</sup>内核简介

- 实现MIPS32 Release 2
- 5级流水线
- 无高速缓存操作
- 固定映射转换（FMT）MMU
- 最多8组GPR寄存器集
- 可选支持MIPS16e
- 可以选择性能或节省空间的乘除法单元（MDU）



中国技术精英年会

# 框图

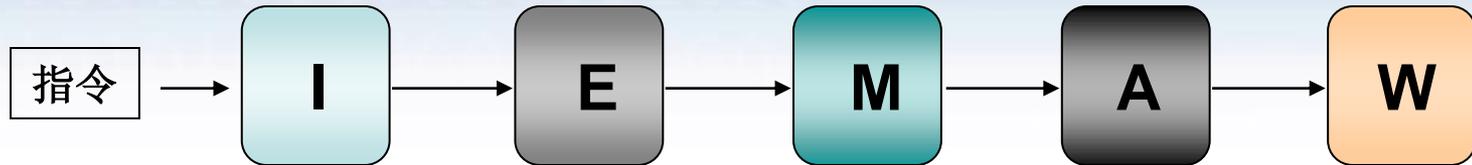


◆ 可选



中国技术精英年会

# MIPS32<sup>®</sup> M4K<sup>®</sup>内核流水线



## ● 5级流水线

- I - 取指
- E - 执行
- M - 从存储器取数据
- A - 对齐
- W - 回写



中国技术精英年会

# 快速MDU性能

## ● 32x16位乘法单元

操作码	操作码长度	延时*
MULT/MULTU MADD/MADDU MSUB/MSUBU	16位	1
	32位	2
MUL	16位	2
	32位	2
DIVU	32位	33
	24位	26
	16位	19
	8位	12
DIV	32位	34
	24位	27
	16位	20
	8位	13

长度检测基于rt操作码

“延时”指的是第一条指令产生第二条指令所需结果的必要时钟周期数。



中国技术精英年会

# MIPS32<sup>®</sup> M14K<sup>™</sup> 内核简介

- **M14K内核的超集**
- **可选支持microMIPS32 ISA（取代了MIPS16e ASE）**
- **支持MCU ASE**
- **最多16组GPR寄存器集**
- **从MIPS32或microMIPS32模式均可启动**



中国技术精英年会

# 课程安排

- MIPS®架构概述
- MIPS32® ISA
- MIPS32® PRA
- MIPS16e™ ASE
- microMIPS32™ ISA
- MCU ASE
- MIPS32® M4K®和M14K™内核架构
- 总结



中国技术精英年会

# 总结

- 今天我们讨论了：
  - MIPS架构
  - MIPS32和microMIPS32的ISA和PRA
  - MIPS16e和MCU的ASE
  - M4K和M14K的内核架构



中国技术精英年会

# 其他资源

- <http://www.mips.com/products/architectures/>
- <http://www.mips.com/products/cores/32-64-bit-cores/mips32-m4k/>
- <http://www.mips.com/products/cores/32-64-bit-cores/mips32-m14k/>
- **PIC32技术文档**



中国技术精英年会

# 商标

**Microchip**的名称和徽标组合、**Microchip**徽标、**dsPIC**、**KeeLoq**、**KeeLoq**徽标、**MPLAB**、**PIC**、**PICmicro**、**PICSTART**、**PIC32**徽标、**rfPIC**和 **UNI/O**均为**Microchip Technology Inc.**在美国和其他国家或地区的注册商标。

**FilterLab**、**Hampshire**、**HI-TECH C**、**Linear Active Thermistor**、**MXDEV**、**MXLAB**、**SEEVAL**和**The Embedded Control Solutions Company**均为**Microchip Technology Inc.**在美国的注册商标。

**Analog-for-the-Digital Age**、**Application Maestro**、**chipKIT**、**chipKIT**徽标、**CodeGuard**、**dsPICDEM**、**dsPICDEM.net**、**dsPICworks**、**dsSPEAK**、**ECAN**、**ECONOMONITOR**、**FanSense**、**HI-TIDE**、**In-Circuit Serial Programming**、**ICSP**、**Mindi**、**MiWi**、**MPASM**、**MPLAB Certified**徽标、**MPLIB**、**MPLINK**、**mTouch**、**Omniscient Code Generation**、**PICC**、**PICC-18**、**PICDEM**、**PICDEM.net**、**PICKit**、**PICtail**、**REAL ICE**、**rfLAB**、**Select Mode**、**Total Endurance**、**TSHARC**、**UniWinDriver**、**WiperLock**和**ZENA**均为**Microchip Technology Inc.**在美国和其他国家或地区的商标。

**SQTP**是**Microchip Technology Inc.**在美国的服务标记。

在此提及的所有其他商标均为各持有公司所有。

©2011, **Microchip Technology Inc.**版权所有。