基于 Multisim10 的频率合成器仿真与实现

傅智河
（龙岩学院物理与机电工程学院 福建龙岩 364012）

摘要：介绍了锁相环工作原理及在 Multisim10 仿真平台中构建锁相环仿真模型的方法，实现了锁相式频率合成器的仿真，给出了不同电路参数下的仿真结果，较好地解决了频率合成器的电路设计与优化。

关键词：锁相环；频率合成；仿真
中图分类号：TN702 文献标识码：A 文章编号：1673-4629(2009)05-0041-03

频率合成器(Frequency Synthesizer) 利用一个或多个高稳定度的晶体振荡器产生一系列等间隔的离散高稳定度频率，可为通信设备提供大量精确且能迅速转换的载波信号和本振信号，从而大大提高了通信设备的性能，是许多新型通信体制能得以实现的必要保证。锁相式频率合成器利用锁相环路来完成频率变换，这种频率合成方法目前已得到最为广泛的应用[1]，习惯上又把它称为锁相频率合成。在常用电子设计自动化(EDA)工具软件 Protel、Multisim 等软件中，专用锁相环芯片没有仿真模型，给锁相式频率合成器自动化设计带来不便。本文分析锁相环路工作原理，在 Multisim10 仿真平台上构建锁相环的仿真模型，实现锁相式频率合成的仿真，设计电路简单、仿真效果良好。

1 锁相环工作原理的数学分析

锁相环是由鉴相器(PD)、环路滤波器(LF)和压控振荡器(VCO)组成的相位负反馈系统，将压控振荡器的输出信号的相位与参考信号的相位进行比较，产生相位误差电压来调整压控振荡器输出信号的相位，达到输出信号与参考信号同频的目的。锁相环的基本原理如图1所示。

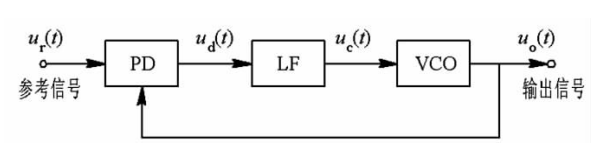

图1 锁相环的原理方框图

下面分析基本部件在环路的作用及其数学模型[2,3]。

鉴相器是相位比较装置，用来把压控振荡器输出信号 $u_o(t)$ 的相位与参考信号 $u_r(t)$ 的相位进行比较，产生相位差 θc 的误差电压 $u_d(t)$。

设参考信号为

$$u_r(t)=U_r\sin[\omega_r t+\theta_r(t)]$$

压控振荡器输出信号 $u_o(t)$ 输出信号为

$$u_o(t)=U_o\cos[\omega_0 t+\theta_0(t)]$$

若以压控振荡器的载波相位 $\omega_0 t$ 作为参考，则输出信号 $u_o(t)$ 与参考信号 $u_r(t)$ 为

$$u_o(t)=U_o\cos[\omega_0 t+\theta_2(t)] \quad (1)$$

$$u_r(t)=U_r\sin[\omega_r t+\theta_r(t)]=U_r\sin[\omega_0 t+\theta_1(t)] \quad (2)$$

式(1)、(2)中，$\theta_2(t)=\theta_0(t)$，$\theta_1(t)=(\omega_r-\omega_0)t+\theta_r(t)=\Delta\omega_0 t+\theta_r(t)$

将 $u_o(t)$ 与 $u_r(t)$ 相乘，通过环路滤波器滤除 $2\omega_0$ 分量，可得

$$u_d(t)=U_d\sin[\theta_1(t)-\theta_2(t)]=U_d\sin\theta_e(t)$$

环路滤波器是一个线性低通滤波器，用来滤除误差电压 $u_d(t)$ 中的高频分量 $2\omega_0$ 和噪声。环路滤波器除具有低通滤波作用外，更重要的是它对环路参数调整起到决定性的作用。其参数的选择对环路的捕捉稳定、噪声的滤除以及环路的带宽都有很大的影响。本文使用无源积分滤波器，建立环路滤波器模型。无源比例积分滤波器如图2所示。

其传递函数为

$$F(s)=\frac{U_c(s)}{U_d(s)}=\frac{1+s\tau_2}{1+s\tau_1}$$

收稿日期：2009—05—05
作者简介：傅智河(1970—)，男，福建上杭人，讲师，主要从事电子技术应用教学与研究。

式中 $\tau_1=(R1+R2)C$，$\tau_2=R2C$

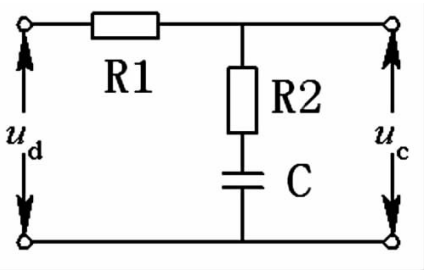

图 2　无源比例积分滤波器

压控振荡器是一个电压–频率变换器，在环路中作为被控振荡器，压控振荡器的输出信号频率 $\omega_o(t)$ 受输入控制电压 $u_c(t)$ 控制，使振荡频率 $\omega_o(t)$ 向参考频率靠近，使两者的频差频率越来越低，直至两者的频率相同、保持一个恒定的剩余相差。它的振荡频率应随输入控制电压 $u_c(t)$ 线性地变化，即

$$\omega_o(t)=\omega_o+k_d u_c(t)$$

式中，$\omega_o(t)$ 是 VCO 的瞬时角频率，k_d 是线性特性斜率，又称为 VCO 的控制灵敏度或增益系数，表示单位控制电压可使 VCO 角频率变化的数值。

2　锁相环的仿真模型

首先在 Multisim10 软件中构造锁相环的仿真模型如图 3。锁相环由鉴相器、环路滤波器和压控振荡器三个部分组成。图中，鉴相器由模拟乘法器 A1 实现，压控振荡器为 V4，环路滤波器由 R1、R2、C1 构成。环路滤波器的输出通过 R3、R4 串联分压后加到压控振荡器的输入端，直流电源 V3 用来调整压控振荡器的中心频率。仿真模型中，增加 R3、R4 及 V3 的目的就是为了便于调整压控振荡器的中心频率[4]。

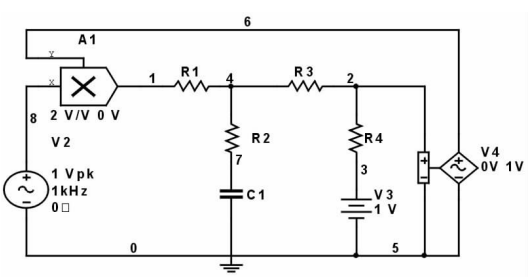

图 3　锁相环的仿真模型

3　锁相式频率合成器的设计与仿真

锁相式频率合成是利用一个或多个锁相环路来完成频率变换，输出满足性能要求的一系列高稳定离散频率的方法。这种频率合成方法目前已得到最为广泛的应用，图 4 为脉冲锁相式频率合成器的原理框图[5]。

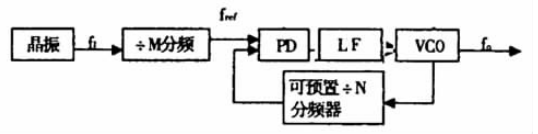

图 4　锁相环频率合成器原理方框图

其工作原理为：晶振电路产生一个高精度、高稳度输入信号 f_i，后经固定分频电路 M 分频，成为 PD 一端的输入参考频率 f_{ref}。VCO 的输出信号频率 f_o 经可预置分频器进行 N 分频后输入 PD 的另一端。这两种信号进行比较，当其有相位差时，PD 便向低通滤波器输出一个对应于相位差的误差电压。低通滤波器将误差电压中的高频分量和噪声滤除，并向 VCO 输送一个控制电压，使 f_o 发生改变，从而使 PD 的输入频差逐渐消失，使锁相环路最终锁定。这时，有：

$f_i/M=f_o/N$，即有：$f_o=f_i\cdot N/M=N\cdot f_{ref}$

可见，f_o 随 N 的变化而改变，从而实现频率输出可调的目的。

根据锁相环频率合成器原理方框图设计仿真图如图 5 所示，图中设置 V1 为标准参考频率 f_{ref}=10KHZ，环路滤波器是无源比例积分滤波器。通常选择 R2 取值为 R1 的 10%~30%，这既可消除环路的过激和振荡，又有较快的工作速度。本设计中取 R1=470KΩ，R2=47KΩ，C1=0.1μF。其时间常数 $\tau=(R1+R2)C1$。分频器采用两片可预置数 BCD 码十进制计数器 MC14522 来实现 N=10×10=100 的分频。该计数器具有适于分频的较完整级联功能，预置数时无需同步脉冲。CK 输入上跳边沿计数，时钟选通端 CE 加下跳边沿也可计数。图中是分频级联的用法，预置数后开始计数分频。其中，P_0—P_7 为可预置数端，允许置数端 PE 加高电平脉冲完成预置使 Q_0~Q_7=P_0~P_7，后对输入 CK 脉冲进行计数。工作过程是 PE 加高电平脉冲预置后，两级 OC（进位输出端）为低电平，后进行计数。当高位（第二级）变为全零时，因其 CF（级联反馈端）为高电平，则 OC 为高电平。因此，低位（第一级）这时 CF 为高电平，当计数内容为最大值，继续进行至全零时出现 OC 为高电平，它和 PE 端连在一起，可作为置数脉冲信号，同时也是分频器的分频输出。执行仿真得到图 6 的仿真结果，从图中可以看出在 7ms 后电路得到良好的捕捉与跟踪。

4　电路参数对仿真结果的影响

调整可预置式分频器的 P_0~P_7 值，分别获取 N

表 1　N 值与输出频率的关系

f_{ref}(KHZ)	N 值	输出频率 f_o(MHZ)	f_{ref}(KHZ)	N 值	输出频率 f_o(MHZ)
10	100	1.001	8	100	0.801
	80	0.798		80	0.641
9	100	0.899	7	100	0.702
	80	0.718		80	0.561

初始值为 80、100 情况下锁相式频率合成器的输出频率，在同步带内得出 N 值与输出频率的关系如表1 所示，可见间接式频率合成可采取设置不同的 f_{ref} 及 N 值来实现输出频率的步进与合成。

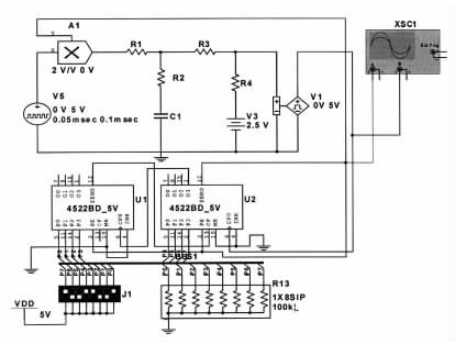

图 5　锁相环频率合成器原理图

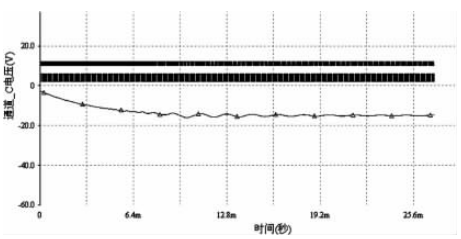

图 6　锁相环频率合成器仿真结果

环路滤波器用来滤除误差电压 $u_d(t)$中的高频分量和噪声，其参数的选择对环路的捕捉稳定、噪声的滤除以及环路的带宽都有很大的影响。为此对环路滤波器电路中 C 采用 Multisim10 软件的参数扫描分析，得出 C 分别为 250nF、500nF、750nF 和 1000nF 仿真结果如图 7，环路滤波器滤除高频分量能力和稳定捕捉效果与理论分析完全一致。

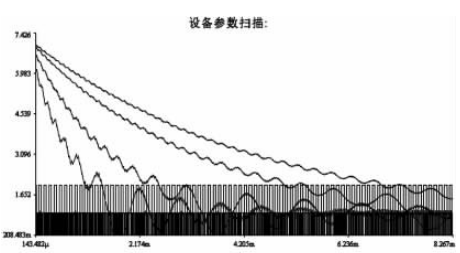

图 7　参数扫描分析的结果

5　结束语

锁相式频率合成器是一个闭环系统，各单元电路相关度高，设计与实现输出频率高度稳定和具有良好同步捕捉的系统，是每位设计者的共同目标。目前，在专用锁相环芯片缺乏仿真模型的情况下，难以用 EDA 软件有效、直观地分析电路参数的合理性。本文充分利用 Multisim10 仿真平台提出的锁相式频率合成器的仿真电路构建方法简单，仿真效果良好，可为电路设计人员和教学工作者提供参考，从而缩短锁相式频率合成器的开发周期。同时表明了 Multisim10 软件是一种优秀的电路设计与仿真软件，电路参数调整方便，使用起来非常灵活。合理利用 Multisim10 软件是电路设计及电路优化的有效手段，可作为通信电子电路及相关课程的辅助教学工具。

参考文献：

[1]徐祎，姜晖，崔深，等. 通信电子技术[M]. 西安：西安电子科技大学出版社，2003：53-55.

[2]陈财明. 锁相环的 PSPice 建模与仿真分析[J]. 台州学院学报，2007，29(6)：44-48.

[3]吴慎山. 高频电子线路[M]. 北京：电子工业版社，2007：263-281.

[4]王刚，王艳芬. 基于 Multisim 的锁相环应用电路仿真[J]. 电气电子教学学报，2008，30(3)：67-69.

[5]张红武，李菲. 一种基于锁相环的数字频率合成器的设计[J]. 计量与测试技术，2006(3)：36-39.

[责任编辑：邱维敦]

Simulation and Realization of Frequency Synthesizer Based on Multisim10

FU Zhi-he

Abstract: This thesis introduces the working mechanism of PLL (phase locked loop) and the way in which the model of PLL is built in a platform of Multisim10 simulation. It realizes the simulation of PLL frequency synthesizer, offers the simulated results under different circuit parameters, and better resolves the designing and upgrading of circuits in frequency synthesizer.

Key words: PLL; frequency synthesis; simulation