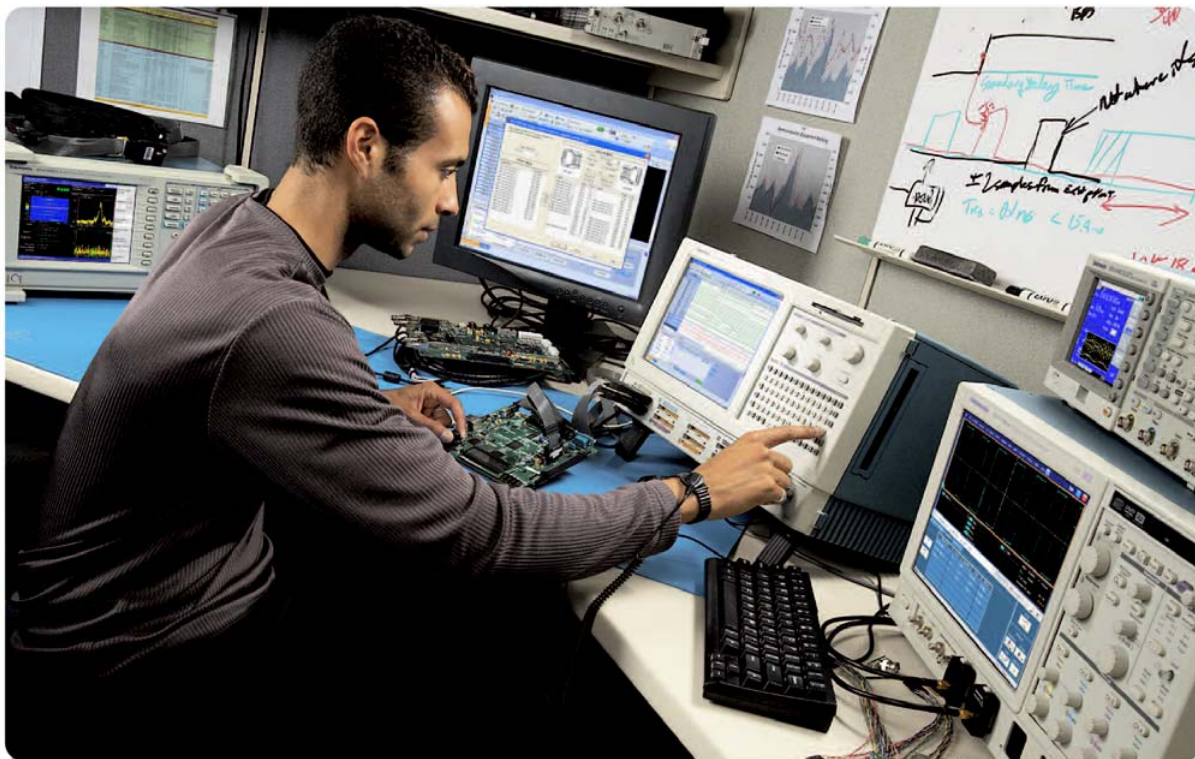


简化 Xilinx 和 Altera FPGA 调试过程



全速调试 FPGA 设计

通过 FPGAVIEW™ 解决方案，如混合信号示波器(MSO)和逻辑分析仪，您可以在 Xilinx 和 Altera FPGA 内部迅速移动探点，而无需重新编译设计方案。能够把内部 FPGA 信号活动与电路板级信号关联起来，将直接决定您是如期满足时间表、还是错失最佳产品开发周期。

引言

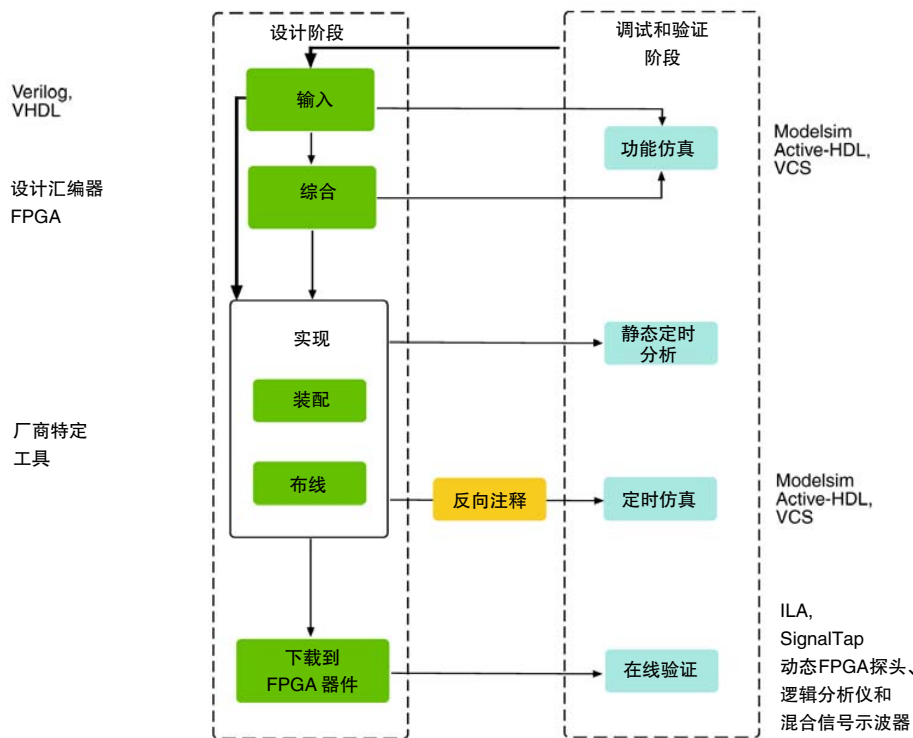
随着设计尺寸和设计复杂性不断增长,使得基于现场可编程门阵列(FPGA)的系统设计验证和验证过程成为一个关键部分。接入内部信号有限、先进的FPGA封装和印刷电路板(PCB)的电气噪声,都会导致设计调试和验证成为设计周期中最困难的流程。您经常会把设计周期

的大部分时间用在设计调试和验证上。为帮助您完成设计调试和验证过程,您需要新的工具,当设计在FPGA上全速运行时,帮助您调试设计。

本应用指南重点介绍相关问题和技巧,在调试FPGA系统时提高您的工作效率。

简化Xilinx和Altera FPGA调试过程

► 应用指南



► 图 1. FPGA 设计流程图。

FPGA 设计过程概述

在把 FPGA 系统带到市场的过程中，有两个不同的阶段：设计阶段和调试检验阶段（参阅图 1）。设计阶段的主要任务是输入、仿真和实现。调试和检验阶段的主要任务是验证设计和校正发现的漏洞。

设计阶段

在这个阶段不仅要找到设计，而且还要使用仿真工具开始进行调试。事实证明，正确使用仿真工具是找到和校正许多设计错误非常有效的方法。然而，在调试 FPGA 设计时，不应该只依赖仿真工具，还有许多问题利用仿真是捕捉不到的。

在设计阶段，您需要预见到调试和检验阶段，并规划将如何在线、快速调试 FPGA。它应引导您定义整体调试方法，帮助识别所需的测试和测量工具，并确定选择的调试方法对电路板设计带来的影响。

调试和检验阶段

在调试阶段，必需找到仿真捕捉不到的棘手问题。能够及时快速地做到这一点是一个挑战。

在本应用指南中，我们将会考察如何选择正确的 FPGA 调试方法，在设计阶段如何有效地规划调试，以及如何利用新的方法，只使用少数 FPGA 针脚查看多个内部 FPGA 信号。如果做法得当，最困难的 FPGA 调试问题也会迎刃而解。

FPGA 调试方法

在设计阶段，最关键的是选择使用哪种 FPGA 调试方法。在理想情况下，您需要一种方法，它可以移植到所有 FPGA 设计中，能够洞察 FPGA 操作和系统操作，能够找到和分析难题。

有两种基本在线FPGA调试方法：使用嵌入式逻辑分析仪和使用外部逻辑分析仪，如混合信号示波器或逻辑分析仪。选择使用哪种方法取决于您的项目调试需要。

嵌入式逻辑分析仪核心

主要 FPGA 厂商都提供嵌入式逻辑分析仪内核，如 Altera 的 SignalTap® II 和 Xilinx 的 ChipScope™ ILA。这些知识产权模块插入 FPGA 设计中，同时提供触发功能和存储功能。FPGA 逻辑资源用来实现触发电路，FPGA 存储模块则用来实现存储功能。JTAG 用来配置核心操作，另外用来把捕捉到的数据传输到 PC 上，以便进行查看。

由于嵌入式逻辑分析仪使用内部 FPGA 资源，它们通常会与能够更好地吸收核心开销的大型 FPGA 一起使用。在一般情况下，核心占用的资源最好不要高于可用的 FPGA 资源的 5%。

与其它调式方法一样，您还应该知道一些矛盾：

引脚数与内部资源的矛盾

嵌入式逻辑分析仪核心通过现有的 JTAG 引脚接入，所以它们不使用额外的引脚。这意味着即使您的设计具有引脚限制，您仍可以使用这种方法。问题是您需要使用 FPGA 逻辑资源和存储模块，而这些资源和模块本来是可以用来实现设计的。此外，由于使用片内内存捕获数据，因此其存储深度一般相对较浅。

探测与运行模式的矛盾

嵌入式逻辑分析仪核心的探测比较简单。它使用现有的 JTAG 引脚，因此不必担心如何把外部逻辑分析仪连接到系统上。问题是可以使用嵌入式逻辑分析仪观察 FPGA 操作，但没有一种方式，把这些信息与电路板级或系统级信息关联起来。把 FPGA 内部的信号与 FPGA 外部的信号关联起来，通常对解决最棘手的调试挑战至关重要。

成本与灵活性的矛盾

大多数 FPGA 厂商会以低于全功能外部逻辑分析仪的价格，向市场提供嵌入式逻辑分析仪内核。尽管您希望获得全功能分析仪的功能，但相比之下，嵌入式逻辑分析仪核心提供的功能要比全功能分析仪要少，而您通常需要这些功能，捕获和分析棘手的调试挑战。例如，嵌入式逻辑分析仪只能在状态模式下进行操作，它们捕捉与 FPGA 设计中存在的指定时钟同步的数据，因此不能提供精确的信号定时关系。

简化Xilinx和Altera FPGA调试过程

► 应用指南

外部测试设备

由于嵌入式逻辑分析仪方法的局限性,许多设计人员采用另外一种方法,把FPGA的灵活性与外部混合信号示波器(如MSO4000系列)或逻辑分析仪(如TLA系列)的功能结合起来。

在这种方法中,感兴趣的内部信号被路由到FPGA没有使用的针脚上,然后这些针脚被连接到外部测试设备上。这种方法利用外部测试设备中非常深的采集存储器。在调试的问题中症状与实际原因之间相隔很长的时间时,这种方法非常实用。它能够把内部FPGA信号与电路系统中的其它活动关联起来。

与嵌入式逻辑分析仪方法一样,也应该考虑一些矛盾:

针脚数量与内部资源的矛盾

外部测试设备方法使用的逻辑资源非常少(如果有的话),不占用FPGA存储器。这些资源被释放出来,实现所需的功能。问题是现在您需要增加更多的针脚,专门用于调试。而很明显,这些针脚本来是可以用于设计的。

探测与工作模式的矛盾

与嵌入式逻辑分析仪方法要求的探测技术相比,外部测试设备把探头连接到外部测试设备要复杂得多。您需要确定如何使用MSO或逻辑分析仪探头接入FPGA信号,而不能重复使用电路板上已有的JTAG连接器。最简便

的技术是在您的电路板上增加一个调试连接器,这样就可以轻松地把FPGA信号与系统内的其它信号关联起来。

成本与灵活性的矛盾

尽管外部测试设备的购置成本要高于嵌入式逻辑分析仪,但使用外部测试设备可以解决很多问题。MSO或逻辑分析仪不仅可以用于FPGA调试,还可以用于解决其它数字或混合信号设计所面临的挑战。在采集模式和触发功能方面,您还可以获得更大的灵活性。通过外部MSO,您可以以非常高的定时分辨率,触发和采集各种模拟信号、数字信号及串行信号。通过外部逻辑分析仪,您可以接入最多16种不同的触发状态,并可以在定时分析模式下以非常高的定时分辨率捕获非常长的缓冲数据。

选择适当的FPGA调试方法

这两种方法的使用效果要视具体情况而定。挑战在于确定哪种方法更适合您的设计。可以自问以下几个问题:

预计问题是什么?

如果您认为预计问题仅限于FPGA内部的功能问题,那么使用嵌入式逻辑分析仪可以提供要求的所有调试能力。然而,如果您预计会出现更大的调试问题,需要验证定时余量,把内部FPGA活动与电路板上的其它活动联系起来,或需要更强大的触发功能,那么更适合使用外部测试设备来满足您调试需求。

特点	嵌入式 逻辑分析仪	外部混合 信号示波器	外部逻辑 分析仪
采样深度			√√
调试定时问题		√	√
时间关联		√	√
性能		√	√
触发功能		√	√√
使用输出引脚	√		
采集速度	√	√	√

► 表 1. 选择满足您需求的适当的FPGA调试方法。

除状态数据外，您是否还需要查看快速定时信息？

外部MSO或逻辑分析仪可以以远远低于1 ns的分辨率查看FPGA信号的详细定时关系。这有助于检验事件的实际发生状况是否符合设计方案，并检验设计的定时余量。嵌入式逻辑分析仪只能捕获与FPGA中存在的指定时钟同步的数据。

您需要捕获多深的数据？

您可以使用外部MSO或逻辑分析仪，接入更大的采样深度。例如，在SignalTap II中，最大采样深度设置为128 Kb，这就是一种设备限制。但是，在外部MSO中，

可以捕获最多10M的样点，在逻辑分析仪中，可以捕获最多256M的样点。这可以帮助您查看更多的问题和可能原因，从而缩短调试时间。

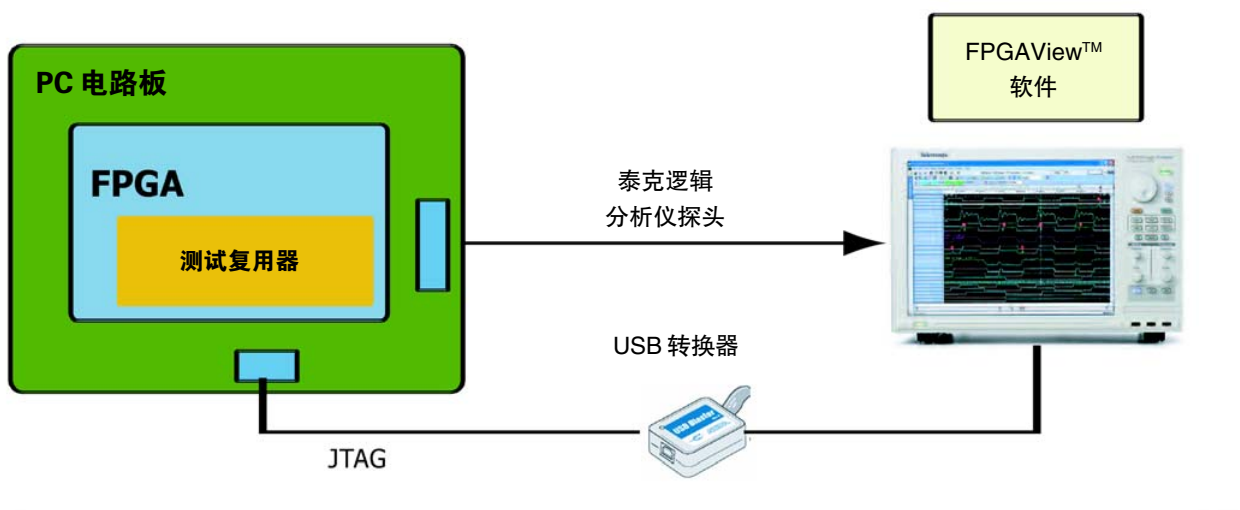
设计中的引脚或资源是否受到限制？

使用嵌入式逻辑分析仪不要求额外的输出引脚，但必须占用内部FPGA资源，实现逻辑分析仪功能。使用外部测试设备要求使用额外的输出引脚，但对占用内部FPGA资源的需求达到最小(或不需要占用内部FPGA资源)。

表 1 概括了每种方法的相对优势。

简化Xilinx和Altera FPGA调试过程

► 应用指南



► 图 2. 典型的 FPGAView 实现方案。

FPGAView™ 的优势

FPGAView 概述

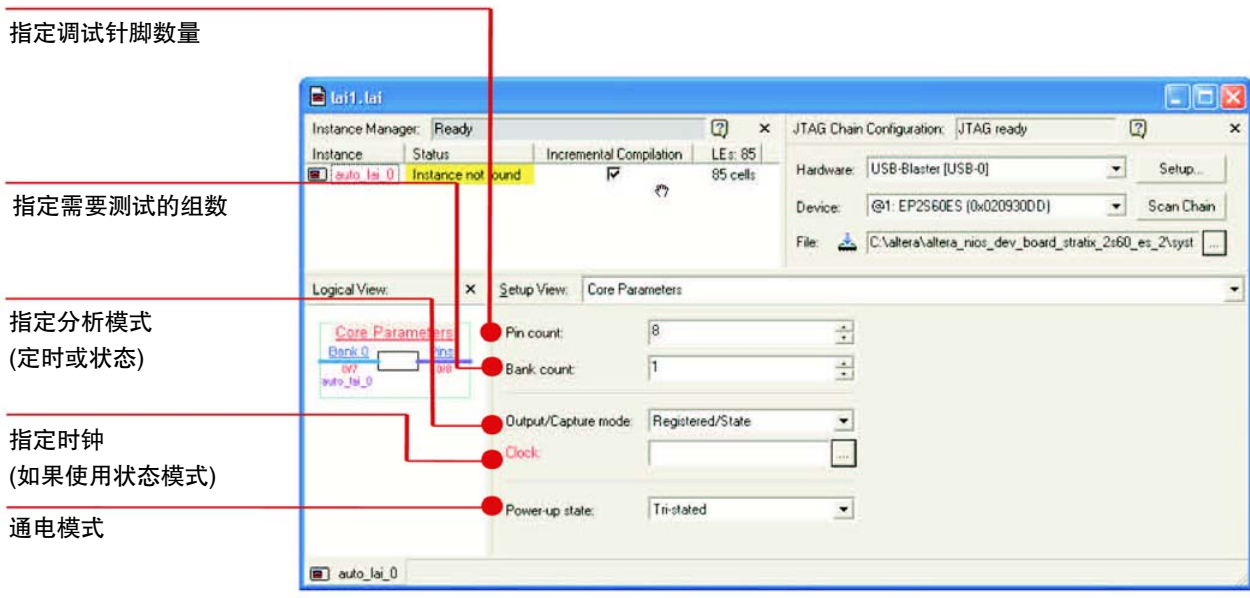
外部测试设备方法有效使用FPGA中的“P”(处理能力), 对设备进行必要的重新配置, 以把感兴趣的内部信号路由到一般数量较少的针脚上。这是一种非常实用的方法, 但有其局限性:

- 每次在需要考察一套不同的内部信号时, 您都需要改变设计(在RTL级或使用FPGA编辑器工具), 把所需的信号组路由到调试针脚上。这不仅耗费时间, 而且在要求重新汇编设计时会改变设计的定时, 可能会隐藏需要解决的问题。
- 一般来说, 调试针脚的数量较少, 内部信号与调试针脚 1:1 的关系会限制查看和洞察设计的能力。

为克服这些局限性, 业内已经研制出一种FPGA调试方法, 不仅拥有外部测试设备方法的所有优势, 还消除了主要局限性。First Silicon Solution 的 FPGAView 在与泰克MSO4000系列混合信号示波器或TLA系列逻辑分析仪结合使用时, 为调试 Xilinx 和 Altera FPGA 及周边硬件提供了一个完整的解决方案(参阅图 2)。通过这种组合, 您可以:

- 同时查看内部活动和外部活动
- 迅速改变 FPGA 内部探点, 而不需重新汇编设计
- 每个针脚监测多个内部 FPGA 信号

此外, FPGAView可以在一台设备中处理多个测试内核(用来监测不同的时钟域), 在一条 JTAG 链上处理多台 FPGA 设备。



► 图 3a. 用来定义和插入测试内核的 Altera 逻辑分析仪接口编辑器实例。

使用 FPGAVIEW

使用 FPGAVIEW 的过程由几个简便的步骤组成：

- 第 1 步. 配置并把适当的测试内核插入 FPGA 设计
- 第 2 步. 配置 FPGAVIEW, 使其与调试环境相匹配
- 第 3 步. 建立 FPGA 引脚与 MSO 或 TLA 逻辑分析仪通道的对应关系
- 第 4. 进行测量

下面几节详细介绍了各个步骤。

第 1 步. 插入内核

第一步是配置测试内核, 把它插入设计中。例如, 在使用 Altera 设备时, 可以使用 Altera 的逻辑分析仪接口编辑器, 创建最适合自己需求的测试核(参阅图 3a)。FS2 芯片仪器化发生器(OCIGEN)用来指定并把测试核插入 Xilinx 设备中(参阅图 3b)。

对大多数测试核心, 您可以指定下述参数:

Pin Count (引脚数量): 指希望把多少个引脚专用于外部测试设备接口。

Bank Count (组数): 指希望映射到每个引脚的内部信号数量。

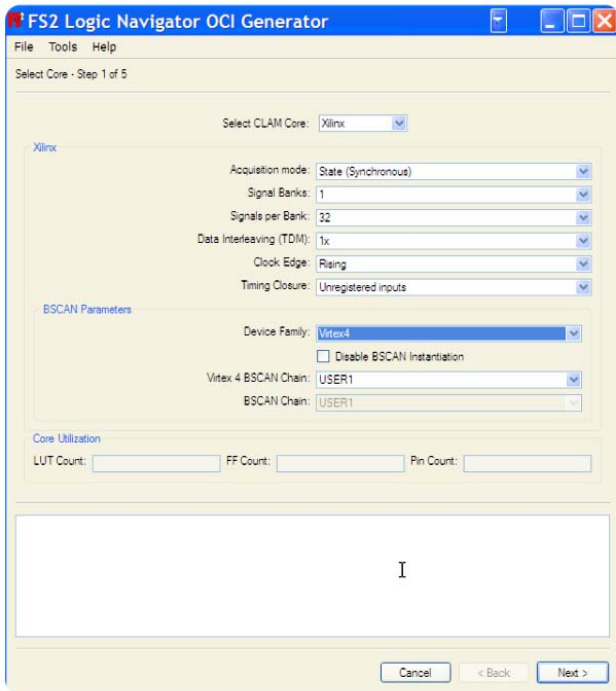
Output/Capture Mode (输出/捕获模式): 选择希望执行的采集类型, 可以选择 Combination/Timing(组合逻辑/定时模式)或 Registered/State (寄存器/状态模式)。

Clock (时钟): 如果选择了 Registered/State (寄存器/状态模式)的捕获模式, 这个选项允许选择测试内核的取样时钟。

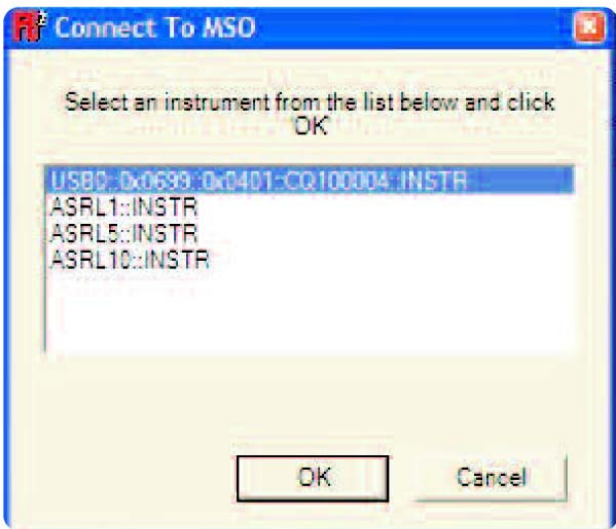
在为调试要求选择适当的参数后, 需要选择测试内核对输出将使用哪些引脚。您还需要选择探测哪些信号, 并把这些信号分成组。

简化Xilinx和Altera FPGA调试过程

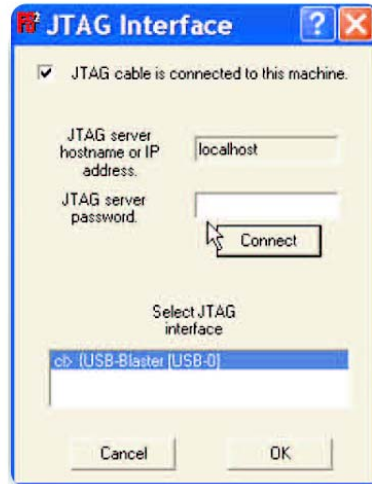
► 应用指南



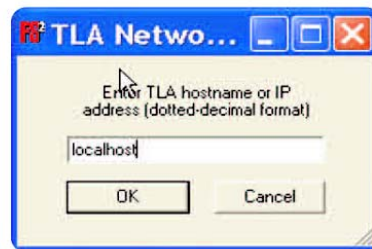
► 图 3b.



► 图 5a. 配置到 TLA 的连接。



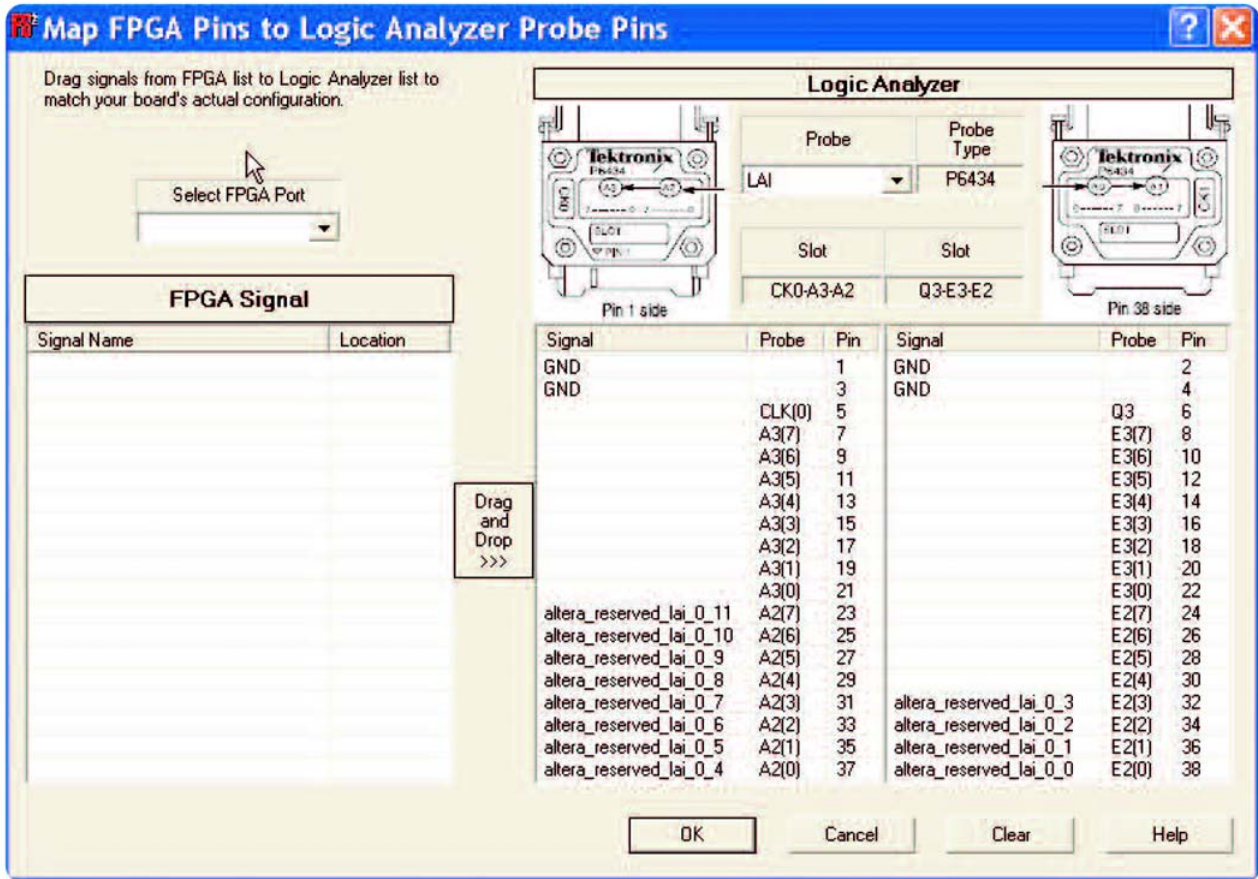
► 图 4. 配置到 JTAG 编程电缆的连接。



► 图 5b. 配置到 MSO4000 的连接。

第 2 步. 配置 FPGAView, 使其与调试环境相匹配

从 FPGAView 窗口中, 建立到 JTAG 编程电缆的连接(参阅图 4)及到外部测试设备的连接。图 5a 和 5b 显示了到 TLA 系列逻辑分析仪、MSO4000 系列示波器或 PC 工作站的连接。这些配置为您满足调试挑战提供了所需的灵活性。



► 图 6. FPGAVIEW 迅速简便地映射引脚。

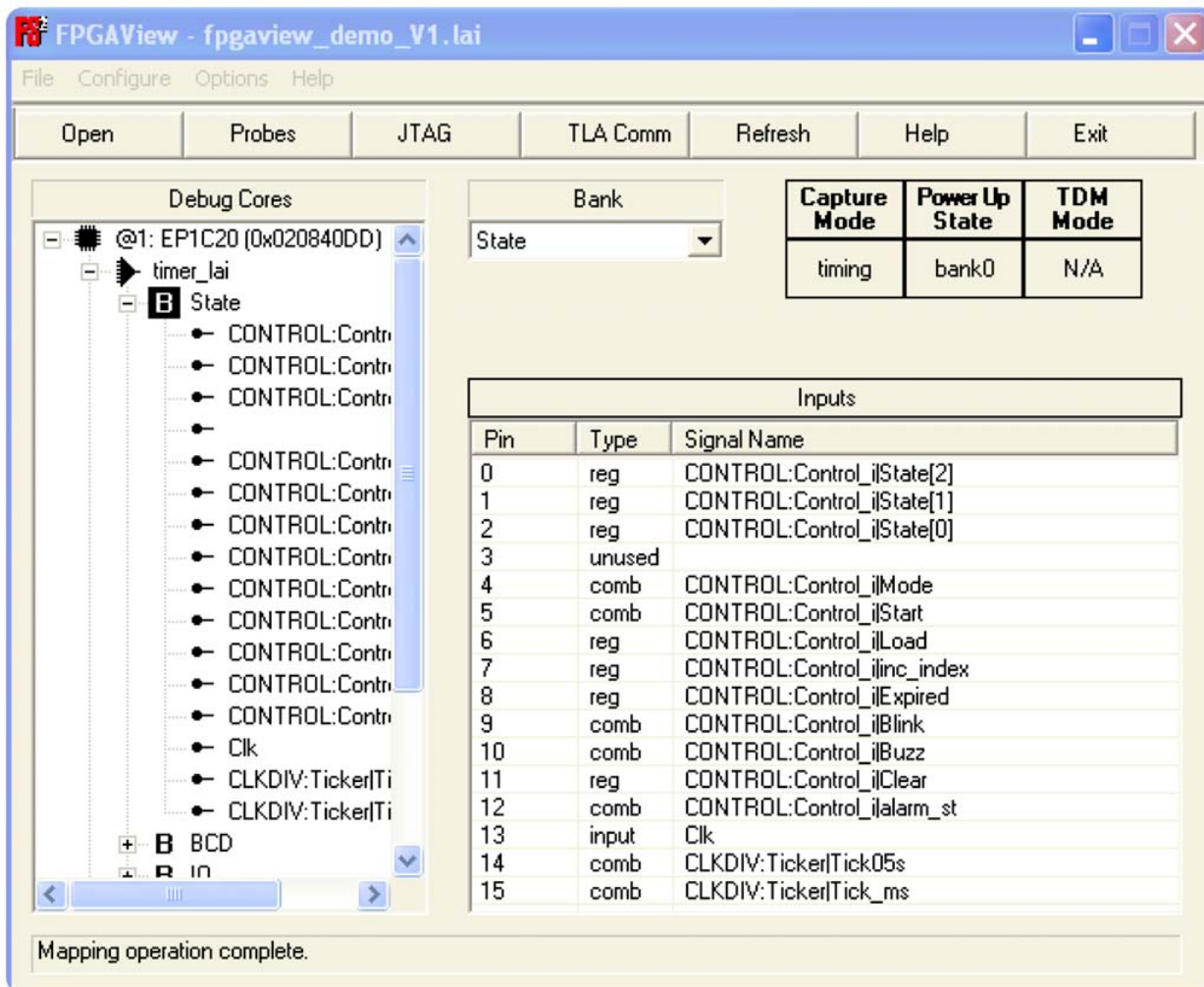
第 3 步. 把 FPGA 引脚映射到混合信号示波器或逻辑分析仪

下一步是映射 FPGA 引脚和 MSO4000 系列混合信号示波器或 TLA 系列逻辑分析仪之间的物理连接。然后 FPGAVIEW 可以自动更新 MSO 或逻辑分析仪上显示的信号名称，与测试内核目前监测的 FPGA 设计中的信号名称相匹配。

为此，只需点击 Probes(探头)按钮，启动一个拖放窗口，把测试内核输出信号名称与逻辑分析仪上相应的通道连接起来(参阅图 6)。对某一条目标连接，这种指配过程只需执行一次。

简化Xilinx和Altera FPGA调试过程

► 应用指南

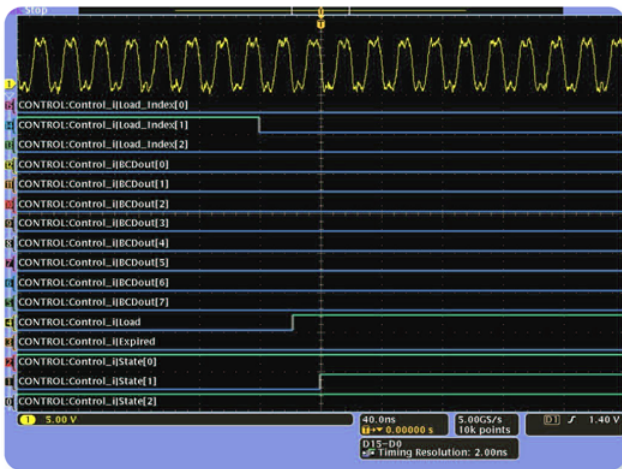


► 图 7. 选择希望测量的信号组。

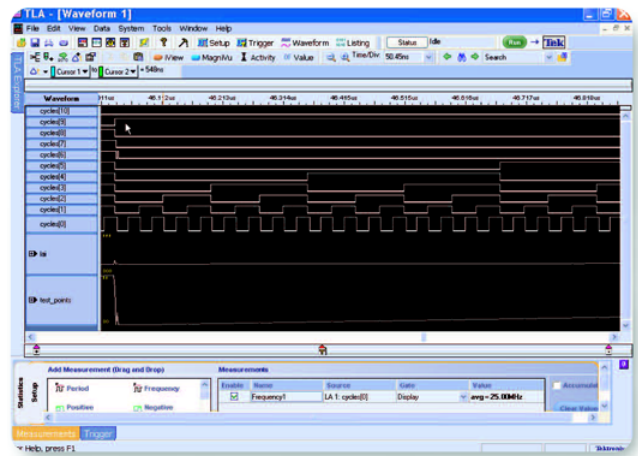
第 4 步. 进行测量

可以从 Bank(组)下拉列菜单中, 选择希望测量哪个组。一旦选择了组, FPGAVIEW 会通过 JTAG 接口与 FPGA 通信, 并配置测试内核, 以便选择所需的组。FPGAVIEW 还使用这些名称通过对 MSO4000 系列混合信号示波器或 TLA 系列逻辑分析仪进行自动分配, 可以简便地理解

测量结果。如果想测量一套不同的内部信号, 您只需选择不同的一组信号(参阅图 7)。多功能 MSO4000 系列(参阅图 8a)或 TLA 系列(参阅图 8b)自动把这些 FPGA 信号与系统中的其它信号关联起来。



► 图 8a. MSO4000 系列混合信号示波器和 FPGAView 简化 FPGA 系统调试。



► 图 8b. TLA 系列逻辑分析仪自动化和简化了许多测量。

小结

通过在设计阶段认真考虑调试需求,可以选择适当的调试方法,简化调试过程,帮助节约时间。嵌入式逻辑分析仪和外部测试设备方法各有优缺点,而FPGAView之类的新方法则使得外部测试设备方法更有吸引力。能够

即时移动探点,而不需重新编译设计,并能够把内部FPGA信号活动与电路板级信号关联起来,将直接决定您是如期满足时间表、还是错失最佳产品开发周期。

泰克科技(中国)有限公司
上海市浦东新区川桥路1227号
邮编: 201206
电话: (86 21) 5031 2000
传真: (86 21) 5899 3156

泰克北京办事处
北京市海淀区花园路4号
通恒大厦1楼101室
邮编: 100088
电话: (86 10) 6235 1210/1230
传真: (86 10) 6235 1236

泰克上海办事处
上海市静安区延安中路841号
东方海外大厦18楼1802-06室
邮编: 200040
电话: (86 21) 6289 6908
传真: (86 21) 6289 7267

泰克广州办事处
广州市环市东路403号
广州国际电子大厦2807A室
邮编: 510095
电话: (86 20) 8732 2008
传真: (86 20) 8732 2108

泰克深圳办事处
深圳市罗湖区深南东路5002号
信兴广场地王商业大厦G1-02室
邮编: 518008
电话: (86 755) 8246 0909
传真: (86 755) 8246 1539

泰克成都办事处
成都市人民南路一段86号
城市之心23层D-F座
邮编: 610016
电话: (86 28) 8620 3028
传真: (86 28) 8620 3038

泰克西安办事处
西安市东大街
西安凯悦(阿房宫)饭店345室
邮编: 710001
电话: (86 29) 8723 1794
传真: (86 29) 8721 8549

泰克武汉办事处
武汉市武昌区民主路788号
白玫瑰大酒店924室
邮编: 430071
电话: (86 27) 8781 2760/2831
传真: (86 27) 8730 5230

泰克香港办事处
香港铜锣湾希慎道33号
利园3501室
电话: (852) 2585 6688
传真: (852) 2598 6260

有关最新的产品信息请访问泰克公司网站:
www.tektronix.com.cn



© 2007 年 Tektronix, Inc. 版权所有。 全权所有。 Tektronix 产品, 不论已获得专利和正在申请专利者, 均受美国和外国专利法的保护。 本文提供的信息取代所有以前出版的资料。 本公司保留变更技术规格和售价的权利。 TEKTRONIX 和 TEK 是 Tektronix, Inc. 的注册商标。 本文提及的所有其它商号分别为其各自所有公司的服务标志、商标或注册商标。 06/07 FLG/WOW 52C-20065-1

Tektronix
Enabling Innovation