

基于 USB 总线的高速数据采集存储 测试系统的设计 *

文 丰, 赵小珍, 甄国涌

(中北大学 仪器与动态测试教育部重点实验室, 电子与计算机科学技术学院 电子科学与
技术系, 太原 030051)

摘要: 本系统采用 USB 接口芯片 CY7C68013 来完成采样控制并与 PC 机应用程序完成通信功能, 由应用程序完成用户命令及数据显示。分别从方案设计、硬件实现、数据采集及存储等方面进行了详细研究和描述。之后, 对大容量的 FLASH 存储器操作过程也进行了详细介绍。

关键词: USB; 高速数据采集; 存储测试系统; FLASH 存储器; 先进先出

中图分类号: TP274 文献标识码: B 文章编号: 1001-1390(2007)11-0047-03

The design on high speed data acquisition and storage measurement system based on USB bus

WEN Feng, ZHAO Xiao-zhen, ZHEN Guo-yong

(Department of electronic science and technology, school of electronics and computer science and technology, The Key Laboratory of Instrumentation Science & Dynamic Measurement Ministry of Education, North University of China, Taiyuan 030051, China)

Abstract: High speed data acquisition and storage measurement system that adopted USB interface chip, CY7C68013, to complete sampling control and communicating with application program of PC, to complete user command and data display by application program. Studying and describing a design of high speed Data acquisition and Storage Measurement system from scheme design, hardware realization and data acquisition & storage, and so on. Finally, the design method of storage with FLASH memory is discussed in detail.

Key words: universal serial bus; high speed data acquisition; storage measurement system; FLASH storage; FIFO

0 引言

信息技术的发展, 特别是各种数字处理器件处理速度的提高, 使得实时处理大量数据已经成为现实。但是, 在一些恶劣环境和数据无法进行实时传输的情况下, 还必须用到存储测试的方法。

存储测试系统是为完成存储测试目的而设计的物理系统, 它工作在高温、高压、强冲击、强振动、高过载等恶劣环境并在紧凑设计条件下, 自动完成对被测信息的实时采集与存储记忆。存储测试是指在对被测对象无影响或影响在允许范围的条件下, 在被测体内

置入微型存储测试仪器, 现场实时完成信息快速采集与存储, 事后回收记录仪, 由计算机再现和处理被测信息的一种动态测试技术。它是一种可以独立自动完成动态数据采集与存储记忆, 特别是在多种恶劣环境下的动态测试。例如, 为了对飞行器姿态进行控制, 需要对飞行过程中的参数不断进行调整, 进而控制飞行体的姿态。而在研究过程中往往采取存储测试的方法, 即在飞行体运动的过程中记录所需的参数, 然后进行事后的分析处理^[1]。

本文提出的基于 USB 总线的高速数据采集和大容量存储就是一种存储测试系统。该系统主要完成对

* 国家自然科学基金资助项目 (No.50535030)

炮弹等飞行体飞行过程中姿态和加速度等多种参数的记录。

1 总体方案设计

本系统需要完成在 80M 采样率情况下数据的存储,采集时间为 30s,同时 A/D 为 12 位转换精度。也就是说需要存储容量为:

$$C \quad 80M \times 80 \times 2\text{Bytes} = 4800000000\text{Bytes}$$

$$4800000000 / 1024 \times 1024 \times 1024\text{GBytes} = 4.47\text{GBytes}$$

因此,在满足采样率为 80M 的条件下,主要考虑的是数据的存取问题。也就是说,需要解决两方面的问题:(1)存储容量的问题;(2)读数接口的速度问题。

图 1 为系统原理框图。该系统以 FPGA 为主控制单元,大容量的 FLASH 芯片作为存储单元,USB2.0 接口用来进行快速的数据传输。

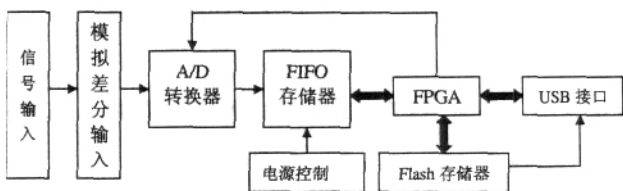


图 1 系统原理框图

输入信号通过模拟差分输入驱动电路进入 A/D 转换器,然后数据进入高速 FIFO 缓冲器,接着通过 FPGA 的控制,将采样数据依顺序写入 FLASH 存储器,最后,将数据通过 USB 总线读出。

2 硬件实现

一个电路的性能与元器件的选择密切相关,下面将从主控制芯片、存储器和接口的选取三个方面介绍系统硬件设计。

基于前面所述方案,综合采集速度、数据量等多方面的因素,FPGA 选用 Xilinx 公司的 XC2S50E 芯片。用 FPGA 进行数据采集存储有以下优点:(1)FPGA 采取有多少数据转换芯片用多少控制单元模块的策略,功能控制模块与数据转换芯片是一一对应关系,在硬件上保证了数据采集的完全并行性;(2)XC2S50E 芯片内有 RAM 块,可以设计数据位缓冲,方便解决数据流阻塞问题;(3)FPGA 芯片读写速度较高,在采集和存储速度都上不会存在任何问题;(4)FPGA 设计采用在线编程方式进行,修改和调试都相当快捷、方便;(5)FPGA 的外围电路除了一块配置芯片外,不再需要其他任何外围器件,因此集成度高,可靠性强。

本系统采集速度较高,对于多路信号的采集,采用 A/D 转换器和 FIFO 存储器相结合的方式,使大量的数据送入到 FIFO 存储器进行缓冲,然后通过 FPGA

送入到 Flash 存储器中,最后经 USB 总线输出数据。

对存储器的选择,首先要考虑的是它的存取速度和存取容量。本系统采用三星公司的 K9K8G08U0M 芯片作为存储器件,它的容量为 8Gbits,是一种 8 位并行的 FLASH 存储器。因此,用 5 片 K9K8 G08U0M 芯片就可以完全满足系统存储容量的要求。在存取速度上,K9K8G08U0M 的最大编程时间为 700μs,那么写入数据量为:

$$D \quad \frac{1 \times 2K}{700 \times 10^6} = 2\text{MBytes/s}$$

可见,读写速度都能满足要求。

由于数据传输量比较大,这里采用 USB2.0 接口方式进行数据上传;接口功能的完成是基于 Cypress Semiconductor 公司的 EZ-USB FX2 单片机 CY7C68013。在此利用了 CY7C68013 的 GPIF(General Programmable Interface)和主/从端点 FIFO(8 位或 16 位数据总线)特点,它能为各种器件提供简单和无缝连接接口,使电路相对简化^[3]。

以上围绕总体设计方案进行了器件的选择,并简单描述了各种器件在系统中起到的作用。

3 数据采集及存储

3.1 系统工作流程

如图 2 所示,系统上电后,首先进行参数的初始化,初始化完成后判断 USB 是否在线,若 USB 在线,则停止采集开始数据上传。否则,则判断 FLASH 的操作模式 MODE,若为擦除模式(MODE=0),则对数据进行擦除操作;否则(MODE=1),则开始数据采集和存储。

3.2 基于 FPGA 的非对称同步 FIFO 设计

把信号经过模拟差分输入驱动和 A/D 转换器进

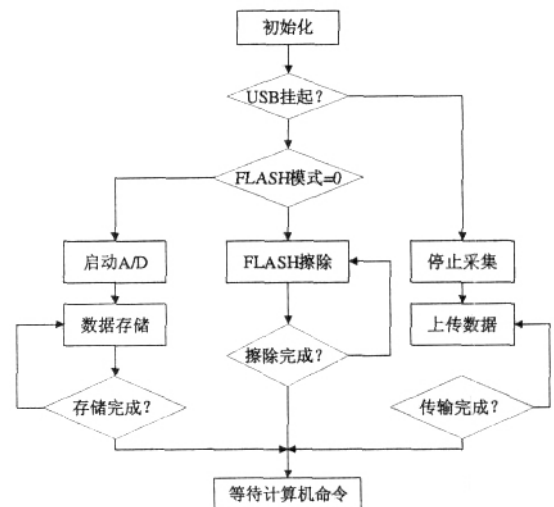


图 2 系统工作流程图

入 FPGA 的这部分电路称为前向通道,其主要负责数据的采集。而 FPGA 对 FLASH 的操作则主要完成存储。在设计中往往采取在前向通道和主控制单元之间加入先进先出(FIFO)存储器,以协调数据流的速度。

FIFO 是一种常用于数据缓冲的电路器件,读写控制比较简单,常用于数据采集的场合。本方案借鉴参考文献中的设计方法,主要考虑以下两个方面的原因:

(1) 写数据与读数据总线宽度不同。从 AD9432 输出是 12 位的数据宽度,而 FLASH 的 I/O 口是 8 位的。需要对写数据与读数据总线宽度进行正确转换。

(2) 对 FLASH 的存取往往是以页为单位,也就是说每次写入大小为 2K 字节的数据。经 A/D 转换后,数据经过一个数据缓冲 FIFO,利用 FIFO 给出的状态信号可以很方便地控制数据流^[2]。

由于 FPGA 中的寄存器个数有限,而 FIFO 是一种基于 RAM 的器件,需要占用大量的存储空间。通常在编写 VHDL 程序时用数组描述的方法来设计数据存储结构,在综合时会耗用大量的寄存器,所以这种方法在 FIFO 的设计中不可行。

Xilinx 公司的 FPGA 器件提供了片内 RAM 可供直接使用,而不必使用寄存器来构成存储空间,从而大大提高了芯片的利用率。XC2S50E 含有 24K 分布式 RAM 和 32K 的块 RAM。其中,分布式 RAM 主要用于小容量片内存储;块 RAM 是 FPGA 内部的专用 RAM 模块,可用于相对较大容量存储。本设计采用块 RAM 用于 FIFO 的编写。FIFO 模块采用 quartus 自带的 LPM 模块库生成,读写采用不同的时钟输入,配合各自不同的时序需要,该 FIFO 模块起到连接 Interface 模块的作用。

3.3 FLASH 存储设计

对 FLASH 的操作主要包括擦除、读和写,以及对无效块的识别。向 FLASH 写数据与通常 RAM 存储器不同的是,每次执行写之前必须进行擦除操作。

下面将对 FLASH 页编程来说明 FLASH 操作。图 3 是对 FLASH 页编程操作的时序图。

事实上,K9K8G08U0M 是由 8192 块组成,每一块包含 64 页,每页有(2K+64)Bytes。如表 1 所示,对列的操作就是对地址低位(A0~A11)的操作,也就是每页中字节的地址。而对行操作则是相当于对页和块的操作,其中 A12~A17 寻址 64 页,A18~A30 为 8192 块的地址。页编程时,写地址第一周期和第二周期是每一页的起始地址,通常设置为 0,第三、四和第五周期负

责翻页和换块,这只需要分别设置 8 位和 16 位的计数器就可以实现。

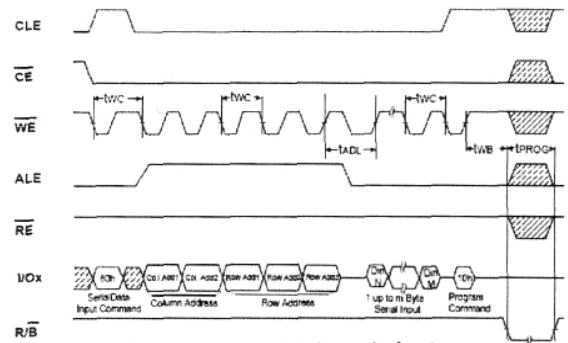


图 3 FLASH 页编程时序图

表 1 FLASH 地址与 I/O 对应关系表

I/O	0	1	2	3	4	5	6	7
第 1 周期	A0	A1	A2	A3	A4	A5	A6	A7
第 2 周期	A8	A9	A10	A11	L	L	L	L
第 3 周期	A12	A13	A14	A15	A16	A17	A18	A19
第 4 周期	A20	A21	A22	A23	A24	A25	A26	A27
第 5 周期	A28	A29	A30	L	L	L	L	L

在对 FPGA 进行程序设计时,采用状态机的设计方法。其对 FLASH 页编程的具体状态图如图 4 所示。

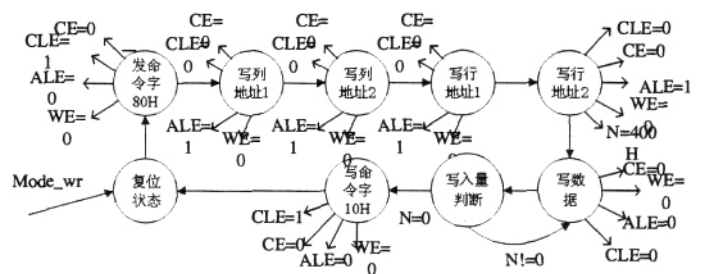


图 4 FLASH 页编程状态图

当系统为写模式(Mode_wr=0)时,首先进入复位状态,将各个参数设定初始值。然后直接进入发送命令字状态,在命令发送允许有效(CLE=1)时,发送控制字 80H 以表示要进行数据写。置地址发送有效(ALE=1),分别写入列地址 1、列地址 2、行地址 1、行地址 2 和行地址 3。这样,数据写入起始地址就设置完成。这时开始写入 2K 字节数据,之后再写入命令字 10H 确定写入完成,等待 R/B(准备好/忙,表明操作状态),信号由低变高,返回复位状态。

其程序模块描述如下: (下转第 10 页)

量热法作为典型的损耗间接测量方法,具有很高
的理论精度^[9]。因此,为了检验本文方法测量的有效
性,我们分别利用这两种方法进行了损耗测量,结果

如表 5 所示。表中的相对误差是以量热法测量结果
为基准计算的。由表 5 可以看出,本文方法的测量结果
可以满足工程误差的要求。

表 5 100kHz 时量热法和本文方法测量的损值

最大磁密 B_m/mT	50	100	120	150	200	250
量热法测量的损耗值/ $mW \cdot cm^{-3}$	32.72	173.78	269.62	461.53	922.96	1579.93
本文方法测量的损耗值/ $mW \cdot cm^{-3}$	37.57	168.66	252.9	436.73	830.23	1366.47
相对误差 / (%)	-14.8	2.9	6.2	5.37	10.1	13.5

4 结 论

基于数字示波器的高频损耗测量属于损耗直接
测量技术,它测量迅速、方便,可适用于正弦波或矩形
波电压激磁的情况。减小相角误差及降低测量对相角
误差的敏感性,是这种方法的关键。采用低感电流采
样电阻及提高功率因数,是减小相角误差对测量结果
影响的有效方法。本文将动态过程测试与计算机技术
相结合,应用软测量技术于损耗测量方法中,既解决
了损耗测量的困难,又提高了测量精度,具有重要的
工程实用价值。

参 考 文 献

[1]V.J.Thottuvell, T.G. Wilson, and H.A. Owen. High-Frequency Mea-
surement Techniques for Magnetic Cores [J]. IEEE Trans. On Power Elec-
tronics, vol. 5, no.1, pp. 41- 53, Jan. 1990.

[2]F.D.Tan, J.L.Vollin, and S.M.Cuk. A Practical Approach for Magnetic
Core-Loss Characterization [C].in Proceeding of the 1993 IEEE Applied
Power Electronics Conference, pp. 572- 578.

[3]A.F.Gikdberg.High Field Properties of Nickel -Zinc Ferrites at 1 -
10MHz [C].in Proceeding of the 1988 IEEE Applied Power Electronics
Conference, pp.311- 318.

[4]P.M. Gradzki and F.C.Lee.High-Frequency Core Loss Characterization
Technique Based on Impedance Measurement [C].in Proceedings of the
1991 High Frequency Power Conversion Conference, pp.108- 115.

[5] Adalberto J. Batista, Joao Carlos S. Fagundes, and Philippe Viarouge.
An Automated Measurement System for Core Loss Characterization[J].IEEE
TRANSACTIONS ON INSTRUMENTATION AND MEASUREMENT,
VOL. 48, NO. 2, APRIL 1999. pp. 663- 667.

[6] 李智华.高频磁性元件铁芯损耗有效测量和计算的研究[D].福州大
学博士学位论文,2000.

作者简介:

李智华(1970-),女,博士,上海大学自动化系副教授,主要从事电力电
子高频磁技术和智能电器领域的研究。

秦爱辉(1983-),女,硕士研究生,上海大学自动化系05级在读研究生。

张青春(1983-),男,硕士研究生,上海大学自动化系06级在读研究生。

收稿日期:2007-08-17

(杨长江 编发)

(上接第 49 页)写模块定义:

```
COMPONENT WR
PORT(
CE  OUT: STD_LOGIC; --片选信号
CLE OUT: STD_LOGIC; --命令锁存允许
ALE OUT: STD_LOGIC; --地址锁存允许
WE  OUT: STD_LOGIC; --写信号
DATA INOUT:STD_LOGIC_VECTOR(7 DOWNT0 0);
-- 8 位 I/O 数据
);
END COMPONENT;
```

定义好模块和状态转换表后,程序中即可用 IF
THEN 语句检查计数时钟的上升沿,更新状态机的状
态。根据状态机的当前状态用 CASE 语句决定如何得
到新状态。状态转换表中不但提供了状态转换信息及
转换条件,而且提供了每种状态下进行的数据操作。

4 结 论

本文介绍了一种基于 USB 总线的高速数据采集
存储系统的设计方法,并对设计中基于 FPGA 的 FIFO
设计和使用状态机的方式实现 FLASH 操作作了详细

描述。本系统已经投入实际应用,其性能可靠、稳定,
适用性强,该方法值得推广。

参 考 文 献

[1] 张文栋.存储测试系统的设计理论及其应用[M].北京:高等教育出版
社,2002.

[2] 张 明,王礼平.基于 FPGA 的非对称同步 FIFO 设计[J].电子设计应
用,2002.

[3] 颜荣江.EZ-USB2100 系列单片机原理、编程及应用[M].北京:北京航
空航天大学出版社,2002.9.

[4] 任勇峰,庄新敏.VHDL 与硬件实现速成[M].北京:国防工业出版社,
2005.7.

作者简介:

文 丰(1977-),男,汉族,讲师,主要从事测控系统、数据采集系统和动
态测试技术等方面的研究。Email: icerain0938@126.com

赵小珍(1981-),男,汉族,甘肃天水人,硕士研究生,主要从事微系统及
集成技术、数据采集以及微机电路系统等方面的研究。

甄国涌(1971-),男,汉族,在读博士,副教授,硕士生导师,主要从事测
控系统、微电路系统、信息识别、数据记录以及相关软件技术的研究。

收稿日期:2007-08-12

(王 龙 编发)