

# 基于 USB 的高速并行数据采集系统的设计与实现

曾虹, 刘世杰, 张翔, 戴国骏

(杭州电子科技大学 计算机应用技术研究, 浙江 杭州 310018)

**摘要:** 介绍了一种基于 USB 总线的高速并行数据采集系统的设计方案及实现方法。系统每个采样通道模块均由一组独立的 A/D 和双端 RAM 组成, 多个采样通道模块组成多通道全并行采集系统; 采用 Xilinx 公司的复杂可编程逻辑器件 (CPLD) XC95144XL 为控制核心, CY7C68013 为 USB 控制器, 异步双端 RAM 为数据缓冲区, 结合 A/D 采样模块组成三级流水线结构, 使数据采集、数据缓冲、数据传输等操作并行执行, 达到了高速、并行的数据采集和传输要求。详细描述了此设计方案的硬件和软件实现, 实验表明该系统具有高速、实时、性价比高等特点。

**关键词:** USB; CPLD; 数据采集; 并行

## Design and Implementation of a High-speed Parallel Data Collection System Based on USB

Zeng Hong, Liu Shijie, Zhang Xiang, Dai Guojun

(Institute of Computer Application Technology, Hangzhou Dianzi University, Zhejiang 310018, China)

**Abstract:** The design and implementation of a high-speed parallel data collection system based on USB is introduced. Each of the sample channels consists of A/D and RAM model, several channels compose the multi-channel parallel data acquisition System. Using Xilinx's CPLD as control core, CY7C68013 as USB controller and asynchronous double port RAM as data buffer, combined with A/D model, the operations of data collection, data buffer and data transfer are carried out parallel. The hardware and software implementation of the solution is described in detail. The system has the advantage of high speed, real-time, high cost-performance in the experiment.

**Key words:** USB; CPLD; data collection; parallel

### 0 前言

数据采集是信息处理系统的前提。通常数据采集系统是通过串行口、并行口或内部总线等与计算机连接的, 但它们共同的缺点是安装不方便、灵活性受到限制<sup>[1]</sup>。USB 接口设备支持即插即用, 安装方便, 易于扩展, 且 USB2.0 能达到 480 Mb/s 的理论传输速度<sup>[2]</sup>, 非常适合在高速数据采集系统中应用, 本文采用 USB 接口总线实现了高速的数据传输。

数据采集系统中常用单片机或 DSP 作为控制芯片, 但单片机时钟频率较低, 难以适应高速数据采集系统的要求, 而 DSP 虽然提高了速度, 但是成本相应增加了。CPLD 器件具有传统的单片机和 DSP 芯片无法比拟的优势: 时钟频率高、内部时延小; 全部控制逻辑由硬件完成, 速度快, 效率高; 组成形式灵活, 可以集成外围控制、译码和接口电路。因此, 本系统中用 CPLD 来控制 A/D 和 USB 控制芯片的运行。

### 1 系统简介

高速并行数据采集系统硬件部分主要包括 CPLD 控制部件、A/D 转换芯片、异步双端 RAM 存储芯片以及 USB 控制

收稿日期: 2006-09-26; 修回日期: 2006-11-10。

基金项目: 浙江省科技厅科技成果推广计划重点项目 (2005D50001)。

作者简介: 曾虹 (1976-), 男, 讲师, 主要从事智能嵌入式系统的设计与研究。

芯片等部件。CPLD 器件作为本系统的控制核心, 用来协调各个部件的工作。系统的每个采集通道均由信号调理、A/D 转

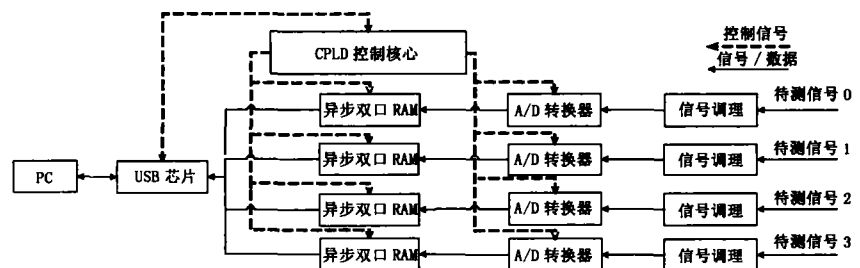


图 1 系统结构图

换器和异步双口 RAM 组成, 4 个通道组成全并行采集系统。系统结构图如图 1 所示:

### 2 高速数据采集系统的设计

#### 2.1 USB 总线高速数据通信解决方案

高速数据采集系统的数据通信是由 USB 控制芯片控制实现的。USB 控制芯片采用 Cypress 公司的产品 EZ-USB FX2 系列的 CY7C68013。该芯片内含一个增强型 8051 处理器、一个串行接口引擎 (SIE)、一个 USB 收发器、8.5KB 片上 RAM、4KB FIFO 存储器以及一个通用可编程接口 (GPIF); 该芯片的 USB SIE 符合 USB2.0 协议并向下兼容 USB1.0。本设计中, USB 芯片功能包括自 PC 向采集系统发送数据采集命令和自采集系统向 PC 传输采样数据。本设计中, 选择 USB 控制芯片中的两个端点 EP2 和 EP8, 分别配置为 IN (输入) 模式和 OUT (输出) 模式。端点 EP8 负责发送采集命令, 端

点 EP2 负责将采集到的数据发送给 PC。本系统中，为了获得较高的传输速度，高速数据采集系统采用了如下解决方案：

- 1) 将 EP2 配置为 AUTO IN 模式，当 FIFO 获得的数据达到指定大小时将会自动封包并等待主机的读取；
- 2) 将 EP2 对应的 FIFO 配置为 4 级 FIFO (如图 2 所示)，每块大小为 256 \* 16 bits，这组 FIFO 以异步双端口的方式供 USB SIE 和外部控制器共享 (这里是控制部件 CPLD 和数据缓冲器异步双端 RAM)，多级 FIFO 缓存的结构在读写时能有效地改善带宽，平滑带宽抖动，减少双方的互相等待时间；
- 3) 将 FIFO 操作方式配置为 slave 模式，以便 CPLD 和异步双端 RAM 直接读写 EP2 的 FIFO；
- 4) 将 FIFO 的宽度定义为 16 bits，将接口传输方式定为同步传输。

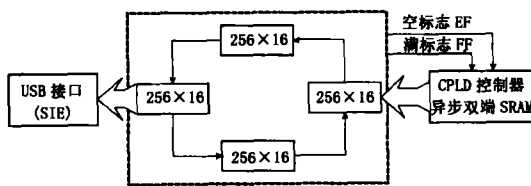


图 2 EP2 的 4 级 FIFO 缓冲结构

### 2.2 高速数据采集解决方案

本系统共有 4 路高速数据采集通道，每路通道均由一片 A/D 转换芯片和一片异步双端 RAM 存储芯片组成。为了达到高速数据采集，系统选用了 A/D 公司的 AD9220 芯片选作数据采集部件以及 IDT 公司的异步双端 RAM 存储器 IDT70V24 芯片作为数据缓冲器。

#### 2.2.1 A/D 转换环节

AD9220 具有四级流水线结构，在工作温度范围内具有最高达 10MHz 的采样频率和 12 bits 的采样精度，附加 1 位溢出指示。在本系统中，对 AD9220 的控制是通过在 CPLD 芯片中编写控制逻辑来实现的。将 AD9220 配置为单端输入的工作方式，如图 3 所示。被采样信号经过运放器驱动后，经 VINA 端输入；SENSE 端连接 VREFCOM 端，使 AD9220 配置为内部 2.5 v 参考电压模式，VREF 端和 VINB 端相连，使 VINB 端接入 +2.5 V 的偏置电压，可采样信号的电压范围达到 0~5 V。

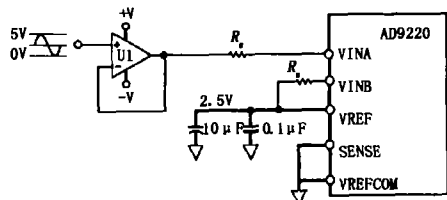


图 3 AD9220 运放驱动的单端输入方式

#### 2.2.2 设置异步双端 RAM IDT70V24 作为数据缓冲区

之所以选用异步双端 RAM 而不选用价格相对便宜的同步双端 RAM，是因为本设计中必须保证 RAM 两端的读写周期不同：一端的 RAM 访问周期必须与 A/D 采样周期一致<sup>[3]</sup>，另一端 RAM 读写周期必须和 USB FIFO 的数据传输速度一致。IDT70V24 是一款 4K \* 16bits 的高速异步双端静态存储器，有多种读写速度等级，本设计中所选择的读写速度等级为 20 ns。该双端 RAM 有两套地址和数据总线，其中一套地址和数据总线用于存储 A/D 芯片采集到的数据；另外一套地址和

数据总线在 CPLD 的控制下将数据读出并写入 USB 芯片 (CY7C68013) 的端点 EP2 对应的 FIFO 中。

### 2.3 CPLD 控制部件的仲裁及控制解决方案

为了解决 A/D 转换器数据采样控制和多通道并行采样时因数据传输共享同一总线而导致的冲突问题，系统采用 CPLD 控制部件作为仲裁和控制核心。CPLD 器件选用 Xilinx 公司的 XC95144XL，该芯片具有 144 个宏单元，3200 个逻辑门，传播延迟为 7.5 ns<sup>[4]</sup>。

由于 CPLD 控制部件的仲裁及控制功能复杂，该解决方案采用自顶向下<sup>[5]</sup>和自底向上相结合的方法，将整体功能分解为命令下传、分频、A/D 采集控制、异步双端 RAM 读控制、异步双端 RAM 写控制和仲裁模块等子功能模块。CPLD 控制部件的仲裁及控制功能框图如图 4 所示。CPLD 控制部件的功能主要包括协调 USB 控制芯片、异步双端 RAM 存储芯片以及 A/D 转换器等各个部件的运作，产生相应的信号如地址信号、片选信号、读写控制信号等，进行冲突仲裁，生成数据采集频率以及选择数据采集通道等，它是整个系统的核心控制部件。

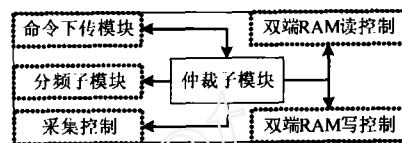


图 4 CPLD 控制部件的内部功能模块

## 3 高速数据采集系统实现

高速数据采集系统的实现包括两个部分：CPLD 控制部分的实现和高速数据采集系统显示界面与数据处理软件的实现。CPLD 控制部分通过在 CPLD 中编写硬件逻辑，控制 A/D 转换器的运行、实现 A/D 转换器和 USB 控制芯片间数据传输的数据总线接口。显示界面与数据处理软件主要采用 VC++ 程序设计工具，设计友好的用户界面，进行 PC 机的数据处理。

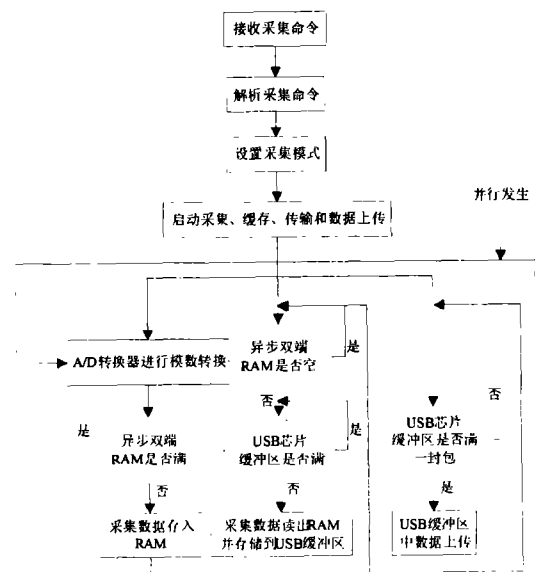


图 5 CPLD 控制流程

### 3.1 CPLD 控制部分的实现

CPLD 控制部分实现框图如图 5 所示。系统在初始化了各种参数之后，CPLD 控制系统开始工作：用户的采集命令参数

由 PC 机通过 USB 总线传输到 USB 控制芯片的存储器中, USB 控制芯片通知 CPLD 控制部件; CPLD 控制部件根据采集命令(包括采集通道号和数据采样频率)选择指定的采样频率并选中相应的采样通道, 以建立对应的采样模式。图 5 中方框内的操作是并行执行的, 当采样通道选中后, 在 CPLD 的控制下, 判断异步双端 RAM 缓冲区未滿时, A/D 转换芯片将采样到的数据存储到对应的 RAM 缓冲区; 与此同时, 当 CPLD 判断出每个通道的 RAM 缓冲区存储的采样数据达到一定数量, 并且 USB 控制芯片缓冲区未滿, CPLD 控制部件将 RAM 中的数据通过异步双端 RAM 的另外一套数据和地址总线读出并存储到 USB 芯片中。与上面操作同步, 如果 USB 芯片中的 SIE(串行接口引擎)在收到指定的数据量后, 将该数据封包后通过 USB 总线发送到 PC 机上。

### 3.2 显示界面与数据处理的实现

显示界面与数据处理软件负责人机交互, 用来向采集系统硬件部分下发采集命令(采样通道和采样频率), 并将采集到的数据以可视化的方式实时显示出来。在显示控制方面, 软件可以对采集到的数据信号波形进行放缩以及平移等操作, 方便用户对采样信号进行观察、测量、比较和后续处理等操作。图 6 为采集系统配置为双通道并行采集模式时, 软件根据采集到的数据所绘制的三角波信号和正弦信号; 图右上部分为被采样信号的局部放大显示。

### 4 结束语

本文介绍了一种基于 USB 和 CPLD 的高速数据采集系统设计和实现方案, 该方案采用了多通道数据采集, 以 CPLD 部件为控制核心, 异步双端 RAM 为数据缓冲区, 结合 A/D 模块、USB SIE 组成三级流水线结构, 使数据采集、数据缓冲、数据传输等操作并行执行, 达到了数据采集和传输高速、并行的要求, 单通道数据的最高采样率为 10 MSPS; 采集到的数据通过 USB 接口总线实时发送至 PC。实验表明, 该高速并行数据采集系统有效数据传输速率可以达到 384 Mb/s, 接近 USB 总线传输率理论值 480 Mb/s, 且该系统具有安装方便,

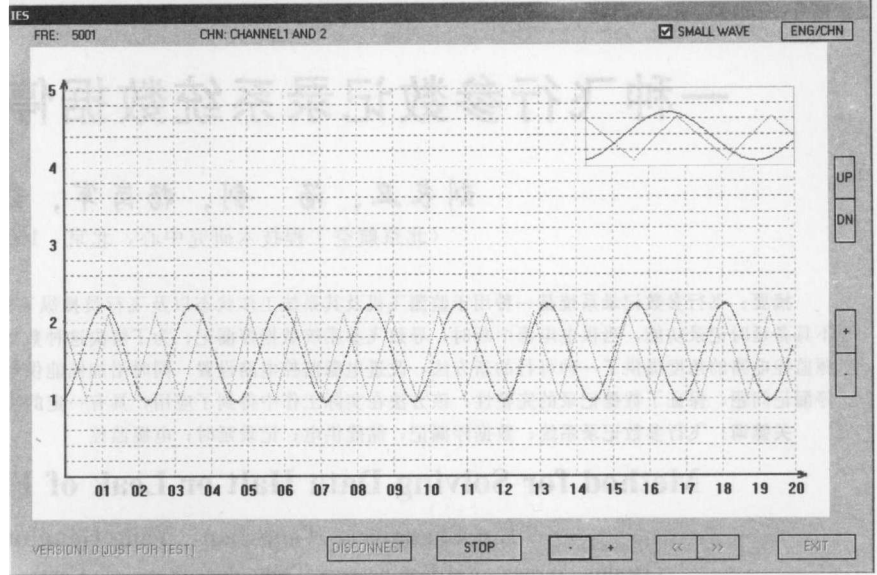


图 6 高速数据采集系统显示界面

易于扩展, 实时显示, 性价比高等优点, 性能远优于传统的数据采集系统。

#### 参考文献:

- [1] 倪明辉, 周 军, 杨 庚. USB 在 FPGA 控制的高速数据采集系统中的应用 [B]. 计算机测量与控制, 2006, 14 (2): 268—271.
- [2] 金 达, 阙沛文. 当前计算机技术发展对基于 PC 机自动测试系统的影响 [J]. 计算机自动测量与控制, 1999, 8 (1): 5—7.
- [3] 张 波, 常天庆, 贾宇飞. 基于 USB 技术的数据采集卡设计 [J]. 微计算机信息, 2006, (17): 34—36.
- [4] 朱正平, 宁百齐, 袁 洪, 肖山竹. 基于 USB2.0 接口芯片 FX2 的高速数据采集的设计实现 [J]. 微计算机应用, 2006, (3): 328—331.
- [5] 孙 霞, 周金陵. 基于单片机的大容量数据存储技术的应用研究 [J]. 微计算机信息, 2006, (14): 86—88.
- [6] 李 涛, 汶德胜, 张 颖, 等. 基于 CPLD 与 USB 接口的瞬态信号采集系统的设计 [J]. 科学技术与工程, 2005, (16): 1153—1155.
- [7] 钱 云, 汤勇明, 尹涵春. 基于 CPLD 的温度采集系统设计 [J]. 电子器件, 2006, (2): 546—549.

## 奥地利 DEWETRON 公司新产品—— 袖珍型数据记录仪 DEWE-201 进入中国

奥地利 DEWETRON 公司近期隆重推出 DEWE-201 袖珍型数据记录仪。此仪器可应用于摩托车道路测试, 汽车道路测试以及动态信号测试分析等用途。

该产品主要特点如下:

- ▶ 袖珍型记录仪, 高度便携, 坚固可靠;
- ▶ 16 通道 MDAQ 输入(可配电压, ICP, 应变/电压双模式模块);
- ▶ 通道计数器(编码器)输入, CAN-BUS 输入可选;
- ▶ 预留 RS-485 接口, 可用于 EPAD 温度模块扩展;

- ▶ 数据可以存储到本机, 或通过网络进行实时传输;
- ▶ 与摄像机连接, 同步记录视频数据, 更直观的分析了解测量的数据;
- ▶ 连接 GPS 传感器, 时时记录并显示被测物体的位置、位移和速度;
- ▶ 既可作为独立的记录仪使用, 又可与笔记本电脑连接组成实时测试系统;
- ▶ 多台系统可互互联网, 实现同步测试。