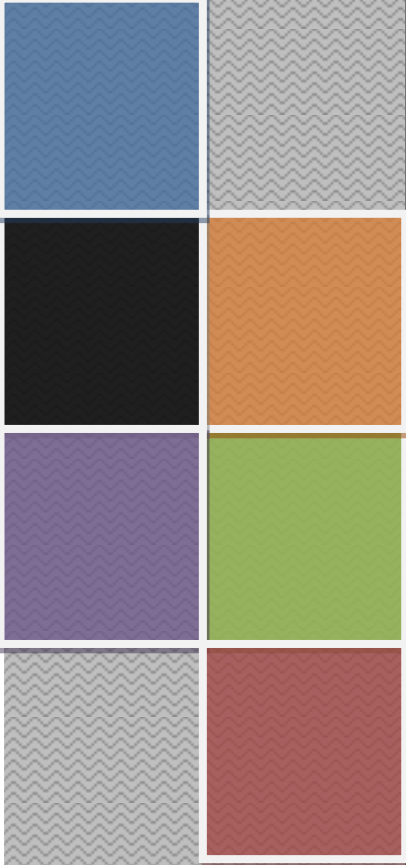




信号链基础知识合辑

William P. (Bill) Klein

欢迎来到信号链基础知识系列，此书包含描述模拟信号链如何运行的若干篇文章。我们所探讨的话题包括模拟信号处理以及支持这些功能所必须的器件，放大器和转换器的应用及注意事项。





前言

信号链包括从信号的采集，放大，传输，处理一直到对相应功率器件产生执行的一整套信号流程，该系列文章主要着眼于模拟信号链的基本构建块予以探讨和研究。讨论运放的一些基本应用，描述一些运放性能的指标，包括模拟信号处理以及支持这些功能所必须的器件。欢迎多提宝贵意见和建议。

早在推出这本信号链基础知识合集之前，我们还推出了《电源开关设计秘笈 30 例》和《放大器转换器模拟设计技巧》两本电子书，都受到了良好的反馈，感谢广大工程师朋友一直以来的支持，我们将继续整理新的相关文章合集，方便大家下载学习。

关于德州仪器公司

德州仪器 (TI) 是全球领先的数字信号处理与模拟技术半导体供应商，亦是推动因特网时代不断发展的半导体引擎。作为实时技术的领导者，TI 正在快速发展，在无线与宽带接入等大市场及数码相机和数字音频等新兴市场方面，TI 凭借性能卓越的半导体解决方案不断推动着因特网时代前进的步伐！

《电源开关设计秘笈 30 例》之一：

<http://bbs.eeworld.com.cn/viewthread.php?tid=245348&extra=page%3D1&frombbs=1>

《电源开关设计秘笈 30 例》之二

<http://bbs.eeworld.com.cn/viewthread.php?tid=247560&extra=page%3D1&frombbs=1>

《电源开关设计秘笈 30 例》之三

<http://bbs.eeworld.com.cn/viewthread.php?tid=248751&page=1&extra=page%3D1>



作者简介



William P. (Bill) Klein 现任 TI 高性能模拟产品部高级应用工程师。Bill 是在 2000 年 8 月 TI 收购 Burr-Brown 产品线时加盟 TI 的。他拥有超过 40 年的模拟电路设计工作经验,涵盖了从找矿勘查到核医学影像的广泛领域。目前, Bill 负责举办模拟电子实验室网络直播 (e-LAB Web Cast), 介绍在模拟电路设计中所遇问题的解决方案。他毕业于亚利桑那州立大学 (Arizona State University), 获电子工程理学士学位, 并成为亚利桑那州注册专业工程师; 此外, 他还撰写了大量的杂志文章、应用手册以及会议论文。



目 录

信号链基础知识 1: 最基本的构建块——运算放大器	1
信号链基础知识 2: 基本运算——运算放大器	6
信号链基础知识 3: ADC	9
信号链基础知识 4: 关于 ADC 的四种拓扑结构	12
信号链基础知识 5: CMR 与 CMRR 之间的差异	14
信号链基础知识 6: 一些描述运放性能的指标	17
信号链基础知识 7: 偏置电流	20
信号链基础知识 8: 闪存和管线转换器工作原理探究	23
信号链基础知识 9: SAR 转换器工作原理探究	25
信号链基础知识 10: Δ - Σ 转换器的探究	28



信号链基础知识 1：最基本的构建块——运算放大器

信号链最基本的构建块是运算放大器 (op amp) (请参见图 1)。最简单的运算放大器其实就是一个具有无限输入阻抗差动输入的器件和一个具有趋向于无穷大增益的压控电压源。仅仅依靠这些特性的作用微乎其微，但是在使用了各种反馈技术以后，其就变成一款极为有用的器件了。

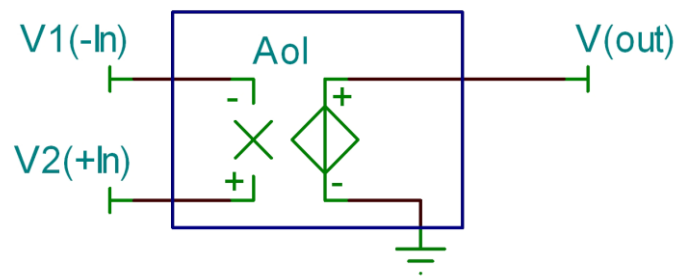


图 1 理想的运算放大器

从该电路中可以看到理想的运算放大器的传输函数为：

$$V(out) = (V2 - V1)Aol$$

如果 Aol（开环增益）的值非常大，那么该电路几乎没有什么价值可言。一项有关产品数据规范的调查研究表明，在生产过程中我们无法对 Aol 的绝对值进行严格控制。不过可以通过添加负反馈来解决该问题，如图 2 所示。

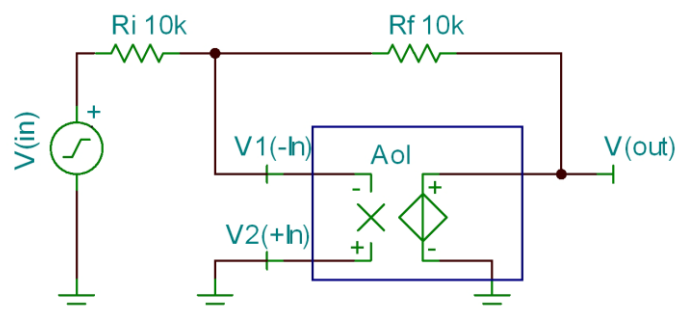


图 2 具有反馈功能的理想的运算放大器

由于在输入引脚上可以没有电流，因此流经 Ri 的电流必须要与流经 Rf 的电流相等。用方程式表示如下：



$$\frac{V(in) - V1}{Ri} = \frac{V1 - V(out)}{Rf}$$

将两项合并、设置 $V2=0$ 并假设开环增益非常大，从而得出标准闭环增益 (Acl) 方程式：

$$\frac{V(out)}{V(in)} = -\frac{Rf}{Ri} = Acl$$

请注意，从第一个方程式可以看出运算放大器对输入电压之间的差进行了放大。只要运算放大器在线性模式下运行，则输入引脚就会处于相同的电压（请参见图 3）。

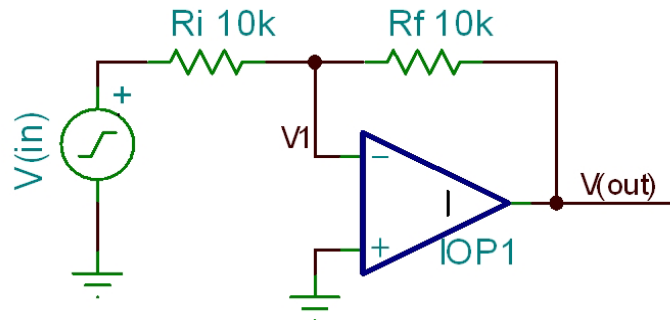


图 3 反相运算放大器结构的标准电路图

对于非反相结构而言，该增益方程式的结果略有不同（请参见图 4）。

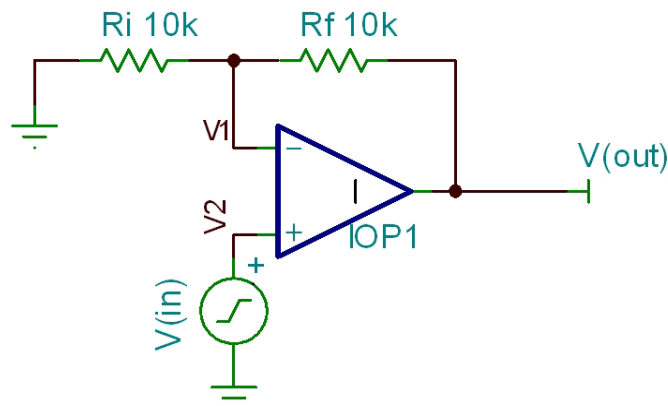


图 4 非反相运算放大器的结构

如果 Aol 的值非常大，那么增益方程式则简化为：



$$\frac{V(out)}{V(in)} = \frac{Ri + Rf}{Ri} = Acl$$

传输函数的完整开发可以在下方相关的工具选项中看到。该函数开发还适用于 Aol 小于无穷大的情况。

首先了解这一基本构建块可以完成大量模拟计算电路的配置工作。在未来的文章中, 将多次用到此处产生的这三个基本概念: 即 Aol 值非常大时的增益方程式、限定 Aol 值时的增益方程式以及运算放大器对输出的驱动, 如将输入引脚保持在相同的电压上。

工具选项: 闭环增益方程式的开发

对于非反相结构而言:

$$\begin{aligned}V1 &= V(out) \frac{Ri}{Ri + Rf} \\V(out) &= (V2 - V1) * Aol \\V2 &= V(in) \\V(out) &= (V(in) - V1) * Aol \\V(out) &= Aol * V(in) - Aol * V(out) \frac{Ri}{Ri + Rf} \\Aol * V(in) &= V(out) * \left(1 + Aol \frac{Ri}{Ri + Rf} \right) \\ \frac{V(out)}{V(in)} &= \frac{Aol * (Ri + Rf)}{Ri + Rf + Ri * Aol} \\ \frac{V(out)}{V(in)} &= \frac{Ri + Rf}{Ri + \frac{Rf + Ri}{Aol}}\end{aligned}$$

当 Aol 值非常大时, 则该方程式则简化为:

$$\frac{V(out)}{V(in)} = \frac{Ri + Rf}{Ri} = Acl$$



这是理想条件下的闭环增益方程式，其中 A_{ol} 值非常大。当开环增益小于理想条件时，实际的闭环增益方程式将变为：

$$\frac{V(out)}{V(in)} = \frac{A_{ol} * (R_i + R_f)}{R_i + R_f + R_i * A_{ol}}$$

$$\frac{V(out)}{V(in)} = \frac{R_i + R_f}{R_i} * \frac{1}{1 + \frac{R_f + R_i}{R_i * A_{ol}}}$$

$$\frac{V(out)}{V(in)} = \frac{R_i + R_f}{R_i} * \frac{1}{1 + \frac{A_{cl}}{A_{ol}}}$$

由于 A_{ol} 值将总是小于无穷大，因此在增益方程式中总会存在一些误差。通常， A_{ol} 值可以足够大，从而该误差可以忽略不计。

反相条件下相似的函数开发：

$$V(out) = (V_2 - V_1) * A_{ol}$$

$$V_2 = 0$$

$$V(out) = -V_1 * A_{ol}$$

$$V_1 = -\frac{V(out)}{A_{ol}}$$

$$\frac{V(in) - V_1}{R_i} = \frac{V_1 - V(out)}{R_f}$$

$$V(in) * R_f - V_1 * R_f = V_1 * R_i - V(out) * R_i$$

$$V(in) * R_f + \frac{V(out)}{A_{ol}} * R_f = -\frac{V(out)}{A_{ol}} * R_i - V(out) * R_i$$

$$V(out) * \left(\frac{R_f + R_i}{A_{ol}} + R_i \right) = -V(in) * R_f$$

$$\frac{V(out)}{V(in)} = -\frac{R_f}{R_i + \frac{R_i + R_f}{A_{ol}}}$$

当 A_{ol} 值非常大时，该方程则简化为：



$$\frac{V(out)}{V(in)} = -\frac{Rf}{Ri} = Acl$$

这是理想条件下的闭环增益方程式，其中 Aol 值非常大。当开环增益小于理想条件时，实际的闭环增益方程式将变为：

$$\frac{V(out)}{V(in)} = -\frac{Rf}{Ri + \frac{Ri + Rf}{Aol}}$$
$$\frac{V(out)}{V(in)} = -\frac{Rf}{Ri} * \frac{1}{1 + \frac{Ri + Rf}{Ri * Aol}}$$
$$\frac{V(out)}{V(in)} = -\frac{Rf}{Ri} * \frac{1}{1 + \frac{Acl}{Aol}}$$

请注意，此处的 Acl 值为非反相 Acl 值。



信号链基础知识 2：基本运算——运算放大器

了解利用该模拟信号链的基本构建块所进行的运算

根据上一篇文章的理论延伸，我们可以实现一个基本应用电路。

该具有差动输入的高增益电路的名称起源于模拟计算机时代。每一个数学运算都需要一个放大器来将一个函数与下一个函数隔离。简单来说，可以配置一个运算放大器 (op amp)，以用于实现反相或非反相增益（见图 1）。

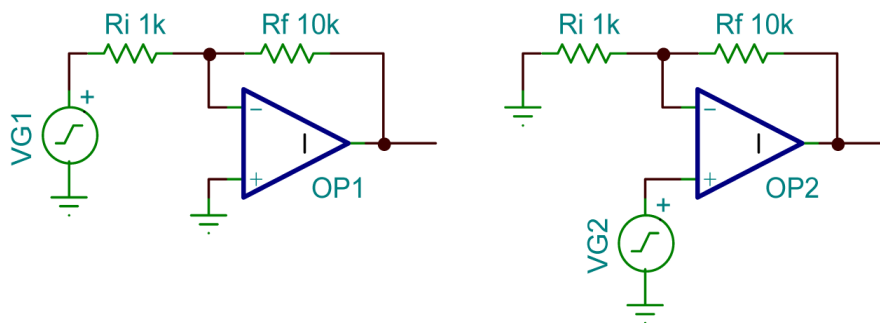


图 1 基本增益级

$$Acl = -\frac{Rf}{Ri}$$

$$Acl = \frac{Ri + Rf}{Ri} = 1 + \frac{Rf}{Ri}$$

该增益方程式表明，当 $Ri > Rf$ 时，反相级可能会有一个小于 1 的闭环增益 (Acl)；当 $Ri = Rf$ 时，该增益为 -1（反相），该非反相级绝不可能有一个小于单位增益 (unity) 的增益。当 Ri 为开路时，该电路就会简化为一个单位增益电压跟随器。如果需要一个小于 1 的增益，那么就应该在放大器前面放置一个电压分压器。

由于这是一个线性系统，所以适用线性迭加法则。因此，下面要讲的就是将两个或更多的信号累加起来（见图 2）。

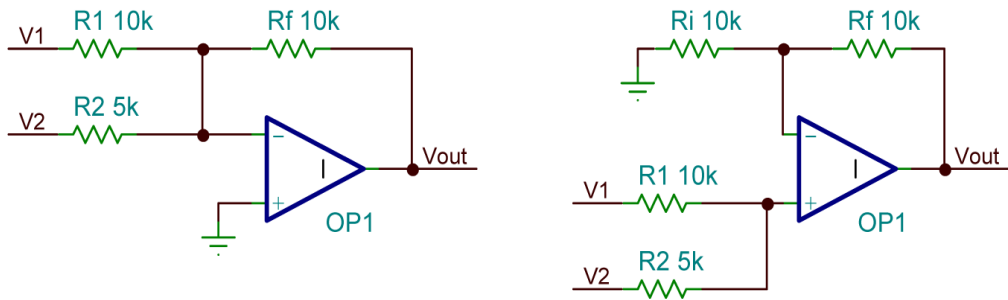


图 2 加权信号求和

为了建立这些关系，首先假设 $V2=0$ ，并以 $V1$ 的一个函数写出 V_{out} 的方程式。然后假设 $V1=0$ ，并写出 $V2$ 的方程式。将两项合并就可以得到完整的传输函数。可以用此处所示的部分并联方式添加更多的输入，并且利用该迭加技术可以得出总传输函数。

$$V_{out} = -\frac{R_f}{R_1}V_1 - \frac{R_f}{R_2}V_2 \quad V_{out} = \left(1 + \frac{R_f}{R_i}\right) \left(V_1 \frac{R_2}{R_1 + R_2} + V_2 \frac{R_1}{R_1 + R_2}\right)$$

与刚才的运算相比，这种可添加电压的能力更具价值。在一个设计中，很多时候都必须进行一个电平转换，而这些电路正好可以完成这一任务。通过这些求和的变化，也有可能实现补码运算（也即减法运算）见图 3。

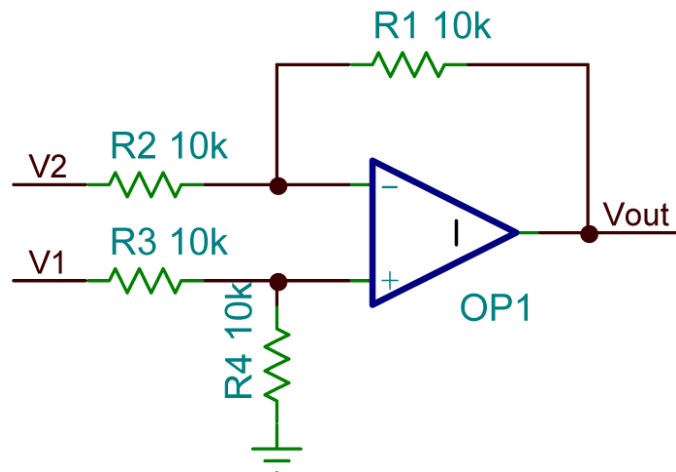


图 3 差动放大器 (diff amp)

如上那样使用线性迭加，该差动放大器的通用输出表达式为：



$$V_{out} = \left(\frac{R1 + R2}{R2} \right) \left(\frac{R4}{R3 + R4} \right) V1 - \frac{R1}{R2} V2$$

一种被广泛使用的应用是那些可用信号依存 (ride on) 于干扰信号中的应用 (见图 4)。干扰信号被称作共模电压 (V_{cm})，因为其为两个输入共有，而理想信号为差模电压 (V_{dm})。在此情况下，其值为 V_{dm1} 与 V_{dm2} 的和。

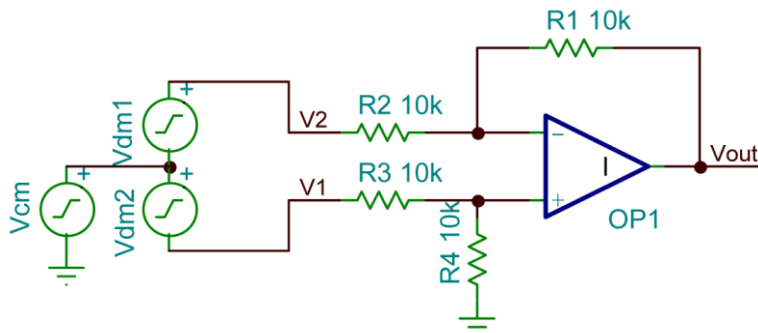


图 4 差动放大器应用

如果 $R1=R4$ 且 $R2=R3$ ，那么 V_{out} 可由下式得出：

$$V_{out} = \frac{R1}{R2} (V1 - V2)$$

消除干扰信号的精确度取决于两个变量：电阻器匹配的精确度和运算放大器的参数（被称为共模抑制比 (CMRR)）。假设的确存在完美的运算放大器，那么电阻器不匹配导致的输出计算则为一道简单的电子表格计算题。

电阻器不匹配率	输出误差 ($\mu V/V$)	误差 (dB)
1%	4950	-46.1
0.1%	499.5	-66.0
0.01%	49.95	-86.0

表 1 电阻器不匹配导致的输出计算

既然我们已经有了了一套基本构建块，那么接下来我们就可以开始选择各种可用的转换器了。



信号链基础知识 3: ADC

本系列文章到了这里，我们已经研究了运算放大器及其若干应用。为了强调整个信号链的多样性，本文着手介绍模拟-数字转换器(ADC)，由此我们踏入数字世界的大门。

为了理解从模拟到数字的转换，我们需要定义若干数字领域专用的术语。这些概念形成模数转换的基础并且依赖于数字化信号所采用的方法。有必要理解的是：对模拟信号的数字表示是一种近似。模拟信号在一定的范围内可以取任何数字，而数字信号被限制为取离散的数值。

因为转换器的输出是数字，其特征由它包含的比特数来确定。这就定义了可用的分辨率，但是，并没有说明转换的精度。分辨率通常根据最小有效比特(LSB)来考虑。对于任何转换器来说，可由下式计算：

$$1\text{LSB} = \frac{V_{fs}}{2^N}$$

在此， V_{fs} 是满量程电压，而 N 是比特数。

例如，以 5V 的满量程范围工作的16 比特转换器具有的LSB 为：

$$1\text{LSB} = \frac{5}{2^{16}} = \frac{5}{65536} = 76.2\mu\text{V}$$

在 LSB 的数值方面，通常采用不同精度的术语来表示。为了掌握精度与分辨率的互换，可参见图1，其中，显示了可能由这些选项得到了四种可能组合。

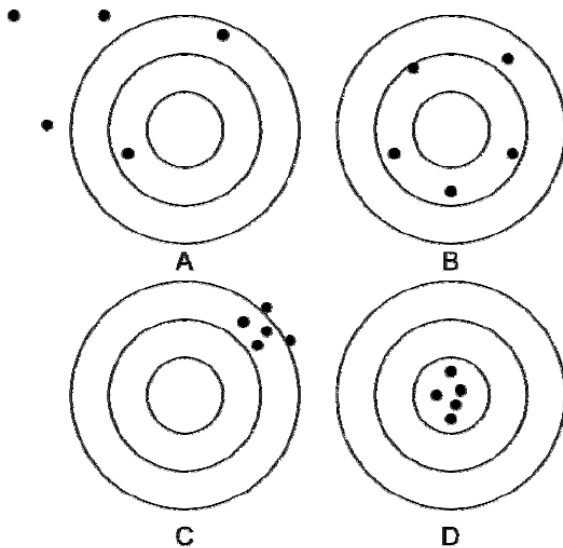


图1：精度与分辨率的比较。

靶标 A 显示了低分辨率和不良的精度。在各个射击点之间存在大的距离，并且它们几乎均不在靶的中心。靶标B 因所有的射击点均在靶中央而具有良好的精度，但是，各个射击点之间的距离显示分辨率低。靶标C 和D 显示因射击点较为集中在一个区域而具有较高的分辨率。在靶标C 中的各个射击点聚集在一起，但是，与靶标D 相比，它们不在靶的中央；因此，靶标D 具有最高的精度，因为所有的射击点均在靶心。

在数字化处理过程中，需要掌握的另一个术语是量化噪声或者量化误差。图 2 显示了一个三比特ADC 的理想传输函数。

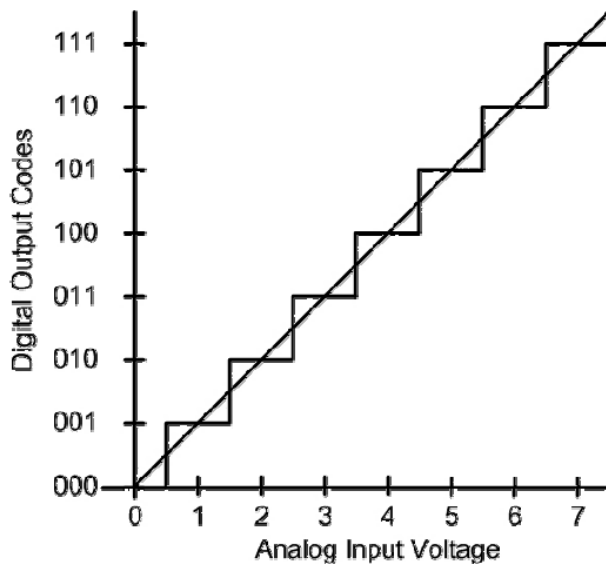


图2：ADC 的理想传输函数。

通过原点向右上的直线表示模拟输入和模拟输出系统的传输函数。自变量是连续变化的模拟输入电压。它可以取沿着 X 轴的任何数字。因变量是输出代码，它被限制为取沿着Y 轴上的离散数值之一。



因为输出必须取一个离散代码，只要输入产生的输出不是严格地等于该代码，在实际输出数字与理想值之间就存在偏差。

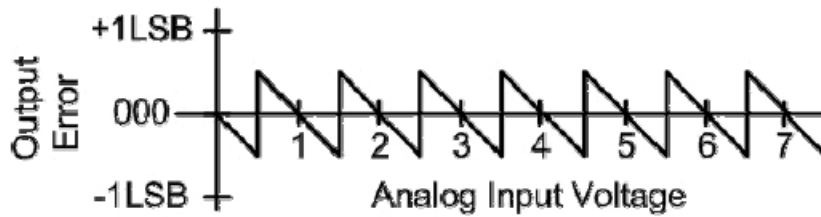


图3: 量化误差。

记住这一数字，你可以想象，如果代码转换数值不是理想的情况下，就会引入误差。在文章以后的部分我们将再次探讨这一概念，并开发一种数学模型来预测这一噪声对ADC 整体性能的影响。

在下一部分，我们将考察用于描绘给定模拟输入的数字数值的各种技术。



信号链基础知识 4 关于 ADC 的四种拓朴结构

在开发模数转换器(ADC)的过程中,人们尝试了许多电路。这些转换器已经被归纳为四种基本拓朴:闪烁、逐次逼近(SAR)、流水线以及 Σ - Δ 转换器。每一种拓朴都有其优点和缺点。

针对一个特殊系统的最合适器件取决于应用。更为确切地说,最合适的器件依赖于数据处理的需要。根据执行各种计算的那些应用或者基于抓图读数的决策,需要波形重构的各种应用 具有不同的要求。

上述四种最流行的转换器类型的速度—分辨率比较如图 1 所示。随着新的电路技术被开发出来,这些转换器之间的性能边界已经变得有点模糊。

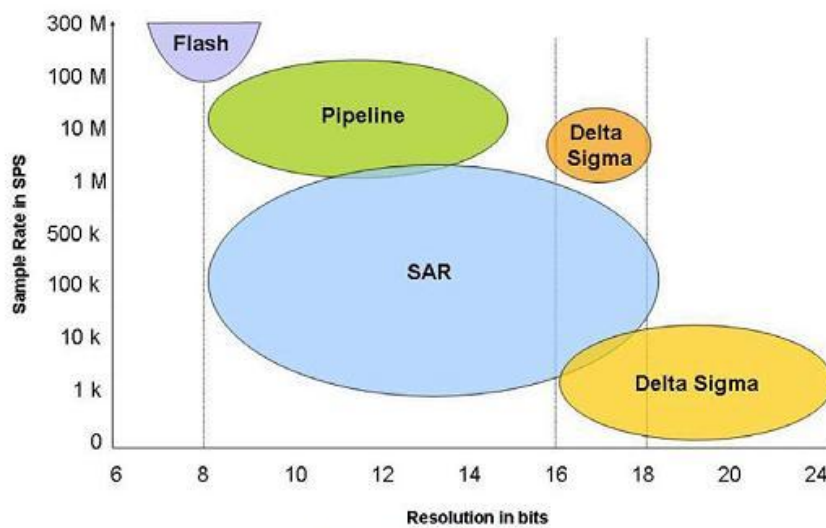


图1: ADC 类型的比较。

除了速度—分辨率的差异之外,下一个性能点就是读取时间。闪烁转换器是一种非常快速的器件,且时间同步通常不是问题。相比之下,SAR转换器采用一种启动转换信号,利用这一能力,两个或两个以上的转换器可以被同步到一个外部事件。在转换指令之后,数据在若干时钟周期后出现。

流水线以及具有 Σ - Δ 拓朴的转换器均是连续转换器件。这使之几乎不可能同步多个器件以实现同时读取,或者,在预先定义的时刻抓取读数。在模拟输入上的一个事件与在数字流中的事件外在表现之间存在时间上的偏离。那个时间延迟被称为数据反应时间(延迟)。数据延迟不应该与SAR转换器相关的转换时间混淆,其中,在处理过程中不存在其它的转换操作。 Σ - Δ 转换器可以被比作执行一种连续的平均。然而,流水线转换器可以被比作一条装配线,在一个工位对最终结果做出贡献之后,信号继续往下走,给那个位置处理下一个采样点让路。

这种差异的结果之一就是 Σ - Δ 转换器有效地把噪声能量调换至远远高于有用频带之外。流水线型转换器以中到高的分辨率实现高数据率。



各种新技术所带来的另一个重大变化就是，分立的采样保持放大器消失了。为了获得有效的转换结果，在转换时间期间，模拟输入必须稳定在最小有效比特(LSB)之内。在转换器性能上的若干进展包括：分辨率、更短的转换时间以及更小的满量程电压，所有这些性能均需要更高性能的采样保持放大器，而先进的电路拓扑已经容许把采样保持放大器构建在转换器之中。

这些转换器类型当中的每一种将在后续文章中详细介绍。



信号链基础知识 5 CMR 与 CMRR 之间的差异

在以前的文章中介绍过的差分放大器被认为是理想的运算放大器，也就是说，具有无限大的共模抑制，实际上，运算放大器的共模抑制没有这么完美。这一指标被称为共模抑制(CMR)或者共模抑制比(CMRR)。

为了了解 CMR 与 CMRR 之间的差异，要参见图 1 所示电路。

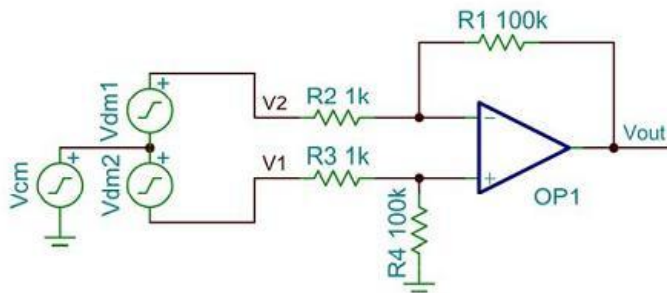


图 1: 具有增益为 100 的差分放大器。

在此， V_{cm} 是共模电压， V_{dm1} 和 V_{dm2} 是差模电压。该电路的用途就是放大差模电压($V_{dm1} + V_{dm2}$)而抑制共模电压。

利用以前文章(第三部分)中的电阻数值的变化，现在就得到一个增益级。传输函数为：

$$V_{out} = \frac{R1}{R2}(V1 - V2) = 100(V1 - V2)$$

$$A_{cl} = \frac{R1}{R2} = \frac{R4}{R3}$$

CMR 也可以被称为共模增益，或：

$$CMR = \frac{\Delta V_{out}}{\Delta V_{cm}}$$

因为 CMR 由运放输入级器件的匹配程度决定，在具有比率匹配电阻的电路中，CMR 的数值也依赖于电路的增益。为了归一化增益，或者把读数提交至输入，CMRR 被定义为：



$$\text{CMRR} = \frac{\text{CMR}}{\text{Acl}}$$

这两个术语通常被表示为 dB。CMRR 变为：

$$\text{CMRR}|_{\text{dB}} = 20 \log \left(\frac{\text{CMR}}{\text{Acl}} \right)$$

尽管基本的差分放大器是有用的，它存在两个弱点，一是输入阻抗比较低；二是改变增益需要改变两个匹配电阻。

为了解决输入阻抗的问题，在差分放大器的输入要增加两个缓冲放大器，如图 2 所示。

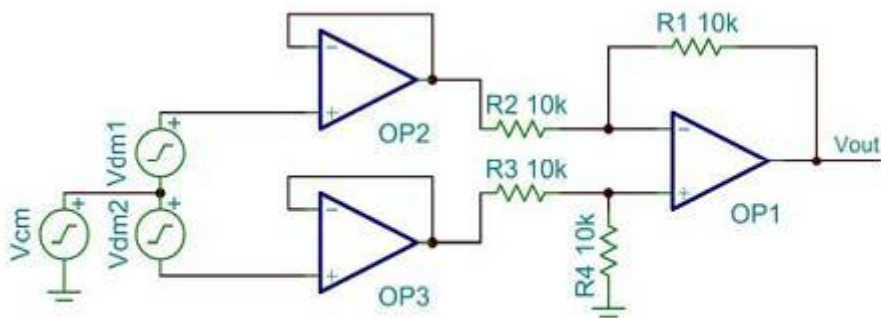


图 2：输入缓冲级。

这一配置提供具有增益的高输入阻抗且 CMRR 由输出级电阻设置。在输入运放周围增加匹配电阻可以把增益设置放在前端实现。

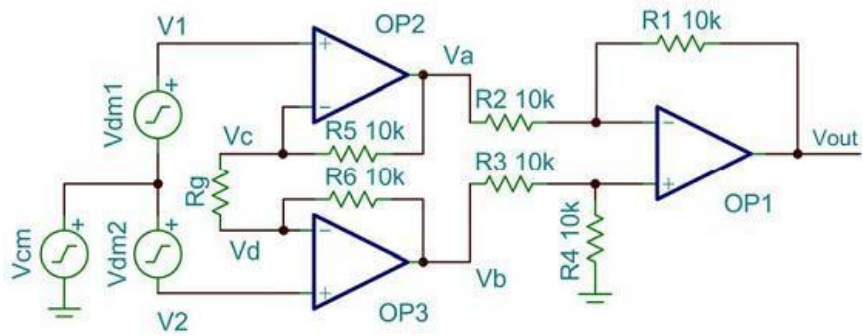


图3：经典的运放仪表放大器。

一般来说，这种情形下增益表达式变为：

$$\text{Gain} = \left(1 + \frac{R5 + R6}{Rg} \right) (\text{Output_Stage_Gain})$$

对于图 3 中电路，这被简化为：

$$\text{Gain} = \left(1 + \frac{20K}{Rg} \right) (1)$$

增加这一前端就给予了高输入阻抗、单电阻增益设置的性能，并可以输出级电阻比率匹配方式调节 CMRR。在 IC 制造中，调节电阻的比率比调整电阻的绝对值要容易。



信号链基础知识 6 一些描述运放性能的指标

目前，我们已经讨论了运放的一些基本应用并开发了一个版本的仪表放大器，下面让我们考察一些描述运放性能的指标。

在指标表中，第一个常见参数就是输入级直流特性。这些参数包括：输入电压偏移、偏移漂移、偏置电流以及补偿电流。每一个参数的数字主要由输入级的设计来设置。如图 1 所示为经典的双极性差分放大器。

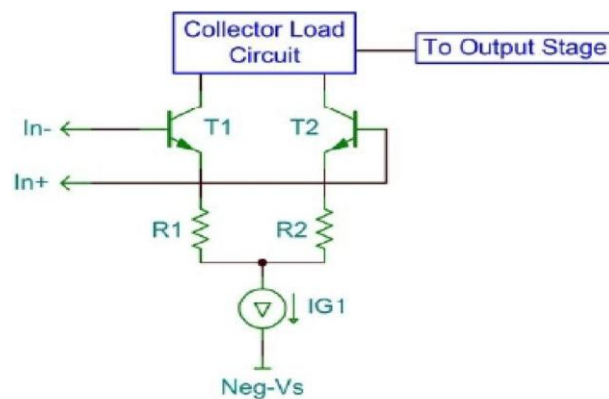


图 1: 输入级。

输入电压偏移被定义为驱动输出电压为零所需要施加的输入电压。在完美的电路中，Q1 与 Q2 完全一样，且 R1 等于 R2，从而导致运放具有零偏移电压。人们付出了大量努力以确保输入晶体管为一致，然而，总是存在一些差异。数据表条目可能称之为电压偏移 V_{os} 或电压输入偏移 V_{io} ，此外，还有其它记忆符。

用户用于设置增益的大多数器件指标是 RTI(参考输入)数值。因此，对于特殊应用来说，输出误差的大小是该参数数值乘以电路的增益，在此，增益由设计确定。电压偏移就是这么一个参数。

电压偏移可以被建模为施加在正相输入端的信号。在图 2 中电路的输出端测得的电压为 1001 倍 V_{os} 。

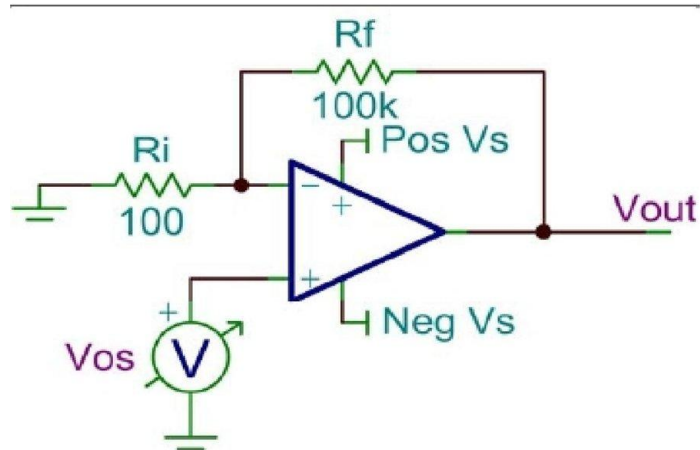


图 2: Vos 测量电路。

跨越 P-N 结的正向电压降以及输入级晶体管的基极-射极结之间的电压降会随着温度而变化。遗憾的是, 每一个晶体管的结温以稍微不同的速率而变化, 因此, 运放的电压偏移将随着温度而变化。

这种行为以 $\mu\text{V}/^\circ$ 为单位表达为 *Vos Drift*。Vos 的测量和记录要在三个温度下进行: 最低温度、室温以及最大温度。该漂移然后被计算为:

$$\text{VosDrift} = \text{Max of} \left\{ \begin{array}{l} \frac{\text{Vos}|_{R_{in}} - \text{Vos}|_{T_{max}}}{T_{max} - T_{in}} \\ \frac{\text{Vos}|_{R_{in}} - \text{Vos}|_{T_{min}}}{T_{min} - T_{in}} \end{array} \right.$$

尽管双极性晶体管(BJT)模型被用于描述 Vos, 类似于在 J-FET 和 CMOS 器件中出现的行为。

对于单电源供电的运放情形, 要特别注意在运放正相输入端的电压, 就是当输入为零时运放输出级要驱动到的电压。当运放由单电源供电时, 负电源被连接到地, 如图 3A 所示的电路将给出不正确的结果。运放的输出无法被自始至终驱动至负电源。



当运放具有负电源偏置时，输出必须被驱动至负电源轨以下。在这一单电源情形下，有必要把正相输入偏置为在两个电源轨之间，如图 3B 所示。偏移电压将相对于那个偏置电压进行测量。

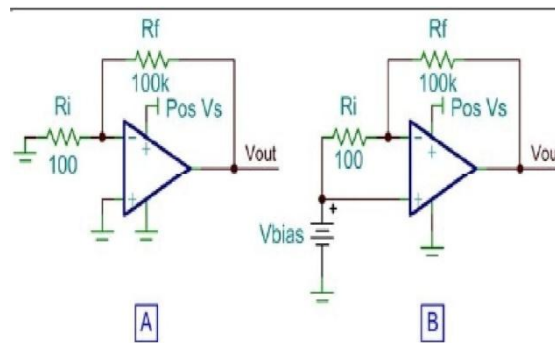


图 3: 针对单电源操作的正确的 V_{os} 测量。

在下一篇文章中，我们将讨论运放中的偏置电流。

信号链基础知识 7 偏置电流

在这一系列文章中的第六部分，我们讨论了输入电压的偏移 V_{os} 。运放输入级的另一个重要参数就是偏置电流。这一参数在数据表中被列为 I_b 或 I_{ib} 。人们也采用这一参数的其它表示法，有时，尾部字符被写为下标，即 I_B 或 I_{IB} 。

所有的放大器均拥有一些流过输入脚的电流，这就是偏置电流。在第六部分所采用的BJT 模型中，那就是基极驱动电流。有可能采用电流相消电路来减小这一电流。FET 和CMOS 输入级仍将受到通过它们的门结点的泄漏电流的影响。

此外，几乎所有的放大器均拥有内部电路单元来保护器件免受静电(ESD)的破坏。这些单元也存在一些电流泄漏。运放偏置电流的大小从 10^{-15} A 到 10^{-6} A。因为两个输入电路是不同的，在各个输入之间的偏置电流存在差异。这种差异就成为偏移电流或 I_{os} 。

对于几乎最小的偏置电流来说，如图1 所示的电路提供了确定这些数字所需要的所有数据。

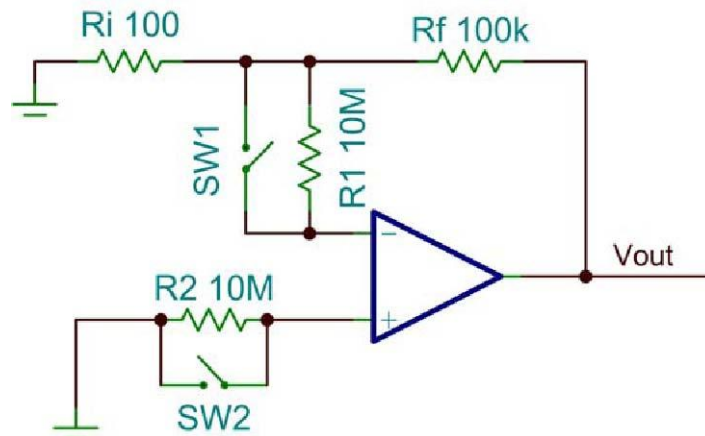


图1：偏置电流测试电路。测试开始时，两个开关闭合。注意：

$$V_{os} = \frac{V_{out}}{A_{cl}} = \frac{V_{out}}{1001}$$

打开SW2 且正相输入的偏置电流将产生一个跨越R2 的电压。为了确定 I_{b+} ，观察在SW2 打开且SW2 闭合之间的 V_{out} 变化，这一数值就是 ΔV_{out} 项：



$$I_{b+} = \frac{\Delta V_{out}}{R2} * \frac{1}{Acl} = \frac{\Delta V_{out}}{1001 * R2}$$

闭合SW2 且打开SW1，反相输入的偏置电流将产生跨越R1 的电压。为了确定 Ib-，你要观察SW1 打开和SW1 闭合之间的Vout 的变化，该数值就是ΔVout 项：

$$I_{b-} = \frac{\Delta V_{out}}{1001 * R1}$$

偏置电流可以利用类似的技术来测量，这取决于运放计算电流差的能力。闭合两个开关并注意Vout ，然后打开两个开关并注意新的Vout 数值。

$$I_{os} = (I_{b+}) - (I_{b-})$$
$$I_{os} = \left(\frac{\Delta V_{out_2}}{R2} - \frac{\Delta V_{out_1}}{R1} \right) * \frac{1}{Acl}$$

通过差分输入级的运放把两项相减，当R1=R2 时，则：

$$I_{os} = \frac{\Delta V_{out}}{1001 * R1}$$

尽管偏置电流的测量是直截了当的，所有放大器的这一特性可能对一些应用有着微妙的影响，并且有必要为偏置电流提供一个直流通路。

以图2 中电路为例，它不存在用于偏置电流的通路。因没有偏置电路的通路，电压降持续在C1 上产生。这一电压将作为输入信号呈现给运放，并被放大直至输



出饱和。

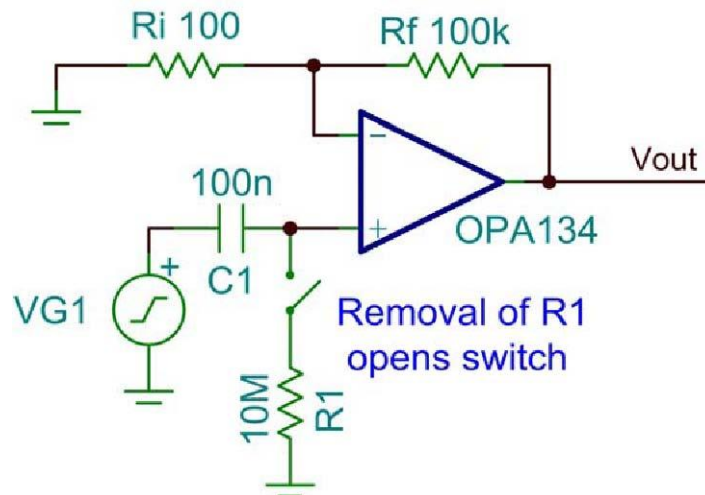


图2: 偏置电流通路。

点击此处(<http://focus.ti.com/lit/ml/sloc102/sloc102.wmv>) 观看一段视频文件, 其中, 显示了当直流偏置电流路径缺失时所发生的情况(在图2 中的电路与视频文件中的电路一样)。路径给 I_b 造成的损失可能源于设计的省略或在生产期间或之后出现的焊点故障。

输出电压变化的速率取决于偏置电流的大小以及电容的大小。所定义的方程为:

$$I_b = C \frac{\Delta V}{\Delta t}$$

这一公式可被用于以超低的偏置电流测量放大器的偏置电流。



信号链基础知识 8：闪存和管线转换器工作原理探究

在本部分，我们将对闪存和管线架构转换器进行分析；而在第 9 部分我们将对逐次逼近型和 Δ - Σ 型转换器器件进行探讨分析。

图 1 中的闪存转换器可能是拓扑结构最为简单的转换器。

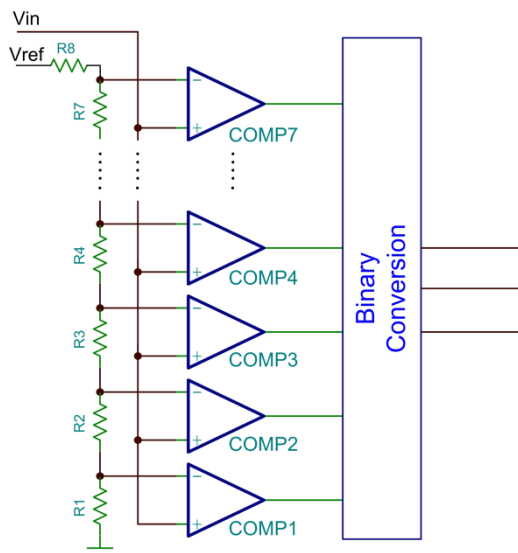


图 13 位闪存 ADC

一款 N 位闪存转换器是由 2^N-1 个转换器、 2^N 个寄存器以及一个可将结果分类成二进制代码的逻辑网络组成的。在此结构中， V_{ref} 等于该转换器的满量程电压。

该电阻串的值是这样的：比较器 1 (COMP1) 反相输入端的电压为 LSB 的一半，而电阻阶跃的其他电压则与 LSB 相等。因此，COMP2 的反相输入电压为 LSB 的 1.5 倍。

- 当 $V_{in} < \frac{1}{2} \text{ LSB}$ 时，所有输出均为 LOW
- 当 $\frac{1}{2} \text{ LSB} < V_{in} < 1\frac{1}{2} \text{ LSB}$ 时，COMP1 等于 HI
- 当 $1\frac{1}{2} \text{ LSB} < V_{in} < 2\frac{1}{2} \text{ LSB}$ 时，COMP1 和 COMP2 均等于 HI

随着 V_{in} 振幅的增加，高输出比较器的输出数值也会增加。由二进制转换逻辑负责将本系列比较器输出变为单个二进制代码。

闪存转换器在速度方面颇具优势，其速度限制因素为比较器和逻辑网络的传输时间。其缺点主要体现在所需的高精电阻器 (2^N) 和比较器 (2^N-1) 的数量上，一款 8 位转换器需要 255 个比较器。

将管线转换器视为一个 1 位闪存转换器的串联电阻串，如图 2 所示。

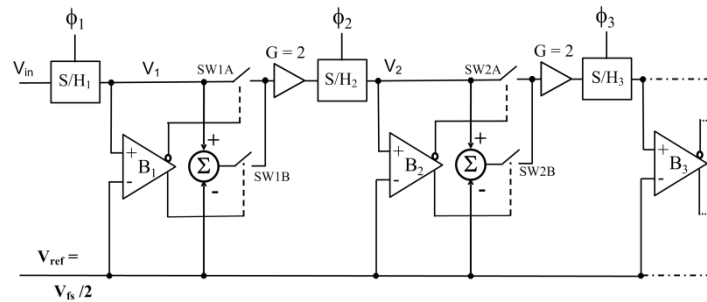


图 2 简化的管线转换器架构

该管线转换器为一个时钟**拓扑**，其每一个动作都是根据**时钟**计时周期进行的。在第一个时钟上，采样与保持模块 (S/H₁) 对应用信号 V_{in} 进行采集。该电压 (V_1) 被施加到比较器 B_1 上。如果 $V_1 < V_{ref}$ ，那么 SW1A 则处于关闭状态， V_1 被放大 2 倍，且由此得出的结果被施加到下一级；如果 $V_1 > V_{ref}$ ，那么 SW1B 则处于关闭状态， $V_1 - V_{ref}$ 的值被放大 2 倍，且由此得出的结果被施加到下一级。

当 SW1A 处于关闭状态时，实现了对一个二进制零点的记录以实现最高有效位 (MSB)。这是因为该施加电压小于满量程电压 ($V_{fs}/2$) 的一半。当 SW1B 处于关闭状态时，实现了对一个二进制零点的记录以实现 MSB，因为该施加电压大于满量程电压 ($V_{fs}/2$) 的一半。在下一个时钟周期的第二个级上将重复这一个过程，以确定 MSB - 1 的值。

下列数字示例有助于对该动作进行阐明：

- 如果 $V_{fs} = 5.0V$ ，则 $V_{ref} = 2.5V$ 。
 $V_{in} = 3.70V$ 时， $V_1 = 3.70V$ 。
- 由于 $V_1 > V_{ref}$ ，所以 SW1B 处于关闭状态且 MSB = 1
- 第一个放大器的输入电压为 $3.7 - 2.5 = 1.2V$ ，且 $V_2 = 2 \times 1.2 = 2.4V$
- 由于 $V_2 < V_{ref}$ ，所以 SW2A 处于关闭状态且 MSB - 1 = 0

由于目前第一个级处于闲置状态，因此其将处理下一个模拟输入值。一个 N 位结果的完整转换需要 N 个时钟周期。然而，各结果之间的时间正好是一个时钟周期。模拟输入事件和数字**输出**结果显示之间的时滞将为 N 个时钟周期，该时滞被称为**数据时延**。

(在第 9 部分，我们将对逐次逼近型 (SAR) 和 Δ - Σ 型拓扑结构进行探讨分析)



信号链基础知识 9 SAR 转换器工作原理探究

本文将继续对逐次逼近型转换器 (SAR) 架构进行探讨分析

逐次逼近寄存器转换器 (SAR 转换器) 是一个二进制搜索树的硬件实现。从理论上来说, 就是一个逻辑电路将对一个数值进行推测, 然后将该值存储在锁存器并将其施加到一个数模转换器 (DAC)。比较器将测定该推测值 (如 DAC 报告的那样) 是高还是低, 然后报告给逻辑电路以指导下一次推测。

通过将最高有效位 (MSB) 设置为 1, 第一次推测被确定在了零点和满量程之间的中间位置。如果 V_{in} 大于 DAC 输出, 该比特位则处于开启状态; 如果小于 1, 该比特位就被重新设置为 0。在每一个连续的时钟周期上, 该二进制搜索树程序都会不断运行, 以测试下一个较低的有效位。

图 1 中的 D/A 转换器由电阻梯形网络构建而成:

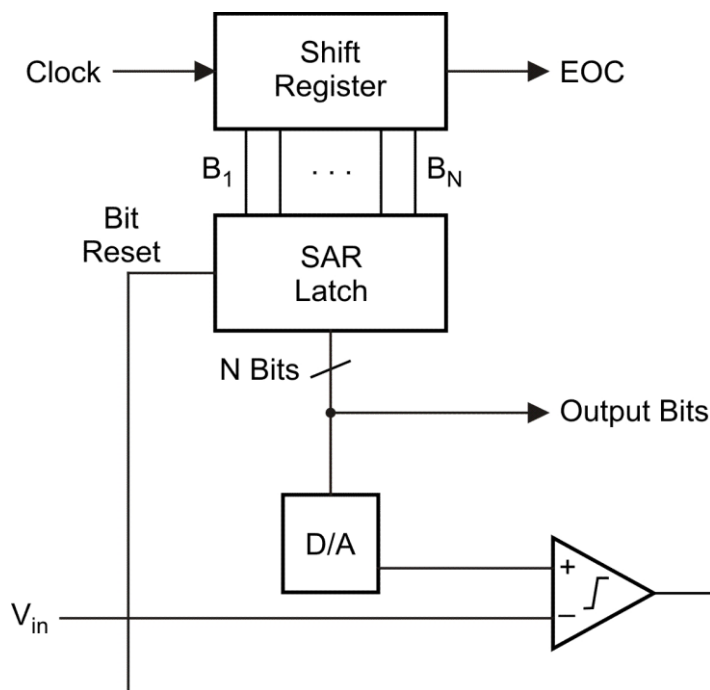


图 1 SAR 结构图

在整个转换过程中, V_{in} 的值必须要保持不变。因此, 该电路就需要一个外部采样和保持 (S/H) 功能。大多数先进器件都是根据设计的性质采用一个电容数模转换器 (C-DAC) (如图 2 所示, 其本身就具有 S/H 功能), 而非采用电阻梯形网络 DAC。

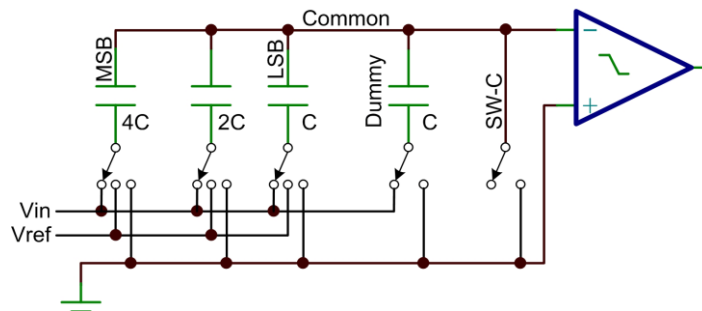


图 2 三位 C-DAC 电路

C-DAC 的运行采用电荷再分配技术来设置用于二进制搜索的测试电压。该电容串由多个电容器组成（等于 C-DAC 的精度位数与一个虚拟电容器之和）。与 MSB 相关的电容器尺寸最大，每一个连续电容器均为前一个电容器尺寸的一半。因此，就形成了二进制序列。

电容器的平行和等于 $2^{N-1} C$ 。添加虚拟的电容器（其与 LSB 电容值相等）将得到一个值为 $2^N C$ 的总电容。由于总电容是一个偶数二进制数字，因此不断重复的二进制除法会最终除尽，而不会有余数。

下面以 C-DAC 型 SAR 转换器为例说明了该转换过程：

Action	Vcom
All Capacitor SW at Vin & SW-C -> GND	Vin
SW-C -> Open & All Capacitor SW -> GND	-Vin
SW-MSB -> Vref	Vref-Vin

可能的比较器结果为：

If Vcom<0	If Vcom>0
Leave SW-MSB->Vref	Reset SW-MSB->GND
MSB = 1	MSB = 0

在该序列的末端，COM 节点上的电压为负，且该节点上的电压振幅小于刚刚确定的比特位的值。



在下一个比特位 **MSB-1** 上将重复这一过程。该过程会在转换中的每一个比特位上进行，通常会使电压小于该比特位上的步长的大小。

C-DAC 所具有的一大优势在于：与电阻器相比，电容器在硅芯片体积方面要小得多，所以芯片的成本也较低。因此，对于用户而言，该电容器结构在提供内置 **S/H** 功能的同时，还降低了成本和复杂性。在 **第 10 部分** 中，我们将对 **Δ - Σ** 转换器拓扑结构进行研究分析。

信号链基础知识 10: Δ - Σ 转换器的探究

前面所探究的模数转换器 (ADC) (第 8 部分和第 9 部分) 都是基于一个线性内插 (闪存) 或一个二进制搜索树 (管线架构和 SAR 架构)。 Δ - Σ 转换器是一款简单的、1 位 ADC, 该 ADC 以极高的采样速率 (该采样速率可以对一个大采样结果进行平均分配) 运行, 以获得高精度。输入信号的数字表现取决于 1 在高速位流中所占的百分比。这是由叫做抽取滤波器的电路来完成的, 以确定最终的转换值。

该电路可被称为 Δ - Σ 转换器, 也可被称为 Σ - Δ 转换器。但是, 人们更接受 Δ - Σ 转换器这个称谓, 因为它描述了运行的顺序。该转换器的核心部件为调制器 (请参见图 1)。

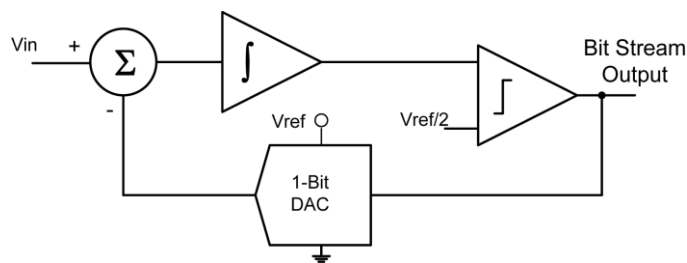


图 1 Δ - Σ 调制器

前面所述的所有转换器均为开环系统。 Δ - Σ 调制器为一个可使输出端数字 1 的平均数量与满量程输入信号的百分比保持一致的闭环系统。在环路为实现平衡而进行不断的搜索时, 应考虑到事件发生的序列。

- 在调制器启动时, 积分器输出较低, 因此比较器将 DAC 输出设置为 V_{ref} , 并发送一个 1 至数据流中。请注意, 这只是发送至下一个级的第一个位, 可能不是最终数据字码的 MSB。
- 施加到积分器的电压为 V_{in} 和 V_{ref} 之间的差。
- 如果 V_{in} 值较大, 那么施加到积分器的信号就较小。因此, 必须在积分器处积累多个采样, 以使其输出能够超过比较器阈值。
- 当积分器输出超过比较器开关点时, 下一位将变为 0, 这会使 DAC 输出一个低电压。
- 这就导致了一个会从积分器中扣除的大电荷。
- 如果 V_{in} 较小, 那么积分器上的第一个电荷将较大。电压 ($V_{ref}-V_{in}$) 将会较大, 并为一个置于输出位流上的电压。其占用了几个低 DAC 输出 (位流上相对应的值为 0), 以此来平衡积分器上大的初始电荷。
- 输出比较器通常被称为 1 位 ADC。
- 对比较器输出进行采样, 同时以时钟时间为基础对 DAC 进行刷新。



该循环不断进行并使位流中 1 的百分比相当于满量程电压 (V_{fs}) 的 V_{in} 百分比。如果 V_{in} 为 V_{fs} 的一半, 那么位流将包含相等数量的 1 和 0。在其他一些应用中, 这种输出流编码被称为脉冲比例调制 (PPM)。

在调制器输出中, 理想 PPM 序列偏离是噪声的一种形式。积分器是一种单极、低通滤波器。因此, 通过再添加一个积分器的方法 (请参见图 2), 可以降低噪声水平。

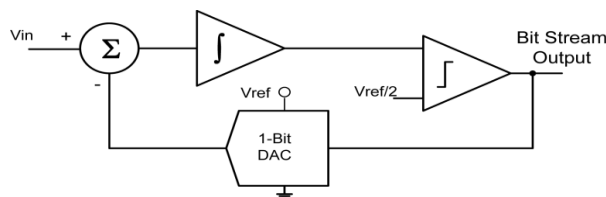


图 2 二阶 Δ - Σ 调制器

由于这是一个闭环系统, 因此添加更多的输入积分器会引起稳定性的问题。

上面所描述的一些调制器都伴随有一个数字低通滤波器, 以及一个抽取滤波器。这些数字电路建立了输出数据速率, 该数据速率与输入信号进行采样的速率大不相同。设计这些滤波器的方法决定了数据延迟。从输入信号一个步阶改变到一个稳定数字输出所需的时间 (反映该变化), 将始终都至少为一个数据周期。不同的滤波器设计要求具有不同数目的数据周期来达到一个稳定的输出。

这种技术使转换噪声变为高输入采样频带, 并远离相关的频带。