

基于 CPLD 的串并转换和高速 USB 通信设计

作者：王 朔 李 刚 于学敏

摘要：CPLD 可编程技术具有功能集成度高、设计灵活、开发周期短、成本低等特点。介绍基于 ATMEL 公司的 CPLD 芯片 ATF1508AS 设计的串并转换和高速 USB 及其在高速高精度数据采集系统中的应用。

关键词：CPLD 串并转换 USB

可编程逻辑器件 (PLD) 是 20 世纪 70 年代在 ASIC 设计的基础上发展起来的一种划时代的新型逻辑器件。自 PLD 器件问世以来, 制造工艺上采用 TTL、CMOS、ECL 及静态 RAM 技术, 器件类型有 PROM、EPROM、E2PROM、FPLA、PAL、GAL、PML 及 LCA 等。PLD 在性能和规模上的发展, 主要依赖于制造工艺的不断改进, 高密度 PLD 是 VLSI 集成工艺高度发展的产物。80 年代末, 美国 ALTERA 和 XILINX 公司采用 EECMOS 工艺, 分别推出大规模和超大规模的复杂可编程逻辑器件 (CPLD) 和现场可编程逻辑门阵列器件 (FPGA)。这种芯片在达到高集成度的同时, 所具有的应用灵活性和多组态功能是以往的 LSI/VLSI 电路无法比拟的。自从跨入 90 年代以来, 可编程逻辑器件 CPLD/FPGA 得到了飞速发展, 向高集成度、高速度和低价位方向不断迈进; 不仅具有电擦除特性, 而且出现了边缘扫描及在线编程等高级特性; 其应用领域不断扩大, 可用于状态机、同步、译码、解码、计数、总线接口、串并转换等很多方面, 而且在信号处理领域的应用也活跃起来。使用 CPLD 可以提高系统集成度、降低噪声、增强系统可靠性并降低成本。

本文主要介绍 ATMEL 公司的 CPLD 芯片 ATF1508AS 的特点及应用。ATF1508AS 是利用 ATMEL 成熟的电擦除技术实现的高性能、高密度的复杂可编程逻辑器件 (CPLD), 与 ALTERA 公司的 EPM7000 系列引脚完全兼容; 可以将 EPM7000 的 POF 文件转换为适合 ATF1508AS 的工业标准 JEDEC 编程文件, 下载到 ATF1508AS 芯片中。

1 ATF1508AS 的特点

ATF1508AS 是利用 ATMEL 成熟的电擦除技术实现的高性能、高密度的复杂可编程逻辑器件 (CPLD)。它有 128 个逻辑宏单元和最大 100 个输入, 能很容易地集成一系列 TTL、SSI、MSI、LSI 和传统 PLD 的逻辑功能。ATF1508AS 的增强型路由由开关矩阵增加了可用的门数和设计改变时引脚锁定的成功率, 这是非常重要的。ATF1508AS 有 96 个双向 I/O 引脚和 4 个输入引脚。这 4 个输入引脚也可以用于全局控制信号、全局寄存器时钟、全局复位和全局输出允许。

128 个宏单元中的每一个都产生一个隐藏的反馈回路到全局总线, 每一个输入引脚、I/O 引脚也都汇入全局总线。每个逻辑块的开关矩阵从全局总线中

选择 40 个独立的信号，每一个宏单元也产生一个返送逻辑项到局部总线。宏单元之间的级联逻辑可以快速有效地实现复杂的逻辑功能。ATF1508AS 包括八个这样的逻辑链，每一个都能通过扇入最多 40 个乘积项实现逻辑项求和。

ATF1508AS 是在系统编程 (ISP) 器件。它用工业标准的 4 脚 JTAG 接口 (IEEE 标准 1149.1)，完全与 JTAG 的边界扫描描述语言 (BSDL) 兼容。ISP 允许器件不用从印刷电路板上拿走就可编程；除简化生产流程外，ISP 也允许通过软件进行设计修改。

ATF1508AS 的引脚保持电路提供对所有输入和 I/O 引脚的设置。当任何引脚驱动到高电平或低电平，紧接着引脚被悬空时，引脚将保持先前的高电平或低电平状态。这种电路防止没有用到的输入和 I/O 线悬空而成为中间的电压值，这会导致不必要的功耗和系统噪声。引脚保持电路去除了对外部上拉电阻的需要和直流功耗。

ATF1508AS 的加密特性可以保护 ATF1508AS 的设计内容。两个字节 (16 位) 的用户信号可被用户存取，能存放工程名、部件号、版本或日期等，而且用户信号的存取不受加密熔丝的状态影响。

ATF1508AS 具有上电复位特性。在上电期间，所有的 I/O 引脚将为三态，直到 VCC 到达上电电压，这样可防止在上电期间发生总线竞争。ATF1508AS 的寄存器设计成在上电时复位，从 VCC 上升到 VRST 后的微小的延时，所有的寄存器将复位到低电平，输出状态要根据缓冲器的极性设置。这种特性对于状态机的初始化是比较关键的。

2 ATF1508AS 的宏单元

ATF1508AS 的宏单元如图 1 所示。它的宏单元非常灵活，足以支持高复杂逻辑功能并且高速工作。宏单元包括五个部分：乘积项和乘积项选择多路复用器、或/异或/级联逻辑、触发器、输出选择和使能、逻辑阵列输入。没有用到的宏单元可由编译器禁止以降低功耗。

(1) 乘积项和乘积项选择矩阵

每一个宏单元有 5 个乘积项，每个乘积项作为它的输入从全局总线和局部总线接收所有信号。乘积项选择矩阵 (PTMUX) 按需分配这 5 个乘积项到宏单元的逻辑门，也负责分配控制信号。乘积项选择矩阵的编程是由设计编译器决定的，编译器将选择优化的宏单元配置。

(2) 或/异或/级联逻辑

ATF1508AS 的逻辑结构是为有效地支持所有的逻辑而设计的。在一个宏单元内，所有的乘积项可以被布进或门，产生一个 5 输入的和/或求和项。通过邻近的宏单元扇入额外的乘积项，可以扩展到 40 个乘积项而只有很小的延时。宏单元的异或门允许有效地实现比较和算术功能，其中异或门的一个输入来自或运算的求和项，另一个输入可以是一个乘积项或一个固定的高电平或低电平。

对于组合逻辑输出，固定电平允许极性选择；对于时序逻辑，固定电平允许利用反演规则（摩根定律的推论）化简乘积项。异或门也可以用于仿真 T 型和 JK 型触发器。

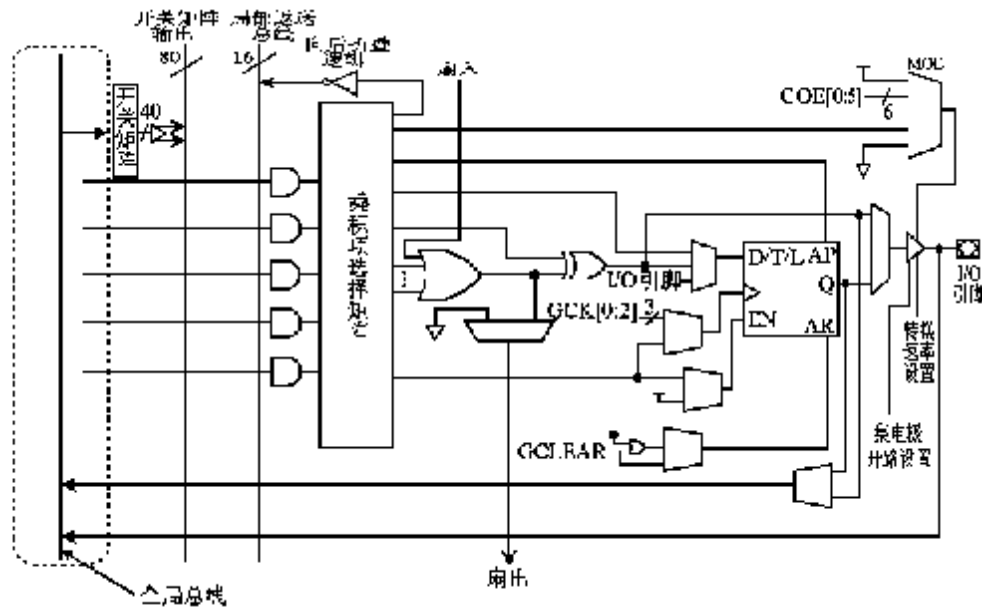


图1 ATF1508AS的宏单元

(3) 触发器

ATF1508AS 的触发器有非常灵活的数据和控制功能。触发器的输入可以来自于异或门、一个单独的乘积项或直接由 I/O 口输入。选择单独的乘积项允许在一个组合逻辑输出宏单元内生成一个隐藏的寄存器反馈（这个特性是由 fitter 软件自动实现的）。除 D、T、JK 和 SR 类型外，ATF1508AS 的触发器还可配置为锁存器。在这种模式中，当时钟为高时，数据通过；当时钟为低时，数据锁存。

时钟信号可以是全局 CLK 信号 (GCK) 和一个单独的乘积项。触发器在时钟的上升沿改变状态。当 GCK 信号作为时钟信号时，宏单元的一个乘积项可以选择作为时钟允许信号。当使用时钟使能功能时，使能信号（乘积项）为低时，所有的时钟边沿将被忽略。触发器的异步复位信号 (AR) 可以是全局复位信号 (GCLEAR)、一个乘积项或不使用。AR 也可以是 GCLEAR 和一个乘积项的逻辑或输出。异步置位信号 (AP) 可以是一个乘积项或不使用。

(4) 输出选择和使能

ATF1508AS 宏单元的输出可以选择为寄存器型和组合格型。隐藏的反馈信号可以是组合或寄存器信号而不管输出是组合格型还是寄存器型。输出使能多路复用器 (MOE) 控制输出使能信号。如果是简单的输出操作，任何缓冲器都可以永久使能。如果引脚用作输入，缓冲器也可以永久禁止。在这种配置下，所有的宏单元资源仍然可用，包括隐藏的反馈信号、扩展器和级联逻辑。每一个宏单

元的输出使能信号都可以选择一个全局输出使能信号。该器件有 6 个全局输出使能信号（OE）。

(5) 逻辑阵列输入

逻辑阵列输入包括全局总线/开关矩阵和返送总线：

◇ 全局总线/开关矩阵

全局总线包括所有的输入和 I/O 引脚信号以及所有 128 个宏单元的隐藏反馈信号。每个逻辑块的开关矩阵将全局总线的所有信号作为其输入。在软件的控制下，这些信号中最多可以有 40 个被选择作为逻辑块的输入。

◇ 返送总线

每一个宏单元可以产生一个返送乘积项。这个信号连接到局部总线上，并且对 16 个宏单元有效，它是宏单元一个乘积项的反极性。每个局部总线的 16 个返送项允许产生高扇入求和项（最多 21 个乘积项），而只有很小的延时。

3 设计软件支持

ATMEL 公司提供了 CPLD 的设计软件，而且很多第三方的工具软件也支持 ATF1508AS 的设计，可以用多种高级描述语言和格式进行逻辑描述，如 CUPL、ABEL、VHDL 等。由于 ATF1508AS 与 ALTERA 公司的 EPM7000 系列是完全引脚兼容的，因此可以使用 ALTERA 公司的 MAXPLUS II 软件。它能进行 VHDL 语言的编译和综合，使用方便，功能强大。MAXPLUS II 综合后产生适合 ALTERA 的 CPLD 编程的 POF 文件，使用 POF2JED 软件（ATMEL 公司提供），就可将 POF 文件转换为适合 ATF1508AS 的工业标准 JEDEC 编程文件，下载到 ATF1508AS 芯片中。

4 器件编程

ATF1508AS 器件是利用 4 脚 JTAG 协议在系统编程（ISP）的。ATMEL 提供了 ISP 硬件（下载电缆）和软件，以允许从 PC 对 ATF1508AS 进行编程。若要允许 ISP 编程支持"自动测试装置（ATE）"向量，必须通过 ATMEL 的 ISP 软件生成串行向量格式（SVF）文件，也可转换为除 SVF 外的其它 ATE 测试格式。ATF1508AS 器件也可以用标准的第三方编程器来编程，这时 JTAG ISP 口可以被禁止从而允许这四个额外的 I/O 引脚用于逻辑功能。

ATF1508AS 还有一个特性就是如果由于任何原因编程过程被中断，则器件将被锁定以防止输入和 I/O 引脚被驱动。在这种状态下，输入和 I/O 引脚缺省下为高阻状态。在编程器件时，输入和 I/O 引脚也将为高阻状态。此外，引脚保持电路设置在器件编程期间将保持以前的状态。ATF1508AS 器件出厂时被初始化为已擦除状态，可以直接用来 ISP 编程。

5 应用实例

(1) 应用 ATF1508AS 进行串并转换

本系统应用 ATMEL 公司的 ATF1508AS 进行串行数据到并行数据的转换，在进行数据采集中，用到 Crystal 半导体公司生产的 24 位高精度 Σ - Δ 模/数转换器 CS5321/CS5322 组件。该组件最终输出字长为 24 位的 2 的补码格式的串行数字信号，将其转换为并行数据可以方便与单片机的接口。串并转换可采用移位寄存器来实现。对实现 6 通道 24 位采样，若采用移位寄存器，则需要 8 位移位寄存器，共 $3 \times 6 = 18$ 片，另外还要用几片译码器。这样，会使芯片数量大增，占用大片电路板面积，使系统的体积增大。本系统使用 ATF1508AS 来实现 6 通道 24 位数据的串并转换，可将大部分数字逻辑设计（包括组合逻辑和时序逻辑）集成在一个芯片内，大幅减少芯片数量，减小系统体积。

由于 ATF1508AS 内部有 128 个宏单元，而且 24 位串并转换需要 24 个移位寄存器，因此不能同时进行 6 通道的串并转换，只能分时复用。本系统分 3 次进行串并转换，每次转换 2 个通道，等待单片机读取 2 个通道的并行数据后再进行剩下的转换。部分串并转换 VHDL 程序如下（硬件描述语言是 VHDL，软件是 ALTERA 公司的 MAXPLUS II 软件和 ATMEL 公司的 POF2JED 软件，下载软件是 ATMEL 公司的 ATMISP，下载电缆是 ATMEL 公司的专用电缆）：

```
s2p : process(SCLK1M,DRDYIN,WORKING,RESET)
begin
  if WORKING='1' or RESET='1' then
    shift_enable <= '0';
    state <= s0;
  elsif SCLK1M'event and SCLK1M='0' then
    count1 <= count1+1;
    case state is
      when s0 => if DRDYIN='0' then
        shift_enable <= '1';
        count1 <= (others=>'0');
        int_reg <= '1';
        state <= s1;
      elsif READOK='1' then
        int_reg <= '1';
      end if;
      when s1=> shift_reg0<=shift_reg0(22 downto 0)& SOD(0);
        shift_reg1<=shift_reg1(22 downto 0)& SOD(1);
        if count1=23 then
          shift_enable <= '0';
          int_reg <= '0';
          state <= s2;
        else
```

```
int_reg <= '1'; end if;
when s2 => if shift_enable='1' then
shift_reg0<=shift_reg0(22 downto 0)& SOD(2);
shift_reg1<=shift_reg1(22 downto 0)& SOD(3);
if count1=23 then
shift_enable <= '0';
int_reg <= '0';
state <= s3;
else
int_reg <= '1'; end if;
elsif READOK='1' then
shift_enable <= '1';
count1 <= (others=>'0');
end if;
when s3 =>if shift_enable='1' then
shift_reg0<=shift_reg0(22 downto 0)& SOD(4);
shift_reg1<=shift_reg1(22 downto 0)& SOD(5);
if count1=23 then
shift_enable <= '0';
int_reg <= '0';
state <= s0;
else
int_reg <= '1'; end if;
elsif READOK='1' then
shift_enable <= '1';
count1 <= (others=>'0');
end if;
end case;
end if;
end process;
```

(2) 应用 ATF1508AS 进行高速 USB 通信

USB 是近年来应用在 PC 领域的新型接口技术，具有使用方便、速度快、连接灵活、支持热插拔等特点。USB1.1 协议定义在高速下 12 Mb/s、低速下 1.5 Mb/s 的传输速度。若要达到高速 12 Mb/s（相当于近 1 MB/s）的速度，就要大约 1 μ s 传输 1 个字节。但由于 USB 的控制传输、错误检测以及单片机本身速度的限制，很难达到这么高的速度，因此，必须采用 DMA 方式才能达到真正的高速传输，使用 CPLD 就可以实现类似 DMA 方式。单片机负责解释 USB 的控制传输，当要进行从外存取数送到 USB 接口芯片时，单片机让出总线，由 CPLD 完成该工作。CPLD 产生外存的读取时序和地址、片选信号，同时产生 USB 接口芯片的写时序和地址、片选信号，这样就可以自动实现外存数据到 USB 接口芯片的工作，而且速度很快，不需要单片机干预。以下给出 RAM 的读取时序、地址信号和 USB 接口芯片写时序的 VHDL 程序片断：

```
rram1 : process(SCLK2M) -- RAM_OE (RAM 读时序)
begin
if SCLK2M'event and SCLK2M='1' then
if read='0' then
ram_oe_reg <= '1';
cpld2_counter <= (others=>'0');
elsif read='1' then
cpld2_counter <= cpld2_counter+1;
if cpld2_counter>0 then
ram_oe_reg <= not ram_oe_reg;
end if;
end if;
end if;
end process;

rram2 : process(SCLK2M,WORKING,RESET) -- ADDRESS (RAM 地址信号)
begin
if WORKING='1' or RESET='1' then
adr_reg <= (others=>'0');
elsif SCLK2M'event and SCLK2M='0' then
if read='1' and ram_oe_reg='1' and cpld2_counter>2 then
adr_reg <= adr_reg+1;
end if;
end if;
end process;

wd12 : process(SCLK2M) --USB 芯片读时序
begin
if SCLK2M'event and SCLK2M='0' then
if read='0' then
d12_wr_reg <= '1';
elsif read='1' and cpld2_counter/=129 then
d12_wr_reg <= not d12_wr_reg;
end if;
end if;
end process;
```

结束语

CPLD 器件的优势在于缩短开发生产周期,现场灵活性好,而且随着电子技术的发展,其集成度越来越高,速度越来越快,价格也逐渐降低,因此市场发展很快。ATMEL 公司的 ATF1508AS 是高性能、高密度的复杂可编程逻辑器件,使用方便,具有很高的性价比,因此具有广阔的应用前景。

参考文献

- 1 ATMEL Corp. ATF1508AS Users Manual
- 2 ATMEL Corp. Designing for In-System Programmability with Atmel CPLDS
- 3 ATMEL Corp. Atmel PLD Frequently Asked Questions
- 4 Stefan Sjöholm, Lennart Lindh. 用 VHDL 设计电子线路. 北京: 清华大学出版社, 2000
- 5 PHILIPS Corp. PDIUSB12 Users Manual

本文内容来自互联网, 著作权归原作者所有。由电子零件城 (<http://www.epcity.com/>) 整理并制作成 PDF 文件, 仅供个人学习之用, 不得用于任何商业目的, 否则后果自负。如果您认为本 PDF 文件侵犯了您的任何权利, 请来信 epcity@epcity.com 通知, 本站立即删除。

搜集整理: 电子零件城-笨笨兔 (QQ: 154502842) 2004-04-10