

pcb 布局布线技巧及原则

[2009-11-16 0:19:00 | By: lanzeex]

PCB 布局、布线基本原则

一、元件布局基本规则

1. 按电路模块进行布局，实现同一功能的相关电路称为一个模块，电路模块中的元件应采用就近集中原则，同时数字电路和模拟电路分开；
2. 定位孔、标准孔等非安装孔周围 1.27mm 内不得贴装元、器件，螺钉等安装孔周围 3.5mm（对于 M2.5）、4mm（对于 M3）内不得贴装元器件；
3. 卧装电阻、电感（插件）、电解电容等元件的下方避免布过孔，以免波峰焊后过孔与元件壳体短路；
4. 元器件的外侧距板边的距离为 5mm；
5. 贴装元件焊盘的外侧与相邻插装元件的外侧距离大于 2mm；
6. 金属壳体元器件和金属件（屏蔽盒等）不能与其它元器件相碰，不能紧贴印制线、焊盘，其间距应大于 2mm。定位孔、紧固件安装孔、椭圆孔及板中其它方孔外侧距板边的尺寸大于 3mm；
7. 发热元件不能紧邻导线和热敏元件；高热器件要均衡分布；
8. 电源插座要尽量布置在印制板的四周，电源插座与其相连的汇流条接线端应布置在同侧。特别应注意不要把电源插座及其它焊接连接器布置在连接器之间，以利于这些插座、连接器的焊接及电源线缆设计和扎线。电源插座及焊接连接器的布置间距应考虑方便电源插头的插拔；
9. 其它元器件的布置：
所有 IC 元件单边对齐，有极性元件极性标示明确，同一印制板上极性标示不得多于两个方向，出现两个方向时，两个方向互相垂直；
10. 板面布线应疏密得当，当疏密差别太大时应以网状铜箔填充，网格大于 8mil（或 0.2mm）；
11. 贴片焊盘上不能有通孔，以免焊膏流失造成元件虚焊。重要信号线不准从插座脚间穿过；
12. 贴片单边对齐，字符方向一致，封装方向一致；
13. 有极性的器件在以同一板上的极性标示方向尽量保持一致。

二、元件布线规则

1. 画定布线区域距 PCB 板边 $\leq 1\text{mm}$ 的区域内，以及安装孔周围 1mm 内，禁止布线；
2. 电源线尽可能的宽，不应低于 18mil；信号线宽不应低于 12mil；cpu 入出线不应低于 10mil（或 8mil）；线间距不低于 10mil；
3. 正常过孔不低于 30mil；
4. 双列直插：焊盘 60mil，孔径 40mil；
1/4W 电阻：51*55mil（0805 表贴）；直插时焊盘 62mil，孔径 42mil；
无极电容：51*55mil（0805 表贴）；直插时焊盘 50mil，孔径 28mil；
5. 注意电源线与地线应尽可能呈放射状，以及信号线不能出现回环走线。

如何提高抗干扰能力和电磁兼容性

在研制带处理器的电子产品时，如何提高抗干扰能力和电磁兼容性？

1、下面的一些系统要特别注意抗电磁干扰：

- (1) 微控制器时钟频率特别高，总线周期特别快的系统。
- (2) 系统含有大功率，大电流驱动电路，如产生火花的继电器，大电流开关等。
- (3) 含微弱模拟信号电路以及高精度 A/D 变换电路的系统。

2、为增加系统的抗电磁干扰能力采取如下措施：

- (1) 选用频率低的微控制器：

选用外时钟频率低的微控制器可以有效降低噪声和提高系统的抗干扰能力。同样频率的方波和正弦波，方波中的高频成份比正弦波多得多。虽然方波的高频成份的波的幅度，比基波小，但频率越高越容易发射出成为噪声源，微控制器产生的最有影响的高频噪声大约是时钟频率的 3 倍。

- (2) 减小信号传输中的畸变

微控制器主要采用高速 CMOS 技术制造。信号输入端静态输入电流在 1mA 左右，输入电容 10PF 左右，输入阻

抗相当高，高速 CMOS 电路的输出端都有相当的带载能力，即相当大的输出值，将一个门的输出端通过一段很长线引到输入阻抗相当高的输入端，反射问题就很严重，它会引起信号畸变，增加系统噪声。当 $T_{pd} > T_r$ 时，就成了一个传输线问题，必须考虑信号反射，阻抗匹配等问题。

信号在印制板上的延迟时间与引线的特性阻抗有关，即与印制线路板材料的介电常数有关。可以粗略地认为，信号在印制板引线的传输速度，约为光速的 1/3 到 1/2 之间。微控制器构成的系统中常用逻辑元件的 T_r （标准延迟时间）为 3 到 18ns 之间。

在印制线路板上，信号通过一个 7W 的电阻和一段 25cm 长的引线，线上延迟时间大致在 4~20ns 之间。也就是说，信号在印刷线路上的引线越短越好，最长不宜超过 25cm。而且过孔数目也应尽量少，最好不多于 2 个。当信号的上升时间快于信号延迟时间，就要按照快电子学处理。此时要考虑传输线的阻抗匹配，对于一块印刷线路板上的集成块之间的信号传输，要避免出现 $T_d > T_{rd}$ 的情况，印刷线路板越大系统的速度就越不能太快。

用以下结论归纳印刷线路板设计的一个规则：

信号在印刷板上传输，其延迟时间不应大于所用器件的标称延迟时间。

- (3) 减小信号线间的交*干扰：

A 点一个上升时间为 T_r 的阶跃信号通过引线 AB 传向 B 端。信号在 AB 线上的延迟时间是 T_d 。在 D 点，由于 A 点信号的向前传输，到达 B 点后的信号反射和 AB 线的延迟， T_d 时间以后会感应出一个宽度为 T_r 的正脉冲信号。在 C 点，由于 AB 上信号的传输与反射，会感应出一个宽度为信号在 A B 线上的延迟时间的两倍，即 $2T_d$ 的正脉冲信号。这就是信号间的交*干扰。干扰信号的强度与 C 点信号的 di/at 有关，与线间距离有关。当两信号线不是很长时，AB 上看到的实际是两个脉冲的迭加。

CMOS 工艺制造的微控制由输入阻抗高，噪声高，噪声容限也很高，数字电路是迭加 100~200mv 噪声并不影响其工作。若图中 AB 线是一模拟信号，这种干扰就变为不能容忍。如印刷线路板为四层板，其中有一层是大面积的地，或双面板，信号线的反面是大面积的地时，这种信号间的交*干扰就会变小。原因是，大面积的地减小了信号线的特性阻抗，信号在 D 端的反射大为减小。特性阻抗与信号线到地间的介质的介电常数的平方成反比，与介质厚度

的自然对数成正比。若 AB 线为一模拟信号，要避免数字电路信号线 CD 对 AB 的干扰，AB 线下方要有大面积的地，AB 线到 CD 线的距离要大于 AB 线与地距离的 2~3 倍。可用局部屏蔽地，在有引结的一面引线左右两侧布以地线。

(4) 减小来自电源的噪声

电源在向系统提供能源的同时，也将其噪声加到所供电的电源上。电路中微控制器的复位线，中断线，以及其它一些控制线最容易受外界噪声的干扰。电网上的强干扰通过电源进入电路，即使电池供电的系统，电池本身也有高频噪声。模拟电路中的模拟信号更经受不住来自电源的干扰。

(5) 注意印刷线路板与元器件的高频特性

在高频情况下，印刷线路板上的引线，过孔，电阻、电容、接插件的分布电感与电容等不可忽略。电容的分布电感不可忽略，电感的分布电容不可忽略。电阻产生对高频信号的反射，引线的分布电容会起作用，当长度大于噪声频率相应波长的 1/20 时，就产生天线效应，噪声通过引线向外发射。

印刷线路板的过孔大约引起 0.6pf 的电容。

一个集成电路本身的封装材料引入 2~6pf 电容。

一个线路板上的接插件，有 520nH 的分布电感。一个双列直插的 24 引脚集成电路插座，引入 4~18nH 的分布电感。

这些小的分布参数对于这行较低频率下的微控制器系统中是可以忽略不计的；而对于高速系统必须予以特别注意。

(6) 元件布置要合理分区

元件在印刷线路板上排列的位置要充分考虑抗电磁干扰问题，原则之一是各部件之间的引线要尽量短。在布局上，要把模拟信号部分，高速数字电路部分，噪声源部分（如继电器，大电流开关等）这三部分合理地分开，使相互间的信号耦合为最小。

G 处理好接地线

印刷电路板上，电源线和地线最重要。克服电磁干扰，最主要的手段就是接地。

对于双面板，地线布置特别讲究，通过采用单点接地法，电源和地是从电源的两端接到印刷线路板上来的，电源一个接点，地一个接点。印刷线路板上，要有多个返回地线，这些都会聚到回电源的那个接点上，就是所谓单点接地。所谓模拟地、数字地、大功率器件地分开，是指布线分开，而最后都汇集到这个接地点上来。与印刷线路板以外的信号相连时，通常采用屏蔽电缆。对于高频和数字信号，屏蔽电缆两端都接地。低频模拟信号用的屏蔽电缆，一端接地为好。

对噪声和干扰非常敏感的电路或高频噪声特别严重的电路应该用金属罩屏蔽起来。

(7) 用好去耦电容。

好的高频去耦电容可以去除高到 1GHz 的高频成份。陶瓷片电容或多层陶瓷电容的高频特性较好。设计印刷线路板时，每个集成电路的电源，地之间都要加一个去耦电容。去耦电容有两个作用：一方面是本集成电路的蓄能电容，提供和吸收该集成电路开门关门瞬间的充放电能；另一方面旁路掉该器件的高频噪声。数字电路中典型的去耦电容为 0.1uf 的去耦电容有 5nH 分布电感，它的并行共振频率大约在 7MHz 左右，也就是说对于 10MHz 以下的噪声

有较好的去耦作用，对 40MHz 以上的噪声几乎不起作用。

1uf, 10uf 电容，并行共振频率在 20MHz 以上，去除高频率噪声的效果要好一些。在电源进入印刷板的地方和一个 1uf 或 10uf 的去高频电容往往是有利的，即使是用电池供电的系统也需要这种电容。

每 10 片左右的集成电路要加一片充放电电容，或称为蓄放电容，电容大小可选 10uf。最好不用电解电容，电解电容是两层薄膜卷起来的，这种卷起来的结构在高频时表现为电感，最好使用钽电容或聚碳酸酯电容。

去耦电容值的选取并不严格，可按 $C=1/f$ 计算；即 10MHz 取 0.1uf，对微控制器构成的系统，取 0.1~0.01uf 之间都可以。

3、降低噪声与电磁干扰的一些经验。

- (1) 能用低速芯片就不用高速的，高速芯片用在关键地方。
- (2) 可用串一个电阻的办法，降低控制电路上下沿跳变速率。
- (3) 尽量为继电器等提供某种形式的阻尼。
- (4) 使用满足系统要求的最低频率时钟。
- (5) 时钟产生器尽量*近到用该时钟的器件。石英晶体振荡器外壳要接地。
- (6) 用地线将时钟区圈起来，时钟线尽量短。
- (7) I/O 驱动电路尽量*近印刷板边，让其尽快离开印刷板。对进入印制板的信号要加滤波，从高噪声区来的信号也要加滤波，同时用串终端电阻的办法，减小信号反射。
- (8) MCD 无用端要接高，或接地，或定义成输出端，集成电路上该接电源地的端都要接，不要悬空。
- (9) 闲置不用的门电路输入端不要悬空，闲置不用的运放正输入端接地，负输入端接输出端。（10）印制板尽量使用 45 折线而不用 90 折线布线以减小高频信号对外的发射与耦合。
- (11) 印制板按频率和电流开关特性分区，噪声元件与非噪声元件要距离再远一些。
- (12) 单面板和双面板用单点接电源和单点接地、电源线、地线尽量粗，经济是能承受的话用多层板以减小电源，地的容生电感。
- (13) 时钟、总线、片选信号要远离 I/O 线和接插件。
- (14) 模拟电压输入线、参考电压端要尽量远离数字电路信号线，特别是时钟。
- (15) 对 A/D 类器件，数字部分与模拟部分宁可统一下也不要交*。
- (16) 时钟线垂直于 I/O 线比平行 I/O 线干扰小，时钟元件引脚远离 I/O 电缆。
- (17) 元件引脚尽量短，去耦电容引脚尽量短。
- (18) 关键的线要尽量粗，并在两边加上保护地。高速线要短要直。
- (19) 对噪声敏感的线不要与大电流，高速开关线平行。
- (20) 石英晶体下面以及对噪声敏感的器件下面不要走线。
- (21) 弱信号电路，低频电路周围不要形成电流环路。
- (22) 任何信号都不要形成环路，如不可避免，让环路区尽量小。
- (23) 每个集成电路一个去耦电容。每个电解电容边上都要加一个小的*高频旁路电容。
- (24) 用大容量的钽电容或聚酯电容而不用电解电容作电路充放电储能电容。使用管状电容时，外壳要接地。

摘要： PCB 布局的准则操作技巧& 滤波电容、去耦电容、旁路电容作用& 在一个大的电容上还并联一个小电容的原因。

PCB 布局的准则操作技巧& 滤波电容、去耦电容、旁路电容作用& 在一个大的电容上还并联一个小电容的原因。

总结几个常用的操作技巧：

尽量将去耦电容和滤波电容等放置在对应元件的周围。去耦电容和滤波电容的布置是改善电路板的电源质量，提高抗干扰能力的一项重要举措。实际上，印制电路板的走线、引脚连线和接线等都有可能带来较大的电感效应，电感的存在会在电源线上引起纹波和毛刺，而在电源和地之间放置一个 0.1uF 的去耦电容可以有效滤除高频纹波，如果电路板上使用的是贴片电容，可以使贴片电容紧靠着元件的电源引脚。对于一些电源转换芯片，或者是电源输入端，最好还布置一个 10uF 或者更大的电容，以进一步改善电源的质量。

制作元件库时一定要把第一脚标上记号。

元件尺寸拿不准就 1:1 打印出来，拿实件直接比对。

导入用原理图生成的网络表，在 PCB 上显示的飞线可极大地帮助布局和走线。

元件布局时不要用 X, Y 键来翻转元件，否则无法焊接。

两层板走线的一种方法是：一面只走横线，一面只走纵线。

焊盘附近不要有不相关的过孔。

设计规则中主要设定线宽 Width 和间距 Clearance。

快捷键：

E-S-C(Ctrl+H) 高亮一条物理连接

P-T 交互式布线

* 在层之间切换，在布线时可自动添加一个过孔

Tab 打开鼠标上粘着的元件、过孔或者线的属性

M-D 拖动一条线或者过孔，同时其两个端点也同时移动

M-M 仅拖动一条线或者过孔

M-E 拖动一个端点

Space	对元件可以 90 度旋转，对走线可 45 度旋转。
Ctrl+M	测量尺寸
End	刷新屏幕
PageUp/Down	放大，缩小

Ctrl+鼠标滚轮 较精细地放大，缩小，缩到一定程度，在屏幕上即可看到 1:1 的大小，可拿实际元件直接比对。

再补充：沧州寰宇电路板加工工艺：线 6mil, 间距 6mil, 过孔内径 12mil, 外径 22mil

滤波电容、去耦电容、旁路电容作用

滤波电容用在电源整流电路中，用来滤除交流成分。使输出的直流更平滑。

去耦电容用在放大电路中不需要交流的地方，用来消除自激，使放大器稳定工作。

旁路电容用在有电阻连接时，接在电阻两端使交流信号顺利通过。

1. 关于去耦电容蓄能作用的理解

1) 去耦电容主要是去除高频如 RF 信号的干扰，干扰的进入方式是通过电磁辐射。

而实际上，芯片附近的电容还有蓄能的作用，这是第二位的。

你可以把总电源看作密云水库，我们大楼内的家家户户都需要供水，

这时候，水不是直接来自于水库，那样距离太远了，

等水过来，我们已经渴的不行了。

实际水是来自于大楼顶上的水塔，水塔其实是一个 buffer 的作用。

如果微观来看，高频器件在工作的时候，其电流是不连续的，而且频率很高，

而器件 VCC 到总电源有一段距离，即便距离不长，在频率很高的情况下，

阻抗 $Z=i*\omega L$ R，线路的电感影响也会非常大，

会导致器件在需要电流的时候，不能被及时供给。

而去耦电容可以弥补此不足。

这也是为什么很多电路板在高频器件 VCC 管脚处放置小电容的原因之一

(在 vcc 引脚上通常并联一个去耦电容，这样交流分量就从这个电容接地。)

2)有源器件在开关时产生的高频开关噪声将沿着电源线传播。去耦电容的主要功能就是提供

一个局部的直流电源给有源器件，以减少开关噪声在板上的传播和将噪声引导到地

2. 旁路电容和去耦电容的区别

去耦：去除在器件切换时从高频器件进入到配电网中的 RF 能量。去耦电容还可以为器件 供局部化的 DC 电压源，它在减少跨板浪涌电流方面特别有用。

旁路：从元件或电缆中转移出不想要的共模 RF 能量。这主要是通过产生 AC 旁路消除无意的能量进入敏感的部分，另外还可以提供基带滤波功能(带宽受限)。

我们经常可以看到，在电源和地之间连接着去耦电容，它有三个方面的作用：一是作为本集成电路的蓄能电容；二是滤除该器件产生的高频噪声，切断其通过供电回路进行传播的通路；三是防止电源携带的噪声对电路构成干扰。

在电子电路中，去耦电容和旁路电容都是起到抗干扰的作用，电容所处的位置不同，称呼就不一样了。对于同一个电路来说，旁路(bypass)电容是把输入信号中的高频噪声作为滤除对象，把前级携带的高频杂波滤除，而去耦(decoupling)电容也称退耦电容，是把输出信号的干扰作为滤除对象。

在一个大的电容上还并联一个小电容的原因

大电容由于容量大，所以体积一般也比较大，且通常使用多层卷绕的方式制作，这就导致了大电容的分布电感比较大(也叫等效串联电感，英文简称 ESL)。大家知道，电感对高频信号的阻抗是很大的，所以，大电容的高频性能不好。而一些小容量电容则刚刚相反，由于容量小，因此体积可以做得很小(缩短了引线，就减小了 ESL，因为一段导线也可以看成是一个电感的)，而且常使用平板电容的结构，这样小容量电容就有很小 ESL 这样它就具有了很好的高频性能，但由于容量小的缘故，对低频信号的阻抗大。所以，如果我们为了让低频、高频信号都可以很好的通过，就采用一个大电容再并上一个电容的方式。常使用的小电容为 0.1uF 的瓷片电容，当频率更高时，还可并联更小的电容，例如几 pF，几百 pF 的。而在数字电路中，一般要给每个芯片的电源引脚上并联一个 0.1uF 的电容到地(这个电容叫做退耦电容，当然也可以理解为电源滤波电容，越靠近芯片越好)，因为在这些地方的信号主要是高频信号，使用较小的电容滤波就可以了。