

译码器是组合逻辑电路的一个重要的器件，其可以分为：变量译码和显示译码两类。变量译码一般是一种较少输入变为较多输出的器件，一般分为 2^N 次方译码和 8421BCD 码译码两类。

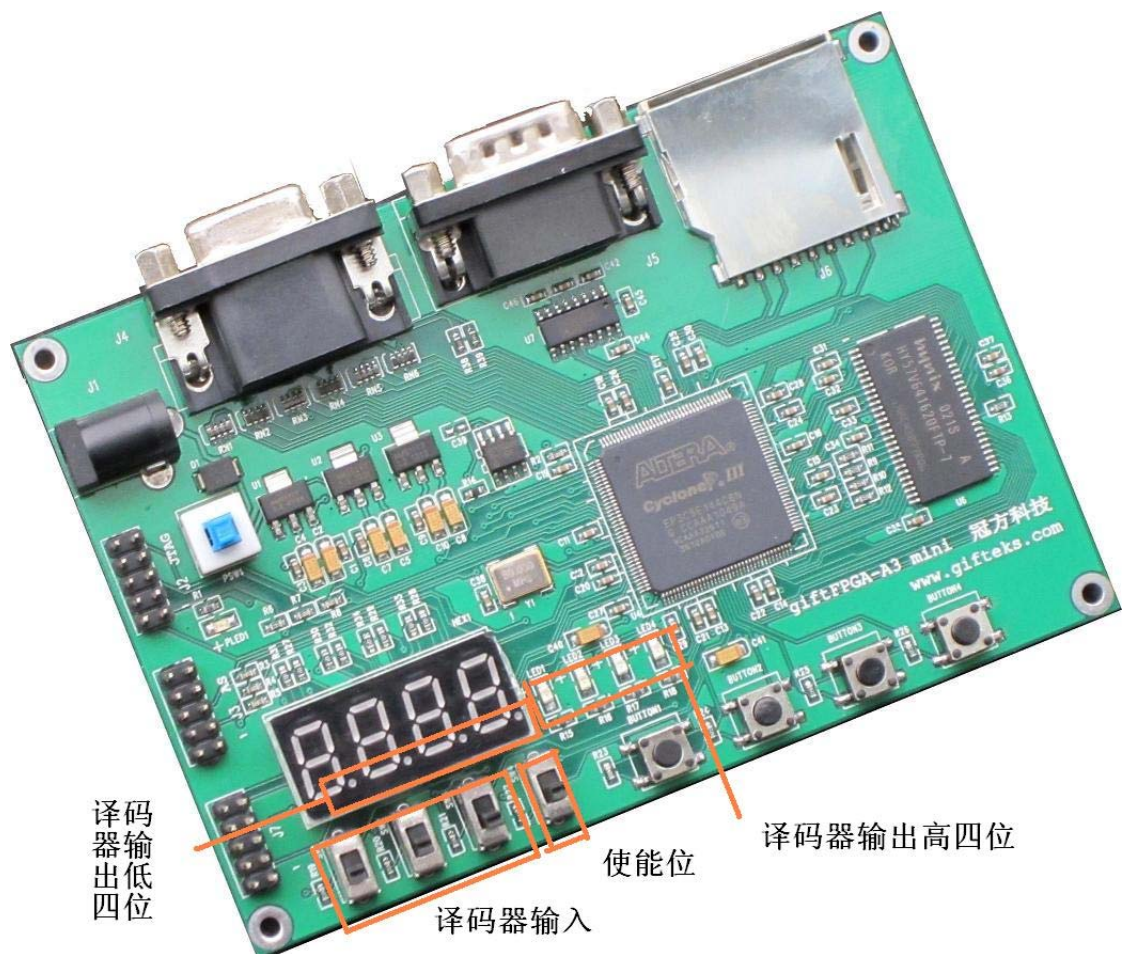
74138 是一种 3 线—8 线译码器，三个输入端 CBA 共有 8 种状态组合（000—111），可译出 8 个输出信号 Y0—Y7。3-8 译码器的详细说明请参考相关资料，本文使用 Verilog 实现一个简单的 3-8 译码器，并在硬件上验证，供 FPGA 初学者参考。

所用软件：Quartus 10.0 SP1

硬件：FPGA 礼物开发板 A3 mini 核心芯片为 CycloneIII EP3C5

3-8 译码器有 3 个输入，8 个输出，和 3 个使能位。

FPGA 礼物开发板 A3 mini 上有四个滑动开关，可以选择三个作为译码器输入，为了简化，使能位我们只用一个，使用第四个滑动开关作为使能位输入。开发板上有四个 LED，作为译码器输出的高四位，使用数码管的四个小数点做为译码器输出的低四位。参照下图。



Verilog 代码

```
module decoder3_8(dout,din,de,dp,);  
    output[7:0] dout;  
    input[2:0] din;  
    input      de;  
    output     dp;  
    reg[7:0]   dout_r;
```

```

always @(de)
    begin
        if(de==0) dout_r=8'b11110000;
        else
            begin
                dout_r=8'b00000001<<din;
                dout_r=~dout_r;

dout_r=((~dout_r)|8'b11110000)&(dout_r|8'b00001111);
                end

            end
        assign dout=dout_r;
        assign dp=1;
    endmodule

```

其中，dout 为译码器输出，din 为译码器输入，de 为使能端。dp 为数码管小数点，因为 fpga 礼物开发板上使用的是共阴数码管，dp 需要一直保持高电平，通过给数码管选择位低电平来点亮数码管小数点。而点亮 led 需要给高电平，为了保持显示效果一致，我们在相应位需要取反。

```

if(de==0) dout_r=8'b11110000;本来输出应该为 8'b11111111,为了
显示效果，第四位取反
dout_r=8'b00000001<<din;
dout_r=~dout_r;

```

这两行代码实现了 3-8 译码器逻辑，不清楚的可以参照 3-8 译码器真值表。

```

dout_r=((~dout_r)|8'b11110000)&(dout_r|8'b00001111);也是
为了显示效果需要，低四位取反。

```

3-8 译码器是组合逻辑的典型，初学者可以自己动手，练练其他的组合逻辑，练习多了，自然就掌握了。

冠方科技 <http://www.gifteks.com>