

## 光纤陀螺信号处理电路中 FPGA 与 DSP 的接口方法研究

张晓峰, 张桂才

(北京航天控制仪器研究所, 北京 100039)

**摘要:** 通常在有 FPGA (Field Programmable Gate Array) 和 DSP (Digital Signal Processor) 参与的数据采集处理系统中, 正确地解决它们之间的接口是个非常重要而且必须面对的问题。针对闭环消偏光纤陀螺信号处理中既要实现对快速 A/D 采样数据进行滤波, 同时又能保证光纤陀螺能够实现闭环控制以及具有一定的带宽, 以光纤陀螺 (FOG) 信号滤波处理电路中 FPGA 和 DSP 的接口问题为例, 探讨了三种不同的接口方案的设计思路、优缺点及其适用情况, 考虑到光纤陀螺信号处理及其滤波电路的具体情况, 最后选择利用 FPGA 内部的 FIFO (First In First Out) 数据缓冲器实现 FPGA 与 DSP 的接口方案, 它实现了逻辑芯片 FPGA 和数字信号处理器 DSP 之间无缝连接, 大大提高了 DSP 的使用效率, 解决了数据采集和数据处理(数字滤波)之间相冲突的矛盾。

**关键词:** FPGA; DSP; FOG; FIFO; 接口; 数据采集; 数字滤波

**中图分类号:** V241.5; TP212.1

**文献标识码:** A

**文章编号:** 1007-2276(2006)增 E-0243-05

## Interface technique between FPGA and DSP in the FOG signal processing circuit

ZHANG Xiao-feng, ZHANG Gui-cai

(Beijing Aerospace Control Device Institute, Beijing 100039, China)

**Abstract:** In the data acquisition and processing system involved by FPGA and DSP, it is an important and inevitable question how to deal with the interface between them. In order to ensure that the data sampled by high-speed A/D convertor can be filtered and that the closed loop control can be realized with required band width, this paper takes the interface between FPGA and DSP in the signal process and filter circuit of FOG (Fiber Optic Gyroscope) for example and analyzes the three kinds of interface methods between FPGA and DSP and their merits and shortcomings. Considering the actual signal process and filter circuit of FOG, we select the FIFO (First In First Out) buffer within the FPGA as the interface between FPGA and DSP at last. It realizes the seamless connection between FPGA and DSP, which significantly enhances the service efficiency of DSP and solves the conflict between data acquisition and data processing (digital filtering).

**Key words:** FPGA; DSP; FOG; FIFO; Interface; Data acquisition; Data processing

收稿日期: 2006-07-29

作者简介: 张晓峰 (1979-), 男, 黑龙江绥化人, 工程师, 硕士, 主要从事光纤陀螺技术及数字信号处理方面的研究工作。

## 0 引言

光纤陀螺诞生于 1976 年, 是一种利用 Sagnac 效应敏感旋转角或旋转角速率的新型全固态惯性仪表, 是在当代光通信和光电子集成等高新技术基础上发展起来的, 受到世界各国特别是军方的普遍关注, 发展非常迅速。

在数字闭环光纤陀螺的信号处理系统的设计中, 采用高速 A/D 和 D/A、FPGA 以及 DSP 等器件设计信号采集和处理电路来构成闭环控制回路。该信号采集和处理电路由前放、滤波、高速 A/D、时序与逻辑控制芯片 FPGA、DSP 电路、高速 D/A、UART 接口电路等组成。

数字信号处理器 DSP 主要完成光纤陀螺的信号滤波功能, 一处是光电信号转换完成后, 经过前放、滤波后进入逻辑主处理单元 FPGA 后生成阶梯波处的模拟前端数字滤波, 这部分滤波主要通过正、负半周期内多采样和累加移位以及平均滤波来实现; 另一处是由阶梯波生成的用来抵消 Sagnac 相移的阶梯高同时也作为实测速率信号输出时的数字滤波。

为了实现较宽频率域范围内光纤陀螺转速信号的实时测量, 要求系统具有较高的采样率和分辨率, 实时信号处理流程应该具备对大流量的采样数据的快速存储和快速运算的能力, 选用了 FPGA+DSP 方案来实现数据采集和处理, 一方面 DSP 具有较强的数据处理的特点, 适合于完成数据处理算法复杂但流量相对较低的任务, 但由于数据上传、存取控制以及各信号处理单元间通信等都需要占用 DSP 系统的外部资源, 当采样频率在几十兆赫兹以上时, DSP 就不能保证完整地存取经由 FPGA 送出的高速 A/D 转换数据, 需要借助于外部的硬件电路等协助完成数据采集和数据处理; 另一方面 FPGA(现场可编程逻辑阵列)具有较强的完成时序和逻辑控制的能力, 是高速实时数据采集处理系统外围逻辑构造的最好选择, 所以 DSP+FPGA 并配以适当数据缓存及触发控制的结构综合性实时处理系统完全满足高速采样数据流的快速存取、快速处理的实时性要求。

要充分利用 DSP 实现滤波算法, 同时又要保证陀螺具有一定带宽, 正确设计 FPGA 和 DSP 的接口是一个十分关键的步骤, 对于导航级应用的高精度光纤陀螺来说, 最大程度地抑制陀螺零漂是实现高精度光纤陀螺工程化的基本保证。从目前国内的研究情况来看, 还没有找到通用的、实用的模型, 因此有必要对实现陀螺输出数据滤波方案的某些技术问题进行必要的研究。

将针对研制中高精度光纤陀螺采用的滤波方案中的 DSP 和 FPGA 的接口设计进行研究。

## 1 FPGA 与 DSP 接口方案设计

目前, 比较常见且实用的 FPGA 与 DSP 接口方案主要有以下三种:

### 1.1 FPGA 与 DSP 通过驱动或电压转换器件 74LVCH245 直接相连

以 TI 公司的 TMS320C3x 系列 DSP 与 ALTERA 公司的 EPF10K50V 系列 FPGA 接口为例来说明 FPGA 与 DSP 通过驱动或电压转换器件 74LVCH245<sup>[1]</sup>直接相连, 其工作过程描述如下: (1) 当 DSP 有数据输出到 FPGA 时, 首先由  $\overline{\text{PAGE0}}$  和地址线  $A_0$  通过逻辑组合后, 产生数据接收申请信号至  $\text{SINTx}$  触发 FPGA 内部的接收事件, 此时 FPGA 通过  $\overline{\text{SELECT}}$  和  $\text{H}/\overline{\text{L}}$  分别选通 74LVCH245 的输出使能端  $\overline{\text{OE}}$  和方向控制  $\text{DIR}$ , 74LVCH245 数据端口由高阻态变成使能, 数据经由 74LVCH245 读入 FPGA; (2) 当 FPGA 有数据发送至 DSP 时, 由 STR 发出接收数据中断申请至  $\text{INTx}$ , DSP 响应中断, 由  $\overline{\text{PAGE0}}$  和地址线  $A_0$  通过逻辑组合产生选通 74LVCH245 的输出使能端  $\overline{\text{OE}}$  和方向控制  $\text{DIR}$  的信号, 74LVCH245 数据端口由高阻态变成使能, 数据经由 74LVCH245 读入 DSP。图 1 给出的是 FPGA 与 DSP 通过电压转换器件 74LVCH245 相连的接口示意框图。

该方案的优点是电路简单易实现, 缺点是每一次数据传送都需要 DSP 响应中断一次, 这占用了 DSP 大量

的资源, 因此这种方案若在 DSP 数字信号处理任务不是很繁重的场合中使用是一种比较经济、容易实现的途径。

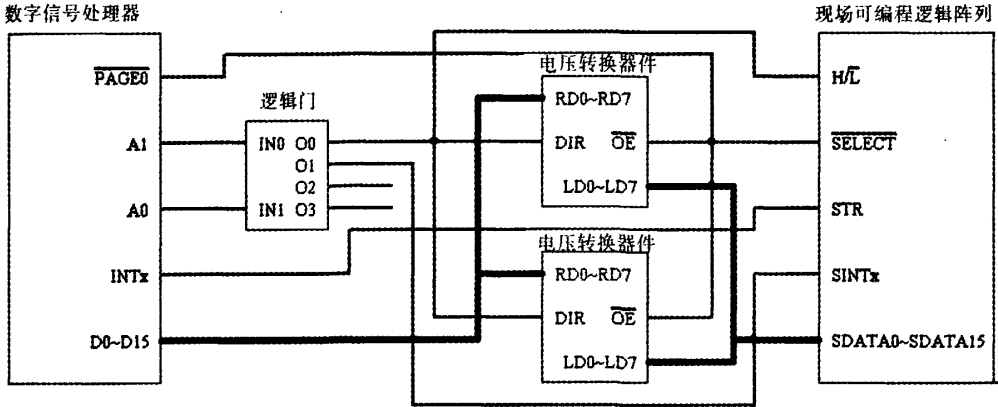


图 1 FPGA 与 DSP 通过电压转换器件 74LVCH245 直接相连

Fig.1 FPGA attached directly to DSP by piezoelectric transducer 74LVCH245

### 1.2 FPGA 与 DSP 通过 FIFO 芯片实现无缝接口

利用 FIFO (先入先出存储器件芯片) 作为输入输出缓冲器, 这里选用 CYPRESS 公司的 CY7C4285 FIFOs 作为 TI 公司的 TMS320C671x<sup>[3]</sup>系列 DSP 与 ALTERA 公司的 EPF10K50V 系列 FPGA 的缓冲接口方案, CY7C4285<sup>[2]</sup>是一款低功耗 CMOS 时钟 FIFO 存储器, 它可以实现与 FIFO 与 DSP 之间的无缝连接, DSP 访问外部存储器件必须通过外部存储器接口 EMIF (External Memory Interface), TMS320C6000 系列 DSP 的 EMIF<sup>[4][5]</sup>具有很强的接口能力, 可以与目前几乎所有类型的存储器直接接口, 图 2 是 DSP 的 EMIF 与 FIFO 接口的具体硬件实现, 当 FPGA 有数据输出时, 首先通过  $\overline{SREN}$  和  $\overline{SOE}$  选通并将数据读进 FIFO, 将 FIFO 的半满标志  $\overline{PAF}$  作为 DSP 的输入信号,  $\overline{PAF}$  用来告诉 DSP 此时 FIFO 中的有效数据是可以读取的 (而且容量是 FIFO 总大小的一半), 以便 DSP 产生一个中断来读取 FIFO 中的数据块; 同理, 当 DSP 有数据输出时, 通过  $\overline{CE3}$  和  $\overline{ARE}$  组合选通  $\overline{REN}$  以及  $\overline{AOE}$  选通  $\overline{OE}$  将数据读进 FIFO, 当数据量达到 FIFO 总容量的一半时, 由  $\overline{PAF}$  发出接收申请信号给 FPGA, FPGA 接到申请信号后将数据读进 FPGA。

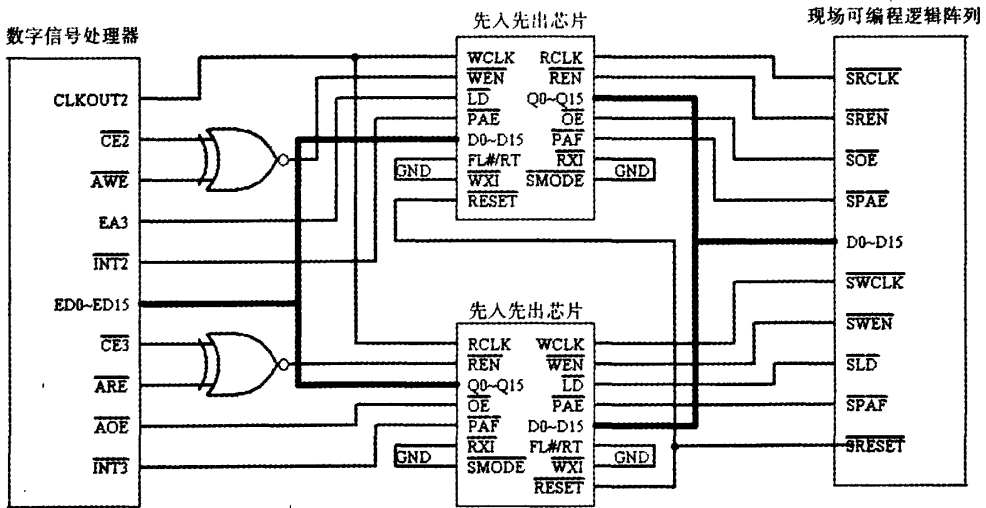


图 2 利用 CY7C4285 FIFOs 芯片实现 FPGA 与 DSP 无缝接口

Fig.2 FPGA seamlessly connected with DSP by CY7C4285 FIFOs

这种方案的优点是可以保证 DSP 有充足的时间来进行数字信号处理运算, 只有当进入 FIFO 的数据达到其容量 (CY7C4285V 64Kx18bit) 一半即半满状态时, DSP 才响应一次中断, 在中断中批量地将数据取走。另外还可以利用 TMS320C6000 系列 DSP 的 EDMA (Enhanced Direct Memory Access), 启动 EDMA 通道传输, 可将 FIFO 中的数据读入内部 RAM 中。使用 EDMA 方式传输数据的好处在于: EDMA 控制器可以独立于 CPU 工作, 从而可方便地实现片内存储器、片内外设以及外部存储空间之间的数据转移而不影响 CPU 正在执行的程序。由外部中断 INT3 启动 EDMA 传输, 可以大大提高传输速率和 CPU 的工作效率。这种方案的缺点是 FIFO 芯片在一定程度上会带来系统功耗的增加以及增加系统 PCB 印制板的面积。

### 1.3 FPGA 与 DSP 通过 FPGA 内部 FIFO 数据缓冲器实现接口

这种方案是利用 FPGA 内部通过 VHDL 语言编程制作的 FIFO (先入先出存储器件芯片) 模块作为输入输出缓冲器<sup>[6]</sup>, 这与 2.2 方案中不同的是这种方案的优点是不需要额外的增加硬件成本和 PCB 印制板的面积就可以实现 TI 公司的 TMS320C3x 系列 DSP 与 ALTERA 公司的 EPF10K50V 系列 FPGA 的理想接口方案, 但有一个要求是 FPGA 芯片的性能要足够好, 否则会影响到在其内部制作的 FIFO 模块的性能。

图 3 给出的是利用 FPGA 内部 FIFO 数据缓冲器实现 FPGA 与 DSP 通过接口示意图, 其工作过程如下: 当 DSP 有数据输出时, 通过 PAGE0 和 R/W 选通 FIFO 并开始数据传输, 当 FIFO 中接收的数据量达到其容量的一半时, 由 H\_F 发出半满“中断”信号至 FPGA 的 SINTx, FPGA 响应“中断”将一批数据取走; 当 FPGA 有数据输出时, 同样是先将数据暂存在 FIFO 中, 当存入的数据量达到其容量的一半时, 由 H\_F 发出半满信号至 DSP 的 INTx, DSP 响应中断将一批数据取走。等待着下一次中断的到来, 在这期间 DSP 可以继续执行原来的算法程序, 只需在响应下一次中断时将数据取走便可, 这大大地提高了 DSP 的工作效率, 更大程度上发挥了 DSP 和 FPGA 的性能。在很多应用中, 尤其是速度要求较高同时电路体积不能过大的场合, 利用 FPGA 内部 FIFO 数据缓冲器实现 FPGA 与 DSP 的接口已经成为主流方案之一。

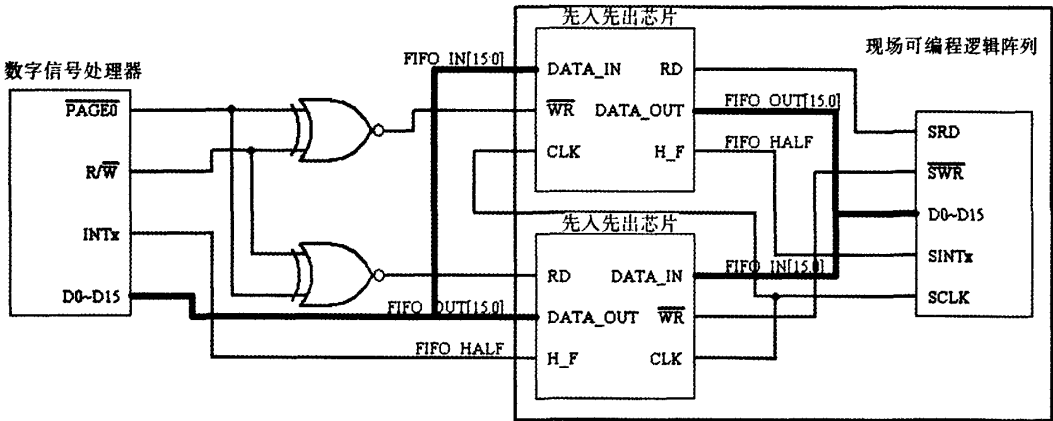


图 3 利用 FPGA 内部的 FIFO 数据缓冲器实现 FPGA 与 DSP 的接口

Fig.3 FPGA linked with DSP by the FIFO data buffer within the FPGA

除了上面介绍的三种常用 DSP 与 FIFO 接口方案之外, 还有使用双口 RAM 作为数据缓冲存储器来实现 DSP 与 FIFO 接口方案的例子, 但是相对于先入先出 FIFO 器件的使用而言, 双口 RAM 的使用要复杂一些, 限于篇幅略去了采用双口 RAM 实现 DSP 与 FPGA 接口方案的讲述。

## 2 结 论

经过分析对比上面三种方案, 并考虑到设计的光纤陀螺信号处理系统中已经选用了 ALTERA 公司 EPF10K50V FPGA 芯片作为逻辑和时序控制器, 因此最终选择了通过 FPGA 内部的 FIFO 数据缓冲器实现光纤陀螺信号处理和滤波电路中 FPGA 与 DSP 的接口, 图 4 给出了设计的光纤陀螺信号处理和滤波电路的系统结构框图, 经实验, 光纤陀螺的测试数据证明图 4 中给出的 FPGA 与 DSP 的接口形式完全能够满足中高精度光纤陀螺的带宽要求。

### 参考文献:

- [1] Philips Semiconductors. 74LVCH245 Datasheet [Z]. Philips Semiconductors, 2002.
- [2] Cypress Semiconductor Corporation. CY7C4285 datasheet[Z]. Cypress Semiconductor Corporation, 2001.
- [3] Texas Instruments Inc. TMS320C6713x Datasheet [Z]. Texas Instruments Inc, 2001.
- [4] TMS320C6000 DSP External Memory Interface (EMIF) Reference Guide, 2005, 68-96.
- [5] 王念旭.DSP基础与应用系统设计[M].北京: 北京航空航天大学出版社, 2001.
- [6] Integrated Device Technology Inc.FIFO APPLICATIONS GUIDE[Z]. Integrated Device Technology Inc., 1999.

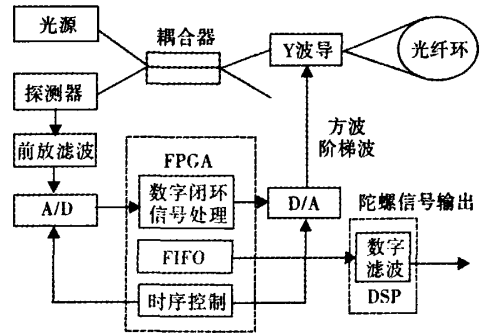


图 4 光纤陀螺信号处理和滤波电路的系统结构框图

Fig. 4 System architecture block diagram of the FOG's signal process and filter circuit