

基于 DSP+FPGA 的多相逆变器控制器设计*

蔡 巍 张晓锋 乔鸣忠 朱 鹏

(海军工程大学电气与信息工程学院 武汉 430033)

摘要:传统的 DSP 控制通常针对的是三相系统,其外设资源不能满足多相逆变器的控制要求,文中提出一种 DSP+FPGA 的控制器解决方案.特别利用了 FPGA 逻辑资源丰富,编程灵活的特点,设计了译码电路、脉冲发生、串口通信、看门狗保护、硬件状态锁存等功能单元,在有效扩展系统功能的同时,降低了运算单元的负荷,提高了整体性能.对设计进行了时序仿真,并将其应用于 8 MW 逆变器的控制系统中,结果验证了设计方案的功能性与可靠性.

关键词:数字信号处理器;现场可编程门阵列;多相;脉宽调制

中图分类号:U665.261;TM344.2

DOI:10.3963/j.issn.1006-2823.2009.01.017

0 引 言

传统逆变器采用高速处理芯片结合外围器件完成系统控制功能,特别是美国德州仪器公司 TMS320C2000 系列 DSP 运算速度快,外设资源丰富,应用最为广泛^[1].但其主要针对三相 Y 接系统,无法有效控制特殊结构逆变器.若采用功能芯片,需要大量外部电路,增加系统成本及复杂性,系统的可靠性也会受到一定的影响.

本文所提出的基于 DSP+FPGA 的系统方案,利用 FPGA 的容量大、编程灵活的特点,实现了多相逆变器系统的控制功能,主要包括:接收上位机命令、数据实时采集与处理计算、系统工作状态反馈、设备故障检测、脉冲信号的产生等.结合 DSP 具有高速信息处理能力的特点,使得本控制系统运算速度快,结构灵活,通用性强,易于维护和扩展.

1 多相逆变器拓扑结构

图 1 是五相 H 桥逆变器的拓扑结构,分为整流单元、斩波单元和逆变单元.其中逆变单元由 5 个独立的功率模块组成,每个模块采用三电平 H

桥结构,如图 2 所示.功率器件选用 IGCT.

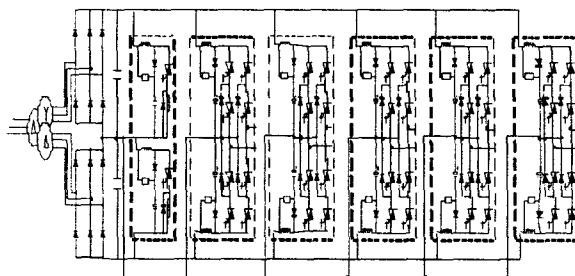


图 1 五相 H 桥逆变器的拓扑结构

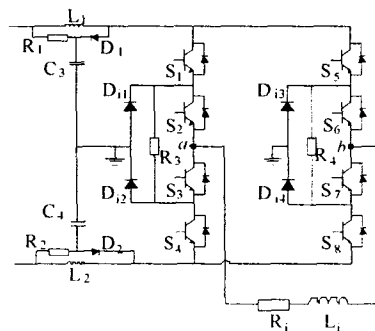


图 2 功率单元结构

结合空间矢量控制算法^[2-3]与图 2 所示三电平 H 桥结构,对单个功率模块进行控制需要 4 组 8 路 PWM 信号(每组 2 路互反信号),因此对整个逆变器实施控制共需要 20 组 40 路驱动信号.

收稿日期:2008-08-10

蔡 巍:男,25 岁,硕士生,主要研究领域为船舶电力推进系统

*国家自然科学基金委员会创新研究群体科学基金资助(批准号:50721063)

DSP 每组事件管理器 (EV) 仅能提供 3 组 6 路 PWM 输出,因此 TMS320F2812 的 2 组 EV 远远不能满足控制系统要求。

2 控制器硬件设计

为满足多相逆变器控制系统的要求,构建以 DSP 为主运算处理单元,FPGA 作从控制扩展单元的硬件系统^[4],结构如图 3 所示。

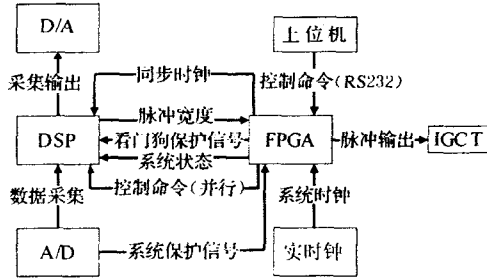


图 3 控制系统结构

硬件平台由 DSP、FPGA、模/数转换、数/模转换、实时时钟及上位机组成。其中 DSP 负责控制命令接收、运行状态反馈、脉宽计算、数据的采集与输出;FPGA 主要完成功能扩展,包括总线译码、脉冲输出、通信接口、同步时钟信号的产生、系统状态接收及保护等。由于选用的空间矢量调制方式计算量较大,实时要求性高,而 DSP 内置 A/D 只有一个转换器,因此从降低系统资源,提高运算速度方面考虑,设置外设的 A/D 单元,并在其中增加比较保护功能以提高系统的整体可靠性。

主要器件的选型如下。

1) DSP 器件 处理器采用 TI 公司的 TMS320F2812 数字信号处理芯片。它兼具运算器和微控制器的特点,性能优越,资源丰富,大大简化了外围电路的设计。

2) FPGA 器件 芯片选用 Altera 公司的 EPIK100 系列。该系列芯片采用查找表(LUT)和 EAB(嵌入式阵列块)相结合的结构,内核采用 2.5 V 电压,功耗低,能够提供高达 250 MHz 的双向 I/O 功能,支持 3.3V/5V 混合电压信号,无需额外电平转换芯片进行电平匹配。其特点正适合于具有复杂逻辑及有存储、缓冲能力系统。

3 控制器软件设计

3.1 DSP 的软件设计

考虑到控制算法的复杂度与程序的可读性,

在 CCS2000 系统下采用 C 语言对 DSP 进行开发,软件模块按功能进行划分如下图所示。

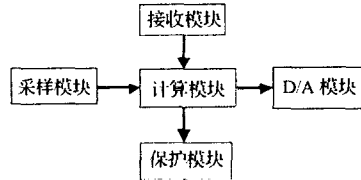


图 4 软件功能模块组成

3.2 FPGA 的软件设计

FPGA 在 QUARTUS II 开发系统下用 VHDL 语言设计,由各个子单元完成功能。

3.2.1 译码单元 FPGA 负责多路 PWM 信号的发生,RS-232 串口的接收与发送,模/数以及数/模芯片的通道选择,因此需要对 DSP 的外设地址进行译码。

译码单元将低 8 位地址以及 DSP 的 XZCS0AND1 信号连接,组成 9 位地址总线,用选择语言加以实现。

3.2.2 脉宽调制电路单元 由于 DSP 芯片不能提供系统所需数量的脉冲输出,因此采用 FPGA 进行扩展^[5]。

1) PWM 发生器 采用空间矢量控制算法,DSP 通过计算可得到一个周期内的器件导通时间,即脉宽值,且要求该导通时间为中心对称;同时针对功率单元结构,每组两管互为反向。因此仿照 DSP 的事件管理器,生成一对称的三角波与脉宽值比较,当三角波低于脉宽值,一管输出无效脉冲,另一管输出有效脉冲;当三角波高于脉宽值,两管状态反之。

2) 死区产生 为防止两管同时导通,通常采取一管先关断,一段时间后另一管导通的控制方式,这段时间称之为死区。FPGA 中死区的产生采用单管延时开通,立即关断的方式予以实现^[6]。

3) 脉冲封锁 当控制系统检测到任何硬件故障状态时,应立即闭锁脉冲,以保证功率器件安全。可采用锁存器完成。

以上 3 部分组成脉宽调制电路。图 5 为利用 QUARTUS II 进行时序仿真结果。可以看出该单元较好地实现了多路 PWM 信号的产生^[7]。

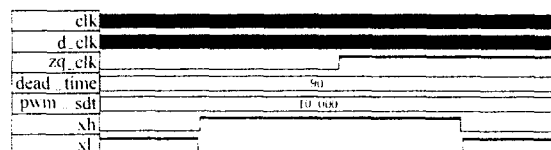


图 5 PWM 信号时序仿真

3.2.3 串口通信单元 串口单元实现与上位机的通信,包括转速的设定、启动、停车、电机运行状态的反馈等,分为发送模块和接收模块。

1) 发送模块的设计 33 MHz 主时钟通过 215 分频再进行 16 分频可以得到所采用的传输波特率(9 600 b/s),待发送数据通过并行数据总线写入到内部寄存器,再以设定的波特率和规定的串行数据传输格式将数据发送出去。发送模块的行为描述:发送模块一直等待有新的数据写入,然后进行数据发送。一旦有新的数据通过并行数据总线写入该发送缓冲队列,就会通过“发送模块控制器”和“发送数据移位寄存器”组成串行数据帧将之确认后发送。没有数据发送时,发送引脚将一直保持为高电平。图 6 所示为发送模块的时序仿真。

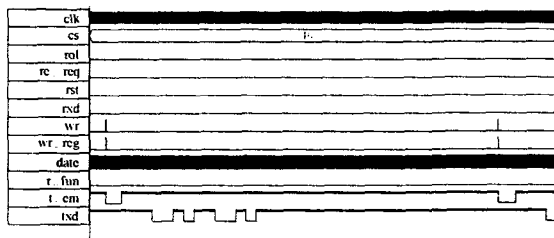


图 6 发送模块的时序仿真

2) 接收模块的设计 33 MHz 主时钟通过 215 分频再进行 16 分频可以得到所采用的传输波特率,通过对引脚符合串行传输格式的数据信号进行采样,再通过 8 位并行数据总线将之读入到缓冲队列。

接收模块的行为描述:在没有数据信号到来时,模块一直工作在空闲模式。直到接收引脚有信号输入,引脚变为低电平时,接收模块进入捕捉模式,搜索有效的数据帧的起始位。一旦得到有效的起始位,接收模块就进入移位模式,否则,系统返回到空闲模式。接收完毕后进行偶校验,数据正确则送入接收缓冲队列,接收模块进入空闲模式,等待下一组数据。当 8 组数据接收完毕后,接收缓冲队列向 DSP 送出满信号,请求读取。图 7 为接收模块的时序仿真结果。

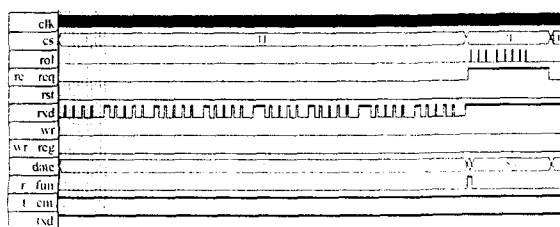


图 7 接收模块的时序仿真

3.2.4 同步时钟单元 为了实现主从芯片之间的同步,将 FPGA 时钟信号进行分频,得到 1M 时钟信号送入 DSP 作为计时时钟。

3.2.5 看门狗单元 为防止控制系统的死机,在 FPGA 中设计看门狗电路用于 DSP 状态检测及脉冲封锁。不发送脉冲时,DSP 通过引脚将该功能电路禁止;发送脉冲时,看门狗使能,不断检测脉宽地址写入。如果在 4 ms 内没有写地址的行为发生,则认为 DSP 已经进入锁死状态,立即封锁脉冲以保护逆变器。

3.2.6 硬件状态锁存单元 系统检测到硬件错误状态需要记录,以便之后分析修正,因此设计状态锁存单元用于硬件错误的读取。正常情况下,锁存器透明,其值不断更新;一旦有故障发生,则锁存故障状态。

4 实验验证

将该硬件平台应用于 8MW 五相 H 桥三相逆变器进行了容量实验。驱动单功率模块的 4 组 8 路脉冲信号见图 8,图 9、图 10 分别为逆变模块的输出电压和输出电流。

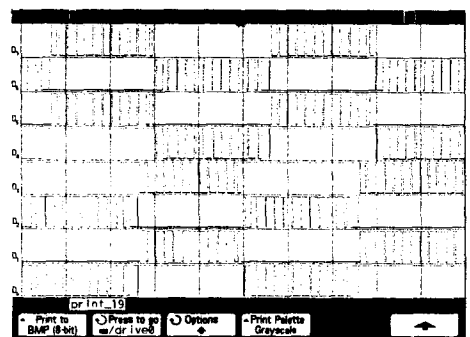


图 8 功率模块驱动信号

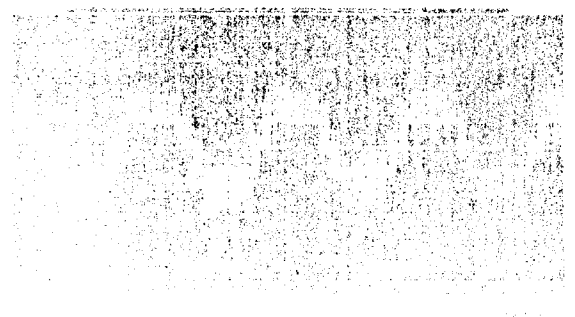


图 9 功率模块输出电压

由结果可以看出,该系统在功能上满足多相逆变器的控制要求,且在复杂电磁环境下工作可靠。

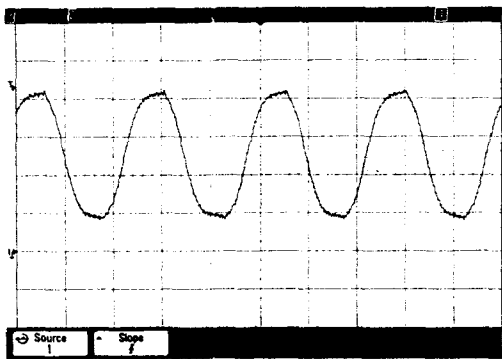


图 10 功率模块输出电流

5 结束语

C2000 系列 DSP 虽然具有运算速度快、资源丰富的特点,但其主要针对三相逆变系统,从而不能满足多相逆变器的控制要求.本文基于该问题介绍了一种 DSP+FPGA 的控制系统设计方案,由该方案实现的控制系统达到了技术指标要求,工作稳定可靠.同时该硬件平台利于系统的升级和功能的扩展,对于控制系统来讲具有较好的通用性.

参考文献

- [1] 彭启琮,李玉柏,管庆. DSP 技术的发展与应用[M]. 北京:高等教育出版社,2002.
- [2] 张卫丰,余岳辉. 基于 DSP 的优化空间矢量脉宽调制研究[J]. 武汉理工大学学报:交通科学与工程版, 2006,28(6):80-83.
- [3] Domenico C, Giovanni S, Angelo T. Implementation of a direct torque control algorithm for induction motors based on discrete space vector modulation[J]. IEEE Transactions on Power Electronics, 2000, 15(4):769-777.
- [4] Spivey G, Bhattacharyya S S, Nakajima K. A component architecture for FPGA-based, DSP system design[C]// Application-Specific Systems, Architectures and Processors, 2002:41-51.
- [5] 侯伯亨,顾新. VHDL 硬件描述语言与数字逻辑电路设计[M]. 西安:西安电子科技大学出版社,1998.
- [6] 刘松,熊腊森,余爱民. 使用 VHDL 设计基于 CPLD/FPGA 逆变电源的 PWM 波形[J]. 焊接学报, 2002,23(6):89-91.
- [7] 邓清秀,文小玲. 基于 FPGA 的三相 PWM 发生器的实现方法探讨[J]. 武汉化工学院学报, 2006,28(1): 67-70.

Controller Design of Multiphase Convertor Based on DSP and FPGA

Cai Wei Zhang Xiaofeng Qiao Mingzhong Zhu Peng

(College of Electrical and Information, Naval University of Engineering, Wuhan 430033)

Abstract

The traditional controller based on the single DSP is designed for three-phase system, so it can't satisfy the multiphase system. Aiming at the solution, the paper gives a solution programme based on DSP and FPGA. With the feature of FPGA that logic resource is abundant and the programming is flexible, the function units are given such as the encode circuit, PWM generation, the serial port communication, watchdog protection and the latch of states. It expand the system function, meanwhile, it lower the load of the processor and improve the performance. Through the timing simulation and the experiment on the 8MW convertor, the functionality and the reliability of system is validated.

Key words: digital signal processor(DSP); field programmable gate array(FPGA), multiphase, pulse-width modulation(PWM)