

采用 Stratix V 精度可调 DSP 模块实现高性能 DSP 应用

在实现复杂信号处理算法时，FPGA 硬件数字信号处理 (DSP) 体系结构发挥了很大的作用。Altera Stratix® V FPGA 具有精度可调 DSP 模块体系结构，是能够有效支持包括浮点实现等多种不同精度级的唯一可编程器件。采用 64 位级联总线和累加器，设计人员不用牺牲精度就可以实现需要多个 DSP 模块的算法。这一独特的体系结构提高了系统性能，降低了功耗，减小了系统算法设计人员在体系结构上的限制。

引言

当您需要实现高性能数字信号处理 (DSP) 系统时，FPGA 是可选平台。Kevin Morris 在最近的文章中写到：“对于高性能算法设计，FPGA 在性能、效率和性价比上比 DSP 处理器等其他方案要高出很多...” (1)

每个设计人员以不同的方式和不同的精度要求来实现算法。不同的设计有不同的这类要求，也体现在设计的每一阶段，例如，有限冲击响应 (FIR) 滤波器、快速傅立叶变换 (FFT)、探测处理和自适应算法等。对信号处理精度要求进行连续分析，发现不同的应用自然分布在 DSP 精度范围内，如图 1 所示。

图 1. DSP 精度范围内的应用类型



FPGA 传统上支持 18 位信号处理数据通路。而高性能信号处理设计有 18 位以上的精度要求。传统 DSP 功能较高精度要求的例子包括 FIR 滤波器、FFT 以及定制信号处理数据通路等。在高端设计中，对 18 位以上精度模式的需求有时候导致 LTE 通道卡采用浮点信号处理功能，例如，高级军用雷达和多输入多输出 (MIMO) 处理等。

目前的 FPGA 使用 18x18 或者 18x25 固定精度 DSP 体系结构。也可以支持其他精度模式，而代价是浪费了 DSP 功能，例如，使用 18x25 DSP 模块来实现 9x9 操作，或者级联多个 DSP 模块。

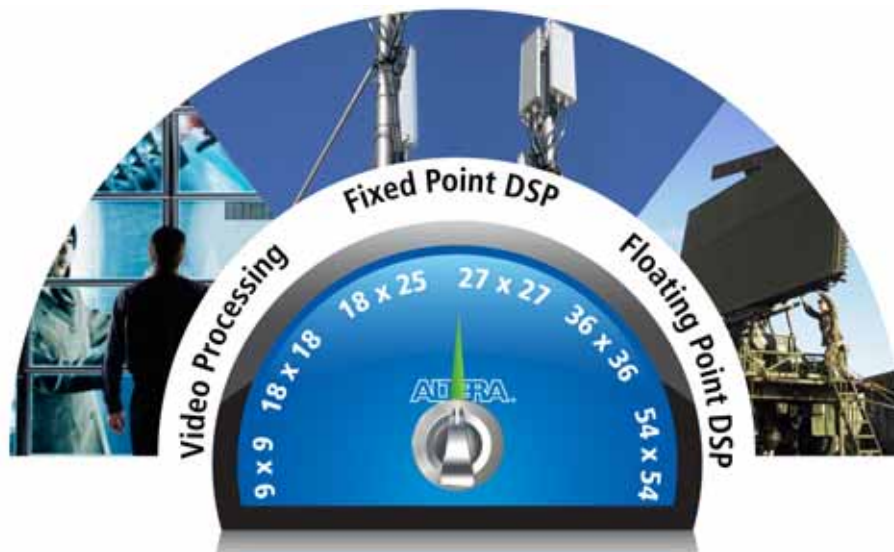
随着 DSP 应用向高精度数据通路的拓展，下一代 FPGA 的 DSP 体系结构不仅要能够灵活的适应高精度甚至浮点运算，而且还要以尽可能高的功效和面积利用率来继续支持传统的 18 位精度信号处理。

介绍第一种精度可调 DSP 体系结构

在 28-nm Stratix® V FPGA 中，Altera 开发了 DSP 模块体系结构，能够自然的支持高精度用户需求。这些需求包括，高于 18 位的固定精度模式，18x18、12x12 和 9x9 等低精度模式，以及双精度浮点实现等。能够

高性能实现所有这些模式，并且提高了面积利用率。在概念上，可以把精度调整看成一个圆盘，如图 2 所示，设计人员可以使用它来设置 DSP 体系结构的精度，在每个模块的基础上，更好的满足应用需求。

图 2. 确定 DSP 体系结构精度模式的精度圆盘



这一新体系结构的核心是精度可调 DSP 模块，它可以配置为图 3 所示的 18 位精度模式，也可以是图 4 所示的高精度模式。

图 3. Stratix V FPGA 的 18 位精度模式

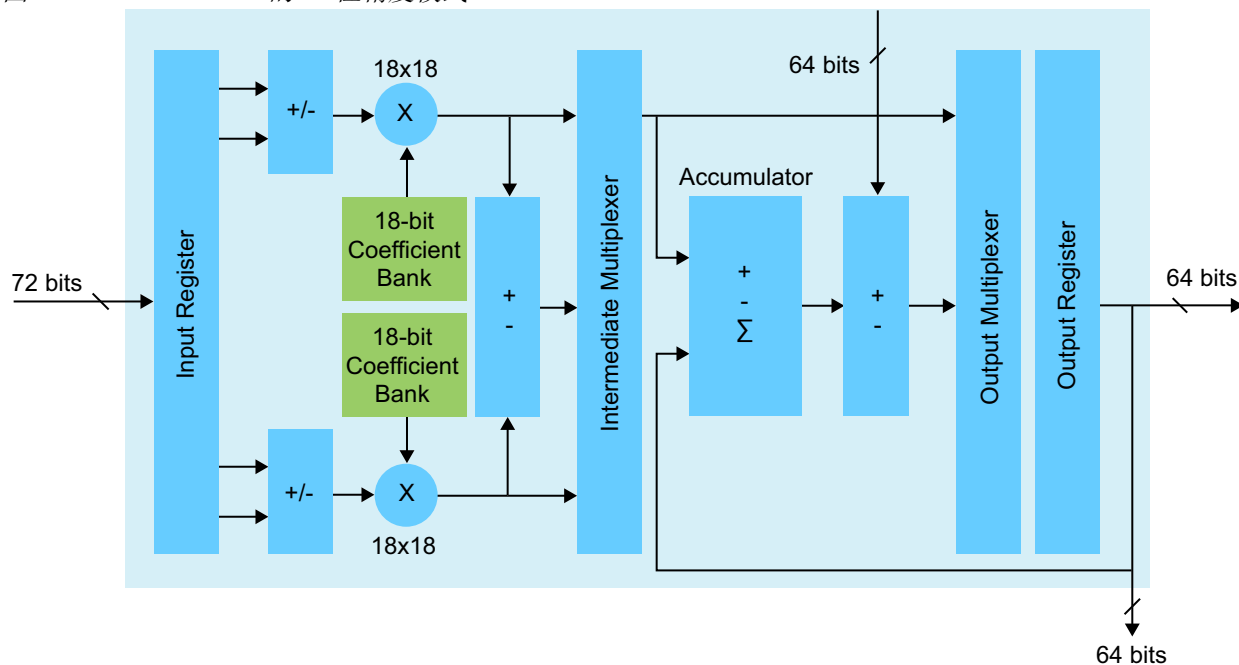
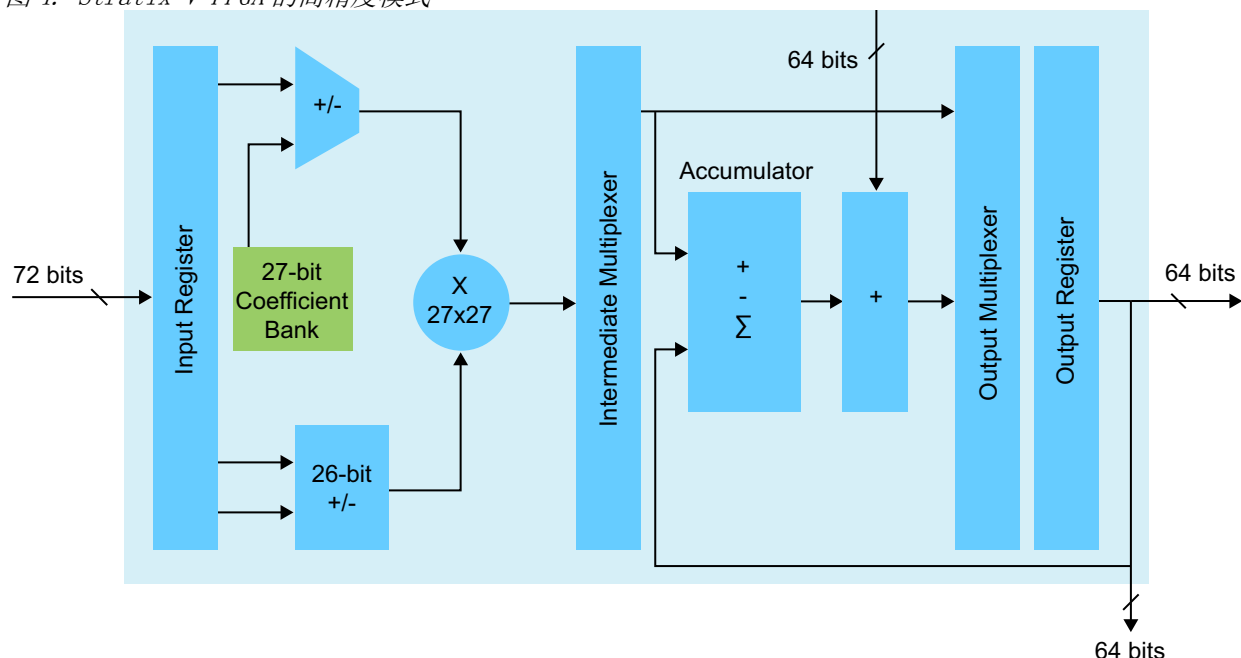


图 4. Stratix V FPGA 的高精度模式



可以使用 27x27 位乘法器来配置每个精度可调 DSP 模块。或者，使用两个 18x18 位乘法器来配置它。在每一种方式下，乘法器级之前是一个预加器，随后是一个 64 位累加器和级联加法器级。

配置 DSP 模块，实现两个 18 位乘法器或者一个高精度乘法器配置——这种功能是独一无二的。借助这种能力，可以在一个模块中或者级联多个模块来实现不同精度模式的信号处理数据通路。

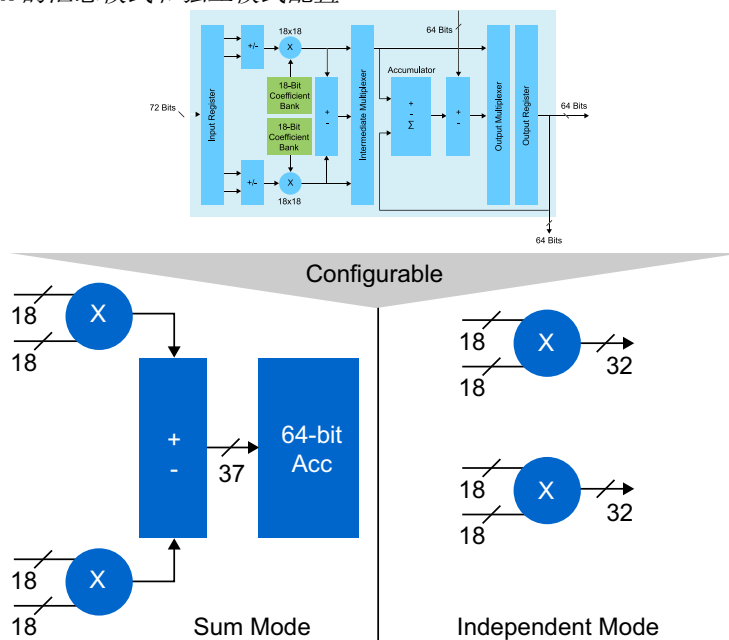
Stratix V FPGA 能够适应各种精度模式，而不需要外部逻辑，增强了系统 f_{MAX} ，降低了系统延时，提高了面积利用率。精度可调 DSP 模块的主要新特性包括：

- 固有 27x27 位和 18x18 位乘法器精度
- 新的 18x25 复数乘法模式
- 64 位累加器（业界最大）
- 硬核预加器（支持 18 位和 27 位模式）
- 级联输出加法器，高效实现心缩 FIR 滤波器。
- 内部系数寄存器块
- 增强独立乘法器操作
- 高效支持单精度和双精度浮点算法
- Quartus® II 综合引擎可推断所有模式

精度可调 DSP 模块配置

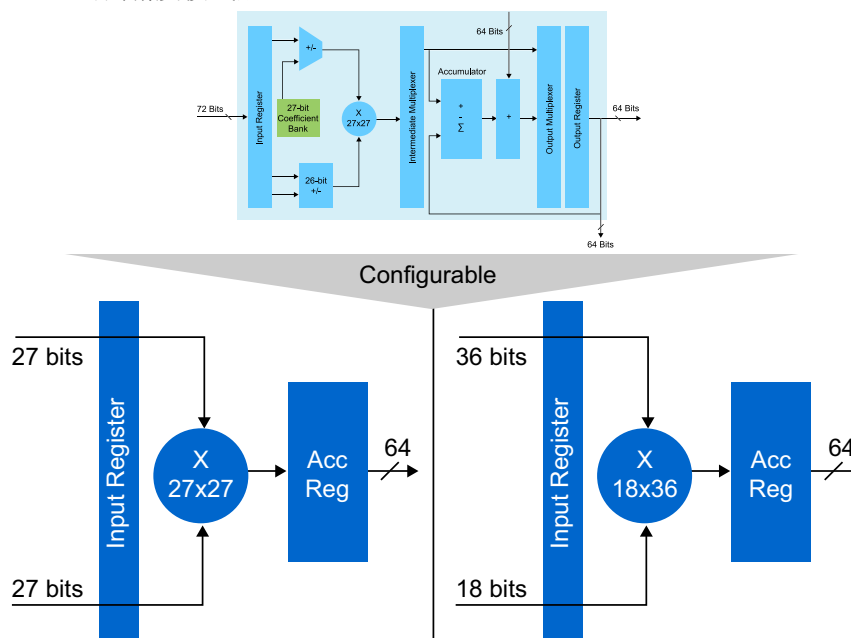
在 18 位精度模式中，模块可以配置为汇总模式或者独立模式来支持双乘法器，如图 5 所示。汇总模式通常用于实现 FIR 滤波器，是与前一代 Stratix FPGA 相同的模式，因此，与现有用户设计后向兼容。或者，也可以将乘法器配置为独立模式，不需要对乘法器的输出进行汇总。在这一模式下，输出分辨率限制在 32 位。在这两种模式下，系数可以存储在内部系数存储器中，或者从模块外部输入，可以使用预加器，或者将其旁路。

图 5. Stratix V FPGA 的汇总模式和独立模式配置



在高精度模式中，设计人员可以配置每个精度可调 DSP 模块，实现 27x27 乘法器或者 18x36 乘法器，如图 6 所示。同时增大了内部系数存储器的位宽和硬核预加器的容量，以适应高精度要求。

图 6. Stratix V FPGA 的高精度模式配置



对于精度更高的模式，FPGA 的精度可调模块能够有效实现单精度浮点运算。可以只使用一个配置为高精度模式的精度可调模块来实现单精度尾数乘法。设计人员可以选择使用内部系数存储器，也可以旁路它。

一个精度可调 DSP 模块能够在每一精度模式下实现不同的乘法运算，如表 1 所示。在同一设计中，每个模块可以采用不同的配置。

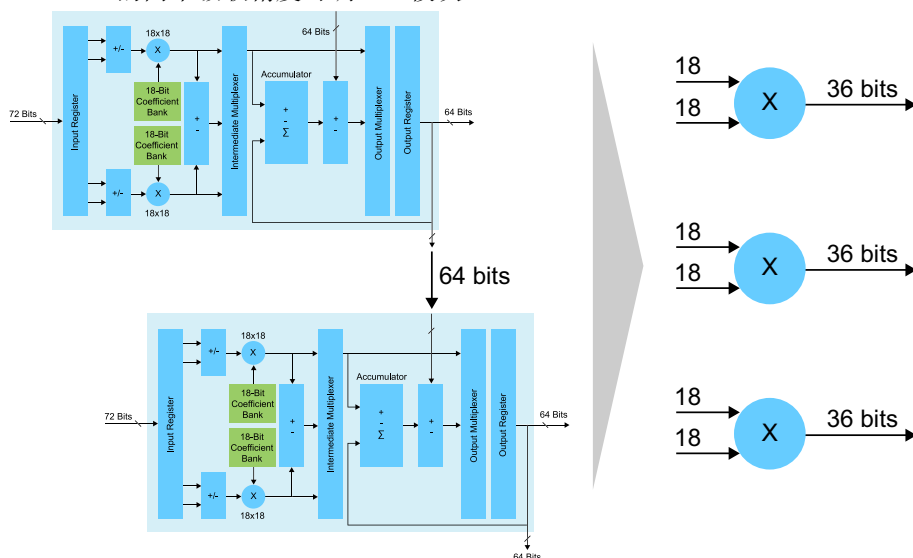
表 1. Stratix V FPGA 每个模块支持的精度模式

精度模式	应用
3 个独立模式 9x9	低精度定点
2 个汇总模式 18x18	中等精度定点
2 个独立模式 18x18, 32 位分辨率	中等精度定点
1 个独立模式 18x25 或者 18x36	高精度定点
1 个独立模式 27x27	高精度定点或者单精度浮点

级联精度可调 DSP 模块

可以级联每个精度可调 DSP 模块和其他模块，进一步拓展它所支持的精度模式。采用专用 64 位总线来实现级联，精度模式高于 27x27 复数乘法器，不需要外部逻辑就可以实现需要多个精度可调 DSP 模块的运算。而且，使用两个精度可调模块能够实现三个独立 18x18 乘法器，分辨率达到 36 位，如图 7 所示。

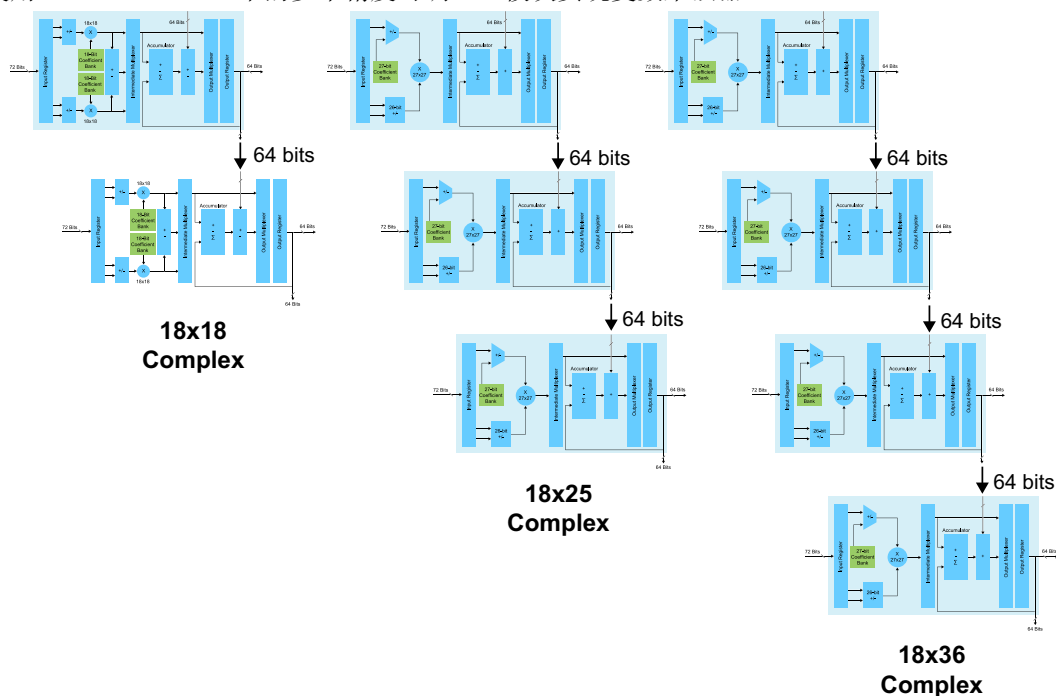
图 7. Stratix V FPGA 的两个级联精度可调 DSP 模块



FFT 是雷达、医疗影像和无线系统使用的主要算法，通常采用复数乘法来实现。精度可调 DSP 模块能够很好的支持 FFT 算法，只提高了乘法器一侧的精度要求。精度可调 DSP 模块支持多种精度模式的不对称乘法器容量，以适应 FFT 级的数据增长，导致更高的动态范围和更低的噪声基底。

图 8 显示了通过使用精度可调 DSP 模块来实现各种精度模式的复数乘法器。实现一个 18x18 复数乘法器时，可以将两个配置为 18 位精度模式的精度可调 DSP 模块级联起来。在高精度模式中，一个 18x25 复数乘法器一般需要四个乘法器。而借助 27x27 乘法器和 26 位预加器，可以使用三个精度可调 DSP 模块来实现相同的复数乘法器。而限于 18x25 精度模式的竞争体系结构需要四个模块来实现这一功能，实现 18x36 等精度更高的复数乘法器时，可以级联四个精度可调 DSP 模块。

图 8. 使用 Stratix V FPGA 中的多个精度可调 DSP 模块实现复数乘法器



对于精度更高的应用，级联四个配置为高精度模式的精度可调 DSP 模块来支持使用 27x27 复数乘法器的浮点 FFT。此外，对于动态范围较大的 FFT 应用，只有 Altera® FFT MegaCore® 功能提供了单精度浮点实现选择，其资源使用和性能与高精度定点实现相似。表 2 列出了通过级联这些模块能够支持的不同精度模式。

表 2. Stratix V FPGA 中的多个级联精度可调模块所支持的精度模式列表

乘法器模式	DSP 芯片资源	应用
1 个独立模式 36x36	2 个精度可调模块	精度非常高的定点
1 个独立模式 54x54	2 个精度可调模块	双精度浮点
复数乘法 18x18	2 个精度可调模块	资源经过优化的 FFT
复数乘法 18x25	3 个精度可调模块	适应 FFT 中的位增长
复数乘法 18x36	4 个精度可调模块	全精度大 FFT 级
复数乘法 27x27	4 个精度可调模块	单精度浮点 FFT

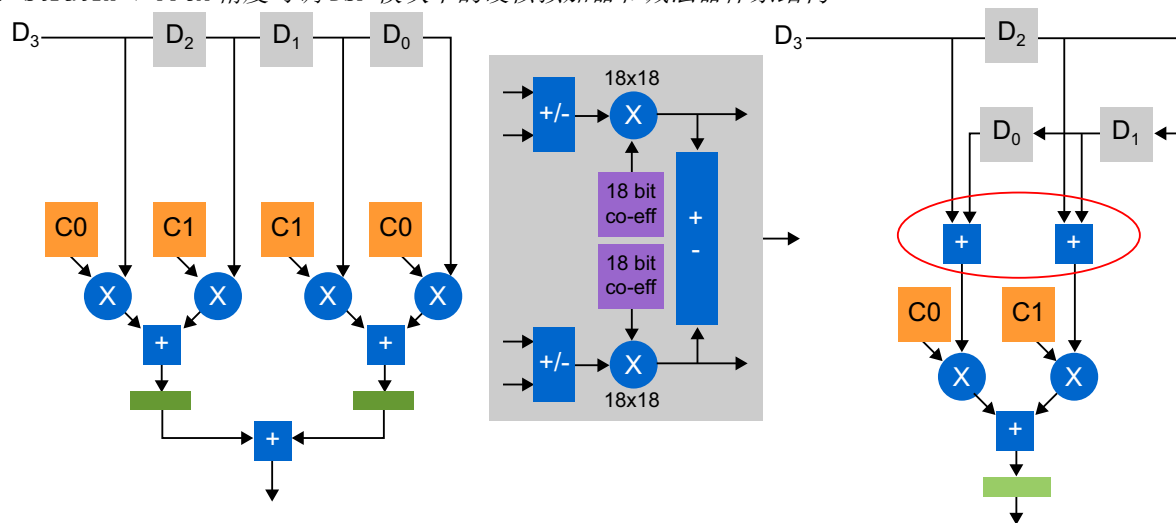
精度可调 DSP 模块——其他特性

仔细设计了 Altera 的精度可调 DSP 模块，其特性能够高效实现各种常用 DSP 功能，并且提高了面积利用率，包括硬核预加器（或者减法器）、累加器、后加器（或者减法器），以及分布式加法器、系数存储器及 A × B+C 模式等。

硬核预加器（或者减法器）

预加器主要用于对称 FIR 滤波器。当数据在系数设置上移位时，由于对称结构，两个数据采样与公共系数相乘。在乘法之前，预加器将两个采样相加，每两个抽头只需要一个乘法器，而不是两个乘法器。图 9 显示了精度可调 DSP 模块中的硬核预加器和减法器体系结构。

图 9. Stratix V FPGA 精度可调 DSP 模块中的硬核预加器和减法器体系结构



所选择的精度模式决定了使用两个 18 位还是一个 26 位预加器。相同的预加器也可以配置为减法器，因此，DSP 模块可以用于实现另一 DSP 算法功能，差值平方和。

累加器

累加器是很多 DSP 运算所必须的功能。当一个乘法器用于计算一系列乘法和加法运算时，需要这一功能。

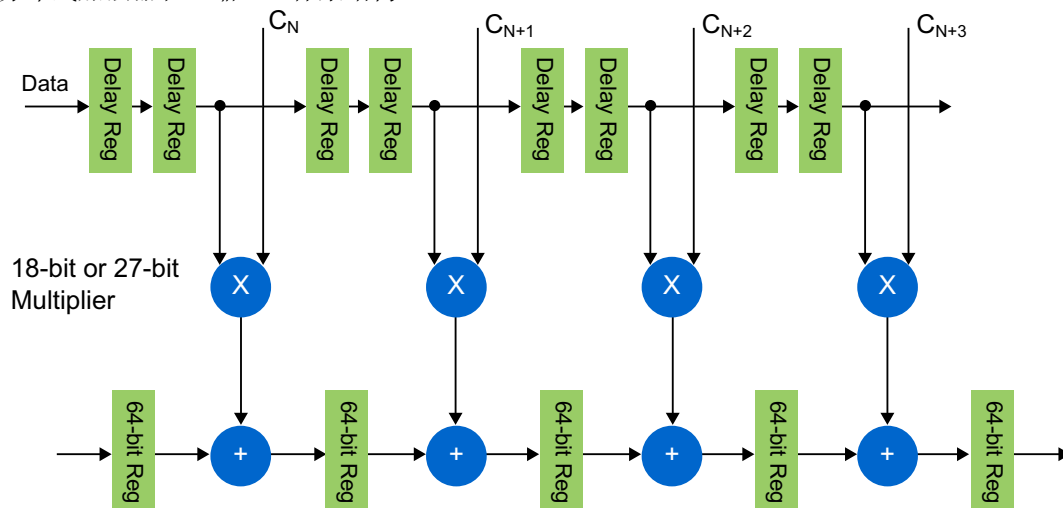
每个精度可调 DSP 模块都有一个 64 位累加器，它是业界最大的累加器。这一特性有助于高精度 DSP 计算的实现。累加器支持递增、递减和预装入。而且，能够对最终累加结果进行部分取整，从而支持后续处理级所需要的 DSP 模块位截断。

后加器（或者减法器）和分布式加法器

后加器用于采用小规模加法器构建大规模加法器，在复数乘法器中实现求和或者减法运算。后加器也用于进行 FIR 滤波器中的乘积求和运算。

流行的 FIR 滤波器体系结构也称为心缩结构，如图 10 所示。它使用了分布式输出加法器，因此，不论 FIR 滤波器规模多大，都不需要可编程逻辑加法器电路。这一体系结构支持更高效、 f_{MAX} 更大的（时钟频率）FIR 滤波器，同时支持 18 位和 27 位 FIR 滤波器结构。精度可调 DSP 模块之间使用了 64 位垂直级联通路，通常位于 FPGA 的列中。

图 10. 分布式加法器和心缩 FIR 体系结构

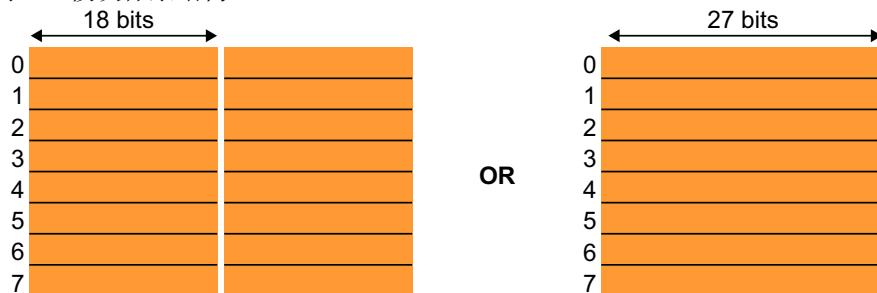


系数存储

FIR 滤波器和 FFT 等大部分 DSP 运算都需要系数。这些系数通常存储在 DSP 模块外部的分布式存储器模块中。例如，采用大量的系数，很容易更新自适应滤波器。但是，由于大部分 FIR 滤波器采用了并行或者部分并行结构在硬件中实现，因此，每个乘法器使用了较少的系数。对于这类情况，提供在 DSP 模块中每个时钟周期动态选择的系数存储模块具有较大的优势。

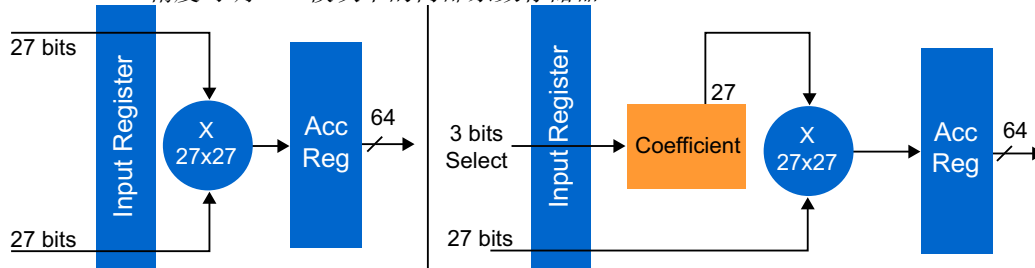
如图 11 所示，精度可调 DSP 模块集成了一个 8 位深、27 位宽的内部系数块，或者两个 8 位深、18 位宽的内部系数块，具体取决于所采用的模式。除了节省 FPGA 存储器资源，其优势还包括降低了高性能设计的功耗，减小了布线拥塞，简化了时序逼近。

图 11. 精度可调 DSP 模块体系结构



可以使用内部系数存储器，也可以旁路它，如图 12 所示。

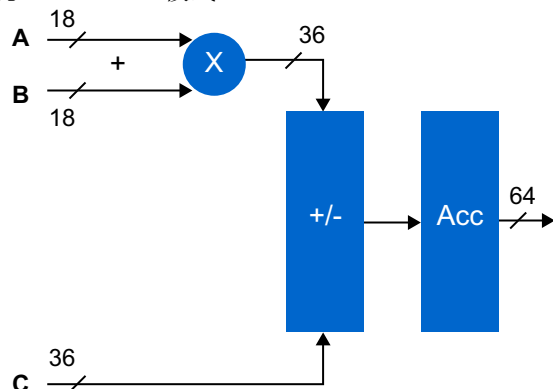
图 12. Stratix V FPGA 精度可调 DSP 模块中的内部系数存储器



$A \times B + C$ 模式

精度可调 DSP 模块支持乘法运算，随后是外部输入的乘积求和，如图 13 所示。可以输出最终结果，或者与前面的运算结果相累加。

图 13. 在 Stratix V FPGA 中实现 $A \times B + C$ 模式



结论

很多数据转换器通常在 14 位到 16 位精度范围内，采样率抽取、MIMO 技术、频域转换以及其他处理增益技术提高了对数据通路的精度要求。很多新的 DSP 应用对性能和精度的要求越来越高。而且，今后大量的 DSP 应用普遍要求在数据通路上支持多种精度模式。

Stratix V FPGA 具有精度可调 DSP 模块体系结构，是能够有效支持包括浮点实现等多种不同精度级的唯一可编程器件。设计人员采用精度可调 DSP 体系结构，能够设置精度模式以符合算法要求，而不是让算法来适应精度模式。而且，采用 64 位级联总线和累加器，设计人员不用牺牲精度就可以实现需要多个 DSP 模块的算法。

随着 DSP 体系结构的推出，Altera 进一步拉开了与竞争对手的硬件 DSP 技术差距。现在的设计人员可以在一个模块中自然实现 27x27 乘法器，不仅可以用于高精度定点 DSP 应用，而且还可以高效实现新出现的浮点 DSP 应用。这一独特的体系结构提高了系统性能，降低了功耗，减小了系统算法设计人员在体系结构上的限制。

详细信息

1. Kevin Morris, "A Perfect DSP Storm: BDTi + High Level Synthesis + FPGA," *FPGA and Programmable Logic Journal*, January 19, 2010:
www.fpgajournal.com/fpgajournal/feature_articles/20100119-storm
2. Stratix V FPGA: 为带宽而打造:
www.altera.com/products/devices/stratix-fpgas/stratix-v/stxv-index.jsp
3. 资料: Stratix V 器件:
www.altera.com/products/devices/stratix-fpgas/stratix-v/literature/stv-literature.jsp
4. 28-nm 精度可调 DSP 模块体系结构:
www.altera.com/technology/dsp/variable-precision/dsp-variable-precision.html
5. 网播: "采用 Stratix V 精度可调 DSP 体系结构实现高性能 DSP":
www.altera.com/education/webcasts/all/wc-2010-dsp-var-prec-dsp-arch.html

致谢

- Michael Parker, 技术市场高级经理, IP 和技术产品市场, Altera 公司。
- Suhel Dhanani, 高级经理, 软件、嵌入式和 DSP 市场, Altera 公司。

文档修订历史

表 3 列出了本文档的修订历史。

表 3. 文档修订历史

日期	版本	进行的修改
2011 年 5 月	1.1	增加了 Stratix V 精度可调 DSP 模块的详细信息。
2010 年 5 月	1.0	初次发布。



101 Innovation Drive
San Jose, CA 95134
www.altera.com

版权 © 2010 Altera 公司。保留所有版权。Altera、可编程解决方案公司、程式化 Altera 标识、专用器件名称和所有其他专有商标或者服务标记，除非特别声明，均为 Altera 公司在美国和其他国家的商标和服务标记。所有其他产品或者服务名称的所有权属于其各自持有人。Altera 产品受美国和其他国家多种专利、未决应用、模板著作权和版权的保护。Altera 保证当前规范下的半导体产品性能与 Altera 标准质保一致，但是保留对产品和服务在没有事先通知时的升级变更权利。除非与 Altera 公司的书面条款完全一致，否则 Altera 不承担由此处所述信息、产品或者服务导致的责任。Altera 建议客户在决定购买产品或者服务，以及确信任何公开信息之前，阅读 Altera 最新版的器件规范说明。