

*Preliminary*  
**TMS320x280x DSP**  
**模数转换器 (ADC)**

# 参考指南

文献编号: ZHCU004  
2004 年 11 月 – 修订 2005 年 6 月

*Preliminary*

目录 .....	3
序言 .....	7
<b>1 模数转换器 (ADC) .....</b>	<b>11</b>
1.1 功能 .....	12
1.2 自动转换序列发生器的工作原理 .....	14
1.2.1 顺序采样模式 .....	15
1.2.2 同步采样模式 .....	15
1.3 不间断自动定序模式 .....	20
1.3.1 序列发生器启动/停止模式 (具有多个时序触发器的序列发生器启动/停止操作) .....	22
1.3.2 同步采样模式 .....	24
1.3.3 输入触发器说明 .....	24
1.3.4 定序转换期间的中断操作 .....	25
1.4 ADC 时钟预分频器 .....	26
1.4.1 ADC 模块时钟和采样频率 .....	27
1.5 低功率模式 .....	27
1.6 上电顺序 .....	28
1.7 序列发生器覆盖功能 .....	28
1.8 内部/外部参考电压选择 .....	28
1.9 偏移误差校正 .....	30
<b>2 ADC 寄存器 .....</b>	<b>33</b>
2.1 ADC 控制寄存器 .....	34
2.2 最大转换信道数寄存器 (ADCMAXCONV) .....	37
2.3 自动定序状态寄存器 (ADCSEQSR) .....	39
2.4 ADC 状态和标志寄存器 (ADCST) .....	39
2.5 ADC 参考选择寄存器 (ADCREFSSEL) .....	40
2.6 ADC 偏移微调寄存器 (ADCOFFTRIM) .....	41
2.7 ADC 输入信道选择定序控制寄存器 .....	41
2.8 ADC 转换结果缓冲寄存器 (ADCRESULTn) .....	42
<b>A 修订历史记录 .....</b>	<b>45</b>

## 附图目录

1-1	ADC 模块的结构图	13
1-2	顺序采样模式 (SMODE = 0)	15
1-3	同步采样模式 (SMODE=1)	15
1-4	级联模式下自动定序的 ADC 结构图	16
1-5	带双序列发生器的自动定序的 ADC 结构图	17
1-6	不间断自动定序模式的流程图	22
1-7	ePWM 触发器启动序列发生器的示例	23
1-8	定序转换期间的中断操作	26
1-9	ADC 内核时钟和采样保持 (S/H) 时钟	27
1-10	到 ADC 的时钟链	27
1-11	外部参考的外部偏置	29
1-12	偏移误差校正进程的流程图	30
1-13	采样 0-V 参考电压的理想代码分布	31
2-1	ADC 控制寄存器 1 (ADCTRL1) (地址偏移 00h)	34
2-2	ADC 控制寄存器 2 (ADCTRL2) (地址偏移 01h)	35
2-3	ADC 控制寄存器 3 (ADCTRL3) (地址偏移 18h)	37
2-4	最大转换信道数寄存器 (ADCMAXCONV) (偏移地址 02h)	38
2-5	自动定序状态寄存器 (ADCSEQSR) (地址偏移 07h)	39
2-6	ADC 状态和标志寄存器 (ADCST) (地址偏移 19h)	40
2-7	ADC 参考选择寄存器 (ADCREFSSEL) (地址偏移 1Ch)	40
2-8	ADC 偏移微调寄存器 (ADCOFFTRIM) (地址偏移 1Dh)	41
2-9	ADC 输入信道选择定序控制寄存器 (ADCCHSELSEQ1) (地址偏移 03h)	41
2-10	ADC 输入信道选择定序控制寄存器 (ADCCHSELSEQ2) (地址偏移 04h)	41
2-11	ADC 输入信道选择定序控制寄存器 (ADCCHSELSEQ3) (地址偏移 05h)	41
2-12	ADC 输入信道选择定序控制寄存器 (ADCCHSELSEQ4) (地址偏移 06h)	42
2-13	ADC 转换结果缓冲寄存器 (ADCRESULTn) - (地址 0x7108-0x7117)	42
2-14	ADC 转换结果缓冲寄存器 (ADCRESULTn) - (地址 0x0B00-0x0B0F)	42

## 附表目录

1-1	ADC 寄存器	13
1-2	单一工作模式和级联工作模式比较	18
1-3	ADCCHSELSEQn 寄存器的值 (MAX_CONV1 设置为 6)	21
1-4	ADCCHSELSEQn 的值 (MAX_CONV1 设置为 2)	23
1-5	第二次自动转换会话后的值	24
1-6	输入触发器	24
1-7	到 ADC 的时钟链	27
1-8	功率选项	27
2-1	ADC 控制寄存器 1 (ADCTRL1) 字段说明	34
2-2	ADC 控制寄存器 2 (ADCTRL2) 字段说明	35
2-3	ADC 控制寄存器 3 (ADCTRL3) 字段说明	37
2-4	最大转换信道数寄存器 (ADCMAXCONV) 字段说明	38
2-5	各种转换数的 MAX_CONV1 的位选择	38
2-6	自动定序状态寄存器 (ADCASEQSR) 字段说明	39
2-7	活动序列发生器的状态	39
2-8	ADC 状态和标志寄存器 (ADCST) 字段说明	40
2-9	ADC 参考选择寄存器 (ADCREFSSEL) 字段说明	41
2-10	ADC 偏移微调寄存器 (ADCOFFTRIM) 字段说明	41
2-11	CONVnn 位值和所选的 ADC 输入信道	42



## 请先阅读

### 关于本手册

本文档描述了 TMS320x280x 数字信号处理器 (DSP) 上可用的模数转换器 (ADC) 的功能和操作。

### 命名惯例

本文档使用以下惯例。

- 器件号 TMS320x280x 通常缩写为 280x。
- 显示十六进制数时附带一个后缀 h。例如，以下数字表示十六进制的 40（十进制为 64）：40h。同样，显示二进制数时通常附带后缀 b。例如，以下数字是用二进制形式表示的十进制数 4：0100b。
- 本文档中含有寄存器的图形显示和表格说明。
  - 每个寄存器图形显示为一个分成多个字段的矩形，每个字段分别代表了此寄存器的字段。每个域用其位名标记，域的起始位和结束位标记在标签的上面，域的读取/写入属性标记在下面，并用图例解释了用于表示属性的符号。
  - 寄存器图形中的保留位指出不能用于应用程序的位。
- 如果信号为低电平有效，则它有上划线。例如， $\overline{\text{XRS}}$  信号为低电平有效。

### 德州仪器 (TI) 提供的相关文档

以下文档描述了 280x 器件及相关的支持工具。www.ti.com 网站上提供了这些文档的副本。提示：请在 [www.ti.com](http://www.ti.com) 上提供的搜索框中输入文献编号。

#### 数据手册 —

SPRS230: — [TMS320F2801、TMS320F2806、TMS320F2808、UCD9501 数字信号处理器数据手册](#) 包含 F280x 器件的引脚、信号说明以及电子和定时规范。

#### 用户指南 —

SPRU051: — [TMS320x281x、280x 串行通信接口 \(SCI\) 参考指南](#) 描述了一个通常称为 UART 的 SCI，这是一个两线制异步串行端口。SCI 模块支持 CPU 与其它异步外设之间的使用标准非归零 (NRZ) 格式的数字通信。

SPRU059: — [TMS320x281x、280x 串行外设接口 \(SPI\) 参考指南](#) 描述了 SPI，一种高速同步串行输入/输出 (I/O) 端口，它允许按照已编程的位传输速率将具有编程长度的串行位流（1 到 16 位）移入或移出器件。

SPRU074: — [TMS320x281x、280x 增强型控制器局域网 \(eCAN\) 参考指南](#) 描述了在电噪声环境下使用已设立的协议与其他控制器进行串行通信的 eCAN。

SPRU430: — [TMS320C28x DSP CPU 和指令集参考指南](#) 描述了 TMS320C28x 定点数字信号处理器 (DSP) 的中央处理器 (CPU) 和汇编语言指令，它还描述了这些 DSP 上可用的仿真功能。

SPRU513: — [TMS320C28x 汇编语言工具用户指南](#) 描述了用于 TMS320C28x 器件的汇编语言工具（汇编程序和用于开发汇编语言代码的其它工具）、汇编程序指令、宏、常用对象文件格式和符号调试指令。

SPRU514: — [TMS320C28x 优化 C 编译器用户指南](#) 描述了 TMS320C28x™ C/C++ 编译器。此编译器接受 ANSI 标准 C/C++ 源代码，并为 TMS320C28x 器件生成 TMS320 DSP 汇编语言源代码。

SPRU566: — [TMS320x281x 和 280x 外设参考指南](#) 描述了 28x 数字信号处理器 (DSP) 的外设参考指南。

SPRU608: — [TMS320C28x 指令集仿真器技术概述](#) 描述了 TMS320C2000 IDE 的 Code Composer Studio 内可用于模拟 C28x™ 内核指令集的仿真器。

- SPRU625: — [TMS320C28x DSP/BIOS 应用编程接口 \(API\) 参考指南](#)描述了使用 DSP/BIOS 进行的开发。
- SPRU712: — [TMS320x280x 系统控制和中断参考指南](#)描述了 280x 数字信号处理器 (DSP) 的各种中断和系统控制特性。
- SPRU721: — [TMS320x280x 内部集成电路 \(I<sup>2</sup>C\) 参考指南](#)描述了 TMS320x280x 数字信号处理器 (DSP) 上可用的内部集成电路 (I<sup>2</sup>C) 模块的特性和操作。
- SPRU722: — [TMS320x280x 引导 ROM 参考指南](#)描述了 boot loader (工厂编程的引导加载软件) 的用途和特性。它还描述了器件的片上引导 ROM 的其它内容, 并标识了所有信息在该存储器内的位置。
- SPRU790: — [TMS320x280x 增强型正交编码器脉冲 \(eQEP\) 参考指南](#)描述了 eQEP 模块, 在高性能运动和定位控制系统中, 该模块用于与线性或旋转增量编码器连接, 以从旋转机器中获取位置、方向和速度信息。该指南同样也包括模块说明和寄存器。
- SPRU791: — [TMS320x280x 增强型脉宽调制器 \(ePWM\) 模块参考指南](#)描述了增强型脉宽调制器的主要应用领域, 包括数字电机控制、开关模式电源控制、UPS (不间断电源) 和其它形式的电力转换。
- SPRU807: — [TMS320x280x 增强型捕捉 \(eCAP\) 模块参考指南](#)描述了增强型捕捉模块。它包括模块说明和寄存器。
- SPRU924: — [高分辨率脉宽调制器 \(HRPWM\)](#) 描述了脉宽调制器的高分辨率扩展版本 (HRPWM) 的操作。
- 应用报告 —
- SPRAA58: — [TMS320x281x 到 TMS320x280x 迁移概述](#)描述了德州仪器 (TI) 的 TMS320x281x 与 TMS320x280x DSP 之间的差异, 以便在将应用从 281x 迁移到 280x 的过程中提供帮助。尽管本文档侧重从 281x 到 280x 的迁移, 想要反向迁移 (从 280x 到 281x) 的用户也会发现本文档非常有用。
- SPRA550: — [用于数字电机控制的 3.3V DSP](#) 描述了仅使用 3.3V 电机控制器的方案, 并指出对于大多数应用, 3.3V 与 5V 之间不存在明显的连接问题, 还对比讨论了片上 3.3V 模数转换器 (ADC) 与 5V ADC。概述了可以降低系统噪声和电磁干扰影响的组件布局和印刷电路板 (PCB) 设计指南。
- SPRA820: — [TMS320C28x DSP 在线堆栈溢出检测](#)介绍了 TMS320C28x™ DSP 上在线堆栈溢出检测的方法, 提供了包含一些函数的 C 源代码, 这些函数用于在 DSP/BIOS™ 和非 DSP/BIOS 应用中执行溢出检测。
- SPRA861: — [RAMDISK: 用户定义的 C I/O 驱动程序示例](#)提供了在任意器件上使用高级 C I/O 功能的复杂缓冲技术的简易方法。本应用报告介绍了用户自定义的器件驱动程序的实施示例。
- SPRA873: — [使用 TMS320F2812 DSP 和 DRV592 功率放大器的热电制冷器控制](#)介绍了由德州仪器 (TI) 的 TMS320F2812 数字信号处理器 (DSP) 和 DRV592 功率放大器组成的热电制冷器系统。DSP 使用集成的 12 位模数转换器读取热敏电阻, 并将脉宽调制的波形直接输出到 H 桥接的 DRV592 功率放大器, 以实现数字比例积分微分反馈控制器。全面地描述了试验系统以及软件和软件操作指南。
- SPRA876: — [TMS320F281x eCAN 的编程示例](#)包含几个编程示例, 阐述了如何针对不同的操作模式设置 eCAN 模块, 以帮助实现快速 eCAN 编程。附加的 SPRA876.zip 文件中包含所有项目和 CANalyzer 配置文件。
- SPRA953: — [IC 封装热度量](#)描述了传统的热度量和新的热度量, 并展望其在关于系统级结温估值中的应用。
- SPRA958: — [从 TMS320F281x DSP 上的内部闪存运行应用程序 \(修订版 B\)](#) 讨论了正确配置从片上闪存执行应用软件所需的要求。提供了对 DSP/BIOS™ 和非 DSP/BIOS 项目的要求。包括示例代码项目。
- SPRA963: — [TMS320LF24x 和 TMS320F281x 器件的可靠性数据](#)描述了 TMS320LF24x 和 TMS320F281x 器件的可靠性数据。
- SPRA989: — [F2810、F2811 和 F2812 ADC 校准](#)描述了提高 F2810/F2811/F2812 器件上的 12 位模数转换器 (ADC) 绝对精度的方法。本应用手册附带一个从 F2812 eZdsp 上的 RAM 执行的示例程序 (ADCcalibration.zip)。
- SPRA991: — [仿真实现了调试和分析的增强 - 白皮书](#)描述了通过允许开发人员更有效地评估系统替代方案来缩短开发周期的仿真增强。



商标

TMS320C28x, C28x 是 Texas Instruments 的商标

德州仪器 (TI) 提供的相关文档

---

## 模数转换器 (ADC)

TMS320x280x ADC 模块是 12 位流水线模数转换器 (ADC)。此转换器的模拟电路在本文档中称为内核，包含前端模拟多路复用器 (MUX)、采样保持 (S/H) 电路、转换内核、稳压器以及其它模拟支持电路。数字电路即本文档中的轮询程序，包含可编程转换序列发生器、结果寄存器、模拟电路接口、器件外围总线接口以及其它片上模块的接口。

本参考指南适用于 TMS320x280x 系列处理器上的 ADC。这包括 280x 系列中所有基于闪存、基于 ROM 和基于 RAM 的器件。

主题	页
1.1 功能 .....	12
1.2 自动转换序列发生器的工作原理 .....	14
1.3 不间断自动定序模式 .....	20
1.4 ADC 时钟预分频器 .....	26
1.5 低功率模式 .....	27
1.6 上电顺序 .....	28
1.7 序列发生器覆盖功能 .....	28
1.8 内部/外部参考电压选择 .....	28
1.9 偏移误差校正 .....	30

## 1.1 功能

ADC 模块具有 16 个信道，并可配置为用于 ePWM 模块的 2 个独立的 8 信道模块。可将 2 个独立的 8 信道模块级联成 1 个 16 信道模块。尽管有多个输入信道和 2 个序列发生器，但在 ADC 模块中只有一个转换器。图 1-1 显示了 280x ADC 模块的方框图。

2 个 8 信道模块可自动对一系列转换定序；每个模块可以通过模拟 MUX 选择其中一个可用 8 信道。在级联模式中，自动序列发生器将作为单个 16 信道序列发生器使用。一旦在每个序列发生器上完成转换，所选的信道值将存储在各自的 ADCRESULT 寄存器中。系统可使用自动定序功能多次转换同一信道，以便用户执行过采样算法。这种过采样算法可提供比传统的单一采样转换结果更高的分辨率。

ADC 模块的功能包括：

- 具有内置双采样保持 (S/H) 的 12 位 ADC 内核 (S/H)
- 同步采样模式或顺序采样模式
- 模拟输入：0V - 3V
- 以 12.5MHz、ADC 时钟或 6.25 MSPS 运行的快速转换时间
- 16 信道，多路复用输入
- 自动定序功能在单次会话中可提供多达 16 次“自动转换”。可将每次转换编程为选择 16 个输入信道中的任何一个。
- 可将序列发生器作为 2 个独立的 8 态序列发生器，或作为 1 个较大的 16 态序列发生器使用（即 2 个级联的 8 态序列发生器）。
- 用于存储转换值的 16 个结果寄存器（可分别寻址）
  - 输入模拟电压的数值源自：

$$\text{Digital Value} = 0, \quad \text{when input} \leq 0 \text{ V}$$

$$\text{Digital Value} = 4096 \times \frac{\text{Input Analog Voltage} - \text{ADCLO}}{3} \quad \text{when } 0 \text{ V} < \text{input} < 3 \text{ V}$$

$$\text{Digital Value} = 4095, \quad \text{when input} \geq 3 \text{ V}$$

A 所有分数值均截断。

- 作为转换开始序列 (SOC) 源的多个触发器
  - S/W - 软件立即启动
  - ePWM 1-6
  - GPIO XINT2
- 灵活的中断控制允许每个序列结束 (EOS) 或其它 EOS 上的中断请求。
- 序列发生器可运行于“启动/停止”模式，以便多个“时序触发器”进行同步转换。
- ePWM 触发器可独立运行于双序列发生器模式。
- 采样保持 (S/H) 采集时间窗口具有独立的预扩展控制。

图 1-1. ADC 模块的结构图

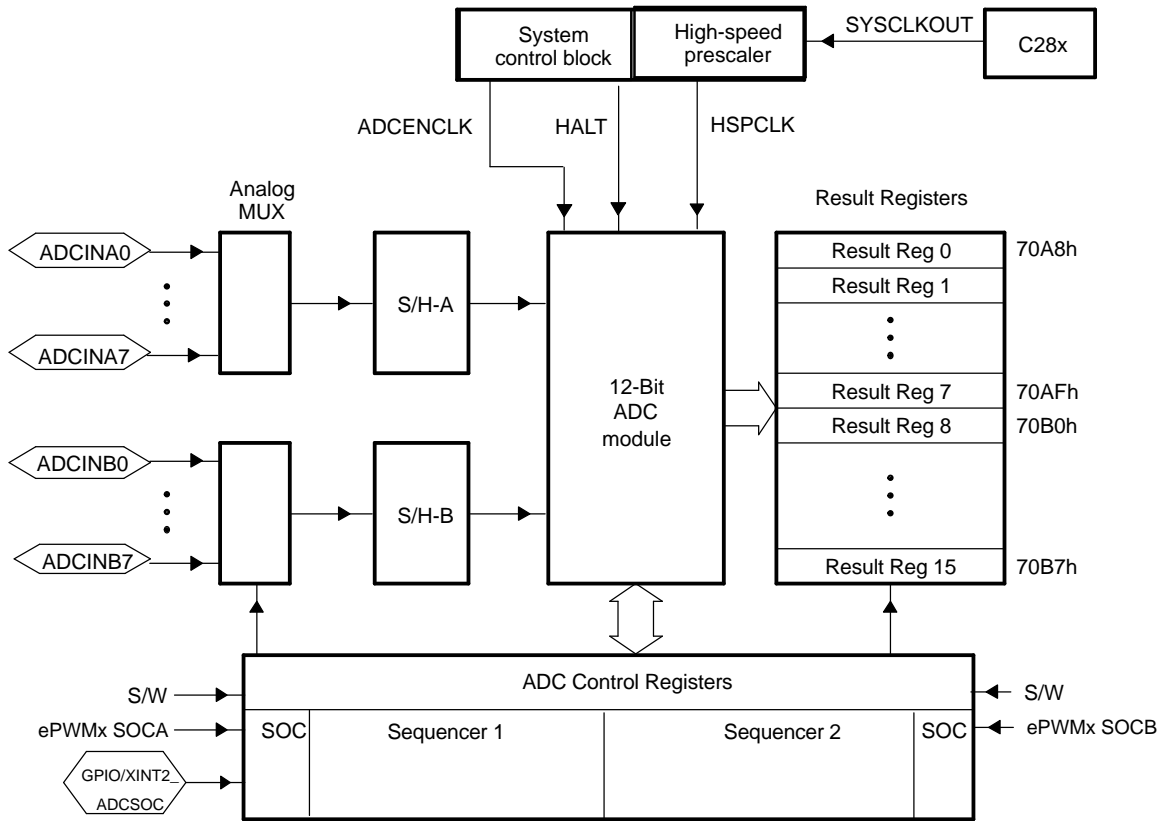


表 1-1. ADC 寄存器

名称	地址 <sup>(1)</sup>	地址 <sup>(2)</sup>	大小 (x16)	说明
ADCTRL1	0x7100		1	ADC 控制寄存器 1
ADCTRL2	0x7101		1	ADC 控制寄存器 2
ADCMAXCONV	0x7102		1	ADC 最大转换信道数寄存器
ADCCHSELSEQ1	0x7103		1	ADC 信道选择定序控制寄存器 1
ADCCHSELSEQ2	0x7104		1	ADC 信道选择定序控制寄存器 2
ADCCHSELSEQ3	0x7105		1	ADC 信道选择定序控制寄存器 3
ADCCHSELSEQ4	0x7106		1	ADC 信道选择定序控制寄存器 4
ADCASEQSR	0x7107		1	ADC 自动定序状态寄存器
ADCRESULT0	0x7108	0x0B00	1	ADC 转换结果缓冲寄存器 0
ADCRESULT1	0x7109	0x0B01	1	ADC 转换结果缓冲寄存器 1
ADCRESULT2	0x710A	0x0B02	1	ADC 转换结果缓冲寄存器 2
ADCRESULT3	0x710B	0x0B03	1	ADC 转换结果缓冲寄存器 3
ADCRESULT4	0x710C	0x0B04	1	ADC 转换结果缓冲寄存器 4
ADCRESULT5	0x710D	0x0B05	1	ADC 转换结果缓冲寄存器 5
ADCRESULT6	0x710E	0x0B06	1	ADC 转换结果缓冲寄存器 6
ADCRESULT7	0x710F	0x0B07	1	ADC 转换结果缓冲寄存器 7
ADCRESULT8	0x7110	0x0B00	1	ADC 转换结果缓冲寄存器 8
ADCRESULT9	0x7111	0x0B09	1	ADC 转换结果缓冲寄存器 9

(1) 本列中的寄存器为外设帧 2 寄存器。

(2) ADC 结果寄存器在 F280x DSP 中进行了双映射。外设帧 2 (0x7108-0x7111) 中的位置为 2 等待状态, 且为左对齐。外设帧 0 空间 (0x0B00-0x0B0F) 中的位置为 0 等待状态, 且为右对齐。在 ADC 的高速/连续转换使用期间, 使用 0 等待状态位置, 以免遗漏 ADC 转换。

表 1-1. ADC 寄存器(接上表)

名称	地址 <sup>(1)</sup>	地址 <sup>(2)</sup>	大小 (x16)	说明
ADCRESLT10	0x7112	0x0B0A	1	ADC 转换结果缓冲寄存器 10
ADCRESLT11	0x7113	0x0B0B	1	ADC 转换结果缓冲寄存器 11
ADCRESLT12	0x7114	0x0B0C	1	ADC 转换结果缓冲寄存器 12
ADCRESLT13	0x7115	0x0B0D	1	ADC 转换结果缓冲寄存器 13
ADCRESLT14	0x7116	0x0B0E	1	ADC 转换结果缓冲寄存器 14
ADCRESLT15	0x7117	0x0B0F	1	ADC 转换结果缓冲寄存器 15
ADCTRL3	0x7118		1	ADC 控制寄存器 3
ADCST	0x7119		1	ADC 状态寄存器
保留	0x711A 0x711B		2	
ADCREFSSEL	0x711C		1	ADC 参考选择寄存器
ADCOFFTRIM	0x711D		1	ADC 偏移微调寄存器
保留	0x711E 0x711F		2	ADC 状态寄存器

要获得指定的 ADC 精度，正确的电路板布局非常关键。为尽可能达到最佳效果，引入 ADCIN<sub>xx</sub> 引脚的迹线不应太靠近数字信号通道。这是为了最大程度地减少数字线路上因 ADC 输入耦合而产生的开关噪声。此外，必须使用适当的隔离技术，将 ADC 模块电源引脚与数字电源隔离。

## 1.2 自动转换序列发生器的工作原理

ADC 序列发生器由 2 个独立的 8 状态序列发生器 (SEQ1 和 SEQ2) 组成，也可以级联成一个 16 状态序列发生器 (SEQ)。单词“状态”代表可用序列发生器执行的自动转换次数。单序列发生器模式 (16 状态，级联模式) 和双序列发生器模式 (两个 8 状态，分离模式) 的结构图分别如图 1-4 与图 1-5。

在两种情况下，ADC 都能对一系列转换进行自动定序。这意味着每当 ADC 接收到转换开始请求时，它可以自动执行多次转换。对于每次转换，可通过模拟 MUX 选择 16 个可用输入信道中的任何一个。转换之后，所选信道的数值将存储在适当的结果寄存器 (ADCRESLT<sub>n</sub>) 中。(第一个结果存储在 ADCRESLT0 中，第二个结果存储在 ADCRESLT1 中，依此类推)。还可以对同一信道多次采样，以使用户执行“过采样”，从而提供比传统的单采样转换结果更高的分辨率。

### 注:

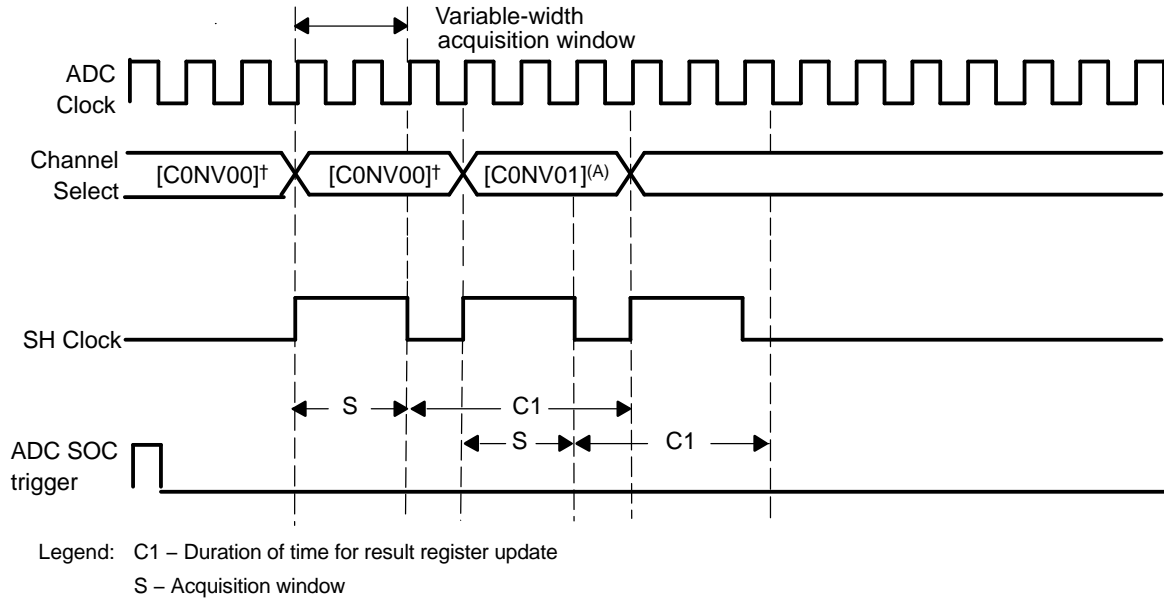
在顺序采样的双序列发生器模式中，一旦完成当前活动序列发生器启动的序列，则将执行暂挂的来自其它序列发生器的 SOC 请求。例如，假定出现来自 SEQ1 的 SOC 请求时，A/D 转换器正忙于处理 SEQ2 的请求。A/D 转换器将在完成正在处理的 SEQ2 请求之后，立即开始执行 SEQ1 的请求。如果 SEQ1 和 SEQ2 的 SOC 请求都为暂挂状态，则 SEQ1 的 SOC 具有优先权。例如，假定 A/D 转换器正忙于处理 SEQ1 的请求。在此过程中，同时出现了来自 SEQ1 和 SEQ2 的 SOC 请求。当 SEQ1 完成其活动序列时，将立即执行 SEQ1 的 SOC 请求。SEQ2 的 SOC 请求将保持暂挂状态。

ADC 也可以运行于同步采样模式或顺序采样模式。对于每次转换 (或同步采样模式中的每对转换)，当前的 CONV<sub>xx</sub> 位字段定义了将要采样和转换的引脚 (或引脚对)。在顺序采样模式中，CONV<sub>xx</sub> 的所有 4 位用于定义输入引脚。MSB 用于定义与输入引脚相关联的采样保持缓冲器，三个 LSB 用于定义偏移。例如，如果 CONV<sub>xx</sub> 包含值 0101b，则 ADC1NA5 为选定的输入引脚。如果它包含值 1011b，则 ADC1NB3 为选定的输入引脚。在同步采样模式中，弃用了 CONV<sub>xx</sub> 寄存器的 MSB。每个采样和保持缓冲器对由 CONV<sub>xx</sub> 寄存器的三个 LSB 所提供的偏移给出的关联引脚进行采样。例如，如果 CONV<sub>xx</sub> 寄存器包含值 0110b，则 S/H-A 对 ADC1NA6 采样，S/H-B 对 ADC1NB6 采样。如果值为 1001b，则 S/H-A 对 ADC1NA1 采样，S/H-B 对 ADC1NB1 采样。首先转换 S/H-A 的电压，然后转换 S/H-B 的电压。将 S/H-A 转换的结果存放在当前 ADCRESLT<sub>n</sub> 寄存器中 (对 SEQ1 为 ADCRESLT0，假定序列发生器已复位)。将 S/H-B 转换的结果存放在下一个 ADCRESLT<sub>n</sub> 寄存器中 (对 SEQ1 为 ADCRESLT1，假定序列发生器已复位)。然后将结果寄存器指针加 2 (指向 SEQ1 的 ADCRESLT2，假定序列发生器原先已复位)。

### 1.2.1 顺序采样模式

图 1-2 显示了顺序采样模式的时序。在此示例中，ACQ\_PS 位设置为 0001b。

图 1-2. 顺序采样模式 (SMODE = 0)

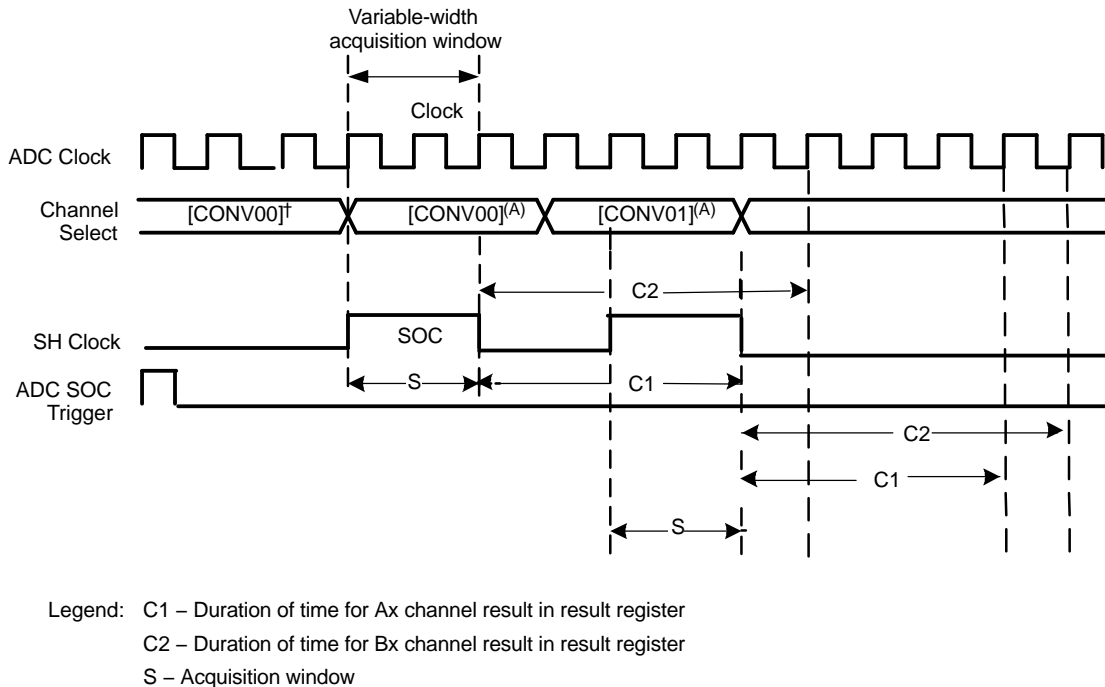


A ADC 信道地址包含在 [CONV00] 4 位寄存器中；对 SEQ1 为 CONV00，而对 SEQ2 为 CONV08。

### 1.2.2 同步采样模式

图 1-3 描述了同步采样模式的时序。在此示例中，ACQ\_PS 位设置为 0001b。

图 1-3. 同步采样模式 (SMODE=1)



A ADC 信道地址包含在 [CONV00] 4 位寄存器中；[CONV00] 表示 A0/B0 信道；[CONV01] 表示 A1/B1 信道。

图 1-4. 级联模式下自动定序的 ADC 结构图

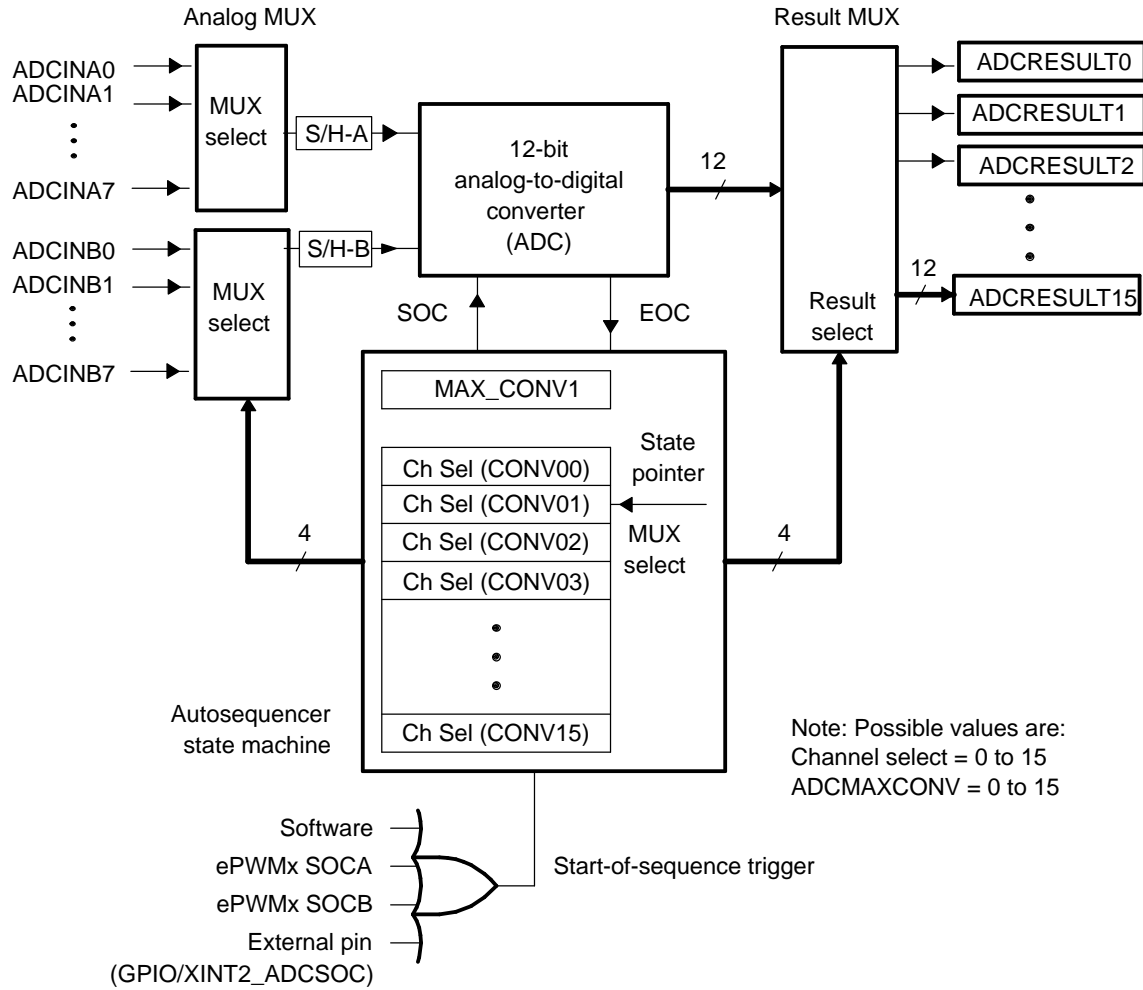
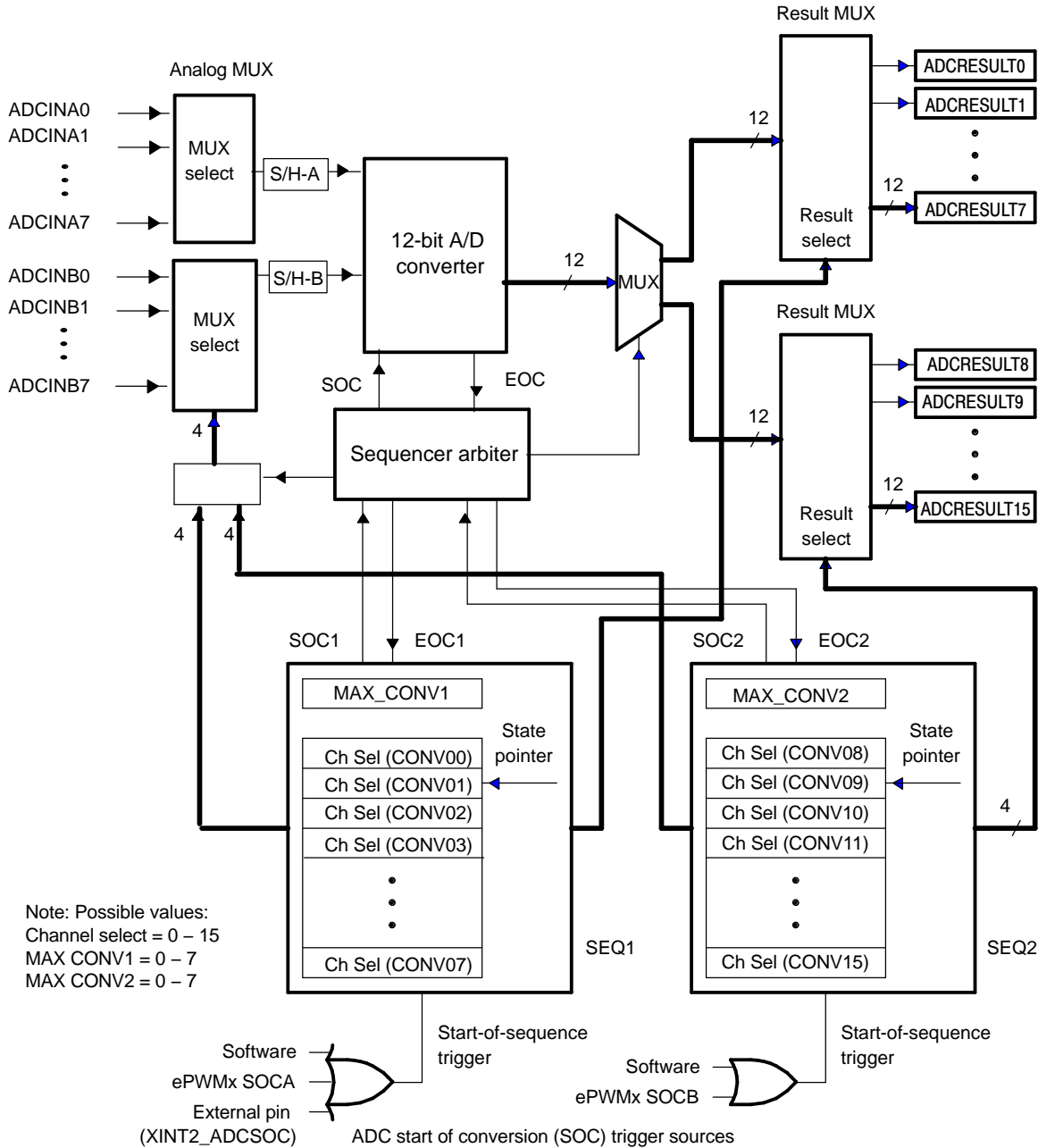




图 1-5. 带双序列发生器的自动定序的 ADC 结构图



注:

在 DSP 中只有一个 ADC。在双序列发生器模式下，2 个序列发生器共享此转换器。

8 状态和 16 状态模式下的序列发生器操作几乎相同，在表 1-2。

表 1-2. 单一工作模式和级联工作模式比较

特性	单一 8 状态序列发生器 #1 (SEQ1)	单一 8 状态序列发生器 #2 (SEQ2)	级联 16 状态序列发生器 (SEQ)
转换开始 (SOC) 触发器	ePWMx SOCA、软件、外部引脚	ePWMx SOCB、软件	ePWMx SOCA、ePWMx SOCB、软件、外部引脚
最大自动转换数 (即序列长度)	8	8	16
在序列结束 (EOS) 时自动停止	支持	支持	支持
仲裁优先级	高	低	不适用
ADC 转换结果寄存器位置	0 - 7	8 - 15	0 - 15
ADCCHSELSEQn 位字段指定	CONV00 - CONV07	CONV08 - CONV15	CONV00 - CONV15

为方便起见，此后将序列发生器状态称为：

- 对 SEQ1： CONV00 - CONV07
- 对 SEQ2： CONV08 - CONV15
- 对级联 SEQ： CONV00 - CONV15

在 ADC 输入信道选择定序控制寄存器 (ADCCHSELSEQn) 中的 CONVxx 位字段定义了为每个定序的转换选择的模拟输入信道。CONVxx 是一个 4 位字段，它指定 16 个用于转换的信道中的任一个。由于在使用级联模式的序列发生器时，序列中最多可有 16 次转换，因此提供了 16 个此类 4 位字段 (CONV00 - CONV15)，且分布在 4 个 16 位寄存器 (ADCCHSELSEQ1 - ADCCHSELSEQ4) 中。CONVxx 位可以是 0 - 15 的任何值。可按任何所需的顺序选择模拟信道，并可多次选择同一信道。

示例 1-1. 同步采样双序列发生器模式示例

示例初始化:

```

AdcRegs.ADCCTRL3.bit.SMODE_SEL = 0x1; // 设置同步采样模式
AdcRegs.ADCMAXCONV.all = 0x0033; // 每个序列发生器 4 个双转换 (共 8 个)
AdcRegs.ADCCHSELSEQ1.bit.CONV00 = 0x0; // 设置从 ADCINA0 & ADCINB0 转换
AdcRegs.ADCCHSELSEQ1.bit.CONV01 = 0x1; // 设置从 ADCINA1 & ADCINB1 转换
AdcRegs.ADCCHSELSEQ1.bit.CONV02 = 0x2; // 设置从 ADCINA2 & ADCINB2 转换
AdcRegs.ADCCHSELSEQ1.bit.CONV03 = 0x3; // 设置从 ADCINA3 & ADCINB3 转换
AdcRegs.ADCCHSELSEQ3.bit.CONV08 = 0x4; // 设置从 ADCINA4 & ADCINB4 转换
AdcRegs.ADCCHSELSEQ3.bit.CONV09 = 0x5; // 设置从 ADCINA5 & ADCINB5 转换
AdcRegs.ADCCHSELSEQ3.bit.CONV10 = 0x6; // 设置从 ADCINA6 & ADCINB6 转换
AdcRegs.ADCCHSELSEQ3.bit.CONV11 = 0x7; // 设置从 ADCINA7 & ADCINB7 转换
  
```

如果已执行 SEQ1 和 SEQ2, 则结果将存入以下 RESULT 寄存器中:

```

ADCINA0 -> ADCRESULT0
ADCINB0 -> ADCRESULT1
ADCINA1 -> ADCRESULT2
ADCINB1 -> ADCRESULT3
ADCINA2 -> ADCRESULT4
ADCINB2 -> ADCRESULT5
ADCINA3 -> ADCRESULT6
ADCINB3 -> ADCRESULT7
ADCINA4 -> ADCRESULT8
ADCINB4 -> ADCRESULT9
ADCINA5 -> ADCRESULT10
ADCINB5 -> ADCRESULT11
ADCINA6 -> ADCRESULT12
ADCINB6 -> ADCRESULT13
ADCINA7 -> ADCRESULT14
ADCINB7 -> ADCRESULT15
  
```

### 示例 1-2. 同步采样级联序列发生器模式示例

```

AdcRegs.ADCCTRL3.bit.SMODE_SEL = 0x1; // 设置同步采样模式
AdcRegs.ADCCTRL1.bit.SEQ_CASC   = 0x1; // 设置级联采样模式
AdcRegs.ADCMAXCONV.all         = 0x0007; // 8 个双转换 (共 16 个)
AdcRegs.ADCCHSELSEQ1.bit.CONV00 = 0x0; // 设置从 ADCINA0 & ADCINB0 转换
AdcRegs.ADCCHSELSEQ1.bit.CONV01 = 0x1; // 设置从 ADCINA1 & ADCINB1 的转换
AdcRegs.ADCCHSELSEQ1.bit.CONV02 = 0x2; // 设置从 ADCINA2 & ADCINB2 的转换
AdcRegs.ADCCHSELSEQ1.bit.CONV03 = 0x3; // 设置从 ADCINA3 & ADCINB3 的转换
AdcRegs.ADCCHSELSEQ2.bit.CONV04 = 0x4; // 设置从 ADCINA4 & ADCINB4 的转换
AdcRegs.ADCCHSELSEQ2.bit.CONV05 = 0x5; // 设置从 ADCINA5 & ADCINB5 的转换
AdcRegs.ADCCHSELSEQ2.bit.CONV06 = 0x6; // 设置从 ADCINA6 & ADCINB6 的转换
AdcRegs.ADCCHSELSEQ2.bit.CONV07 = 0x7; // 设置从 ADCINA7 & ADCINB7 的转换

```

如果已执行级联 SEQ，则结果将已存入以下 ADCRESULT 寄存器中：

```

ADCINA0 -> ADCRESULT0
ADCINB0 -> ADCRESULT1
ADCINA1 -> ADCRESULT2
ADCINB1 -> ADCRESULT3
ADCINA2 -> ADCRESULT4
ADCINB2 -> ADCRESULT5
ADCINA3 -> ADCRESULT6
ADCINB3 -> ADCRESULT7
ADCINA4 -> ADCRESULT8
ADCINB4 -> ADCRESULT9
ADCINA5 -> ADCRESULT10
ADCINB5 -> ADCRESULT11
ADCINA6 -> ADCRESULT12
ADCINB6 -> ADCRESULT13
ADCINA7 -> ADCRESULT14
ADCINB7 -> ADCRESULT15

```

### 1.3 不间断自动定序模式

以下说明适用于 8 状态序列发生器 (SEQ1 或 SEQ2)。在此模式中，SEQ1/SEQ2 可在单次定序会话中对任何信道自动定序多达 8 次转换 (当序列发生器级联在一起时为 16 次)。图 1-6 显示了流程图。每次转换的结果存储在 8 个结果寄存器的其中一个 (对 SEQ1 为 ADCRESULT0 - ADCRESULT7，对 SEQ2 为 ADCRESULT8 - ADCRESULT15) 中。从最低地址向最高地址填充这些寄存器。

序列中的转换数由 MAX\_CONVn (ADCMAXCONV 寄存器中的 3 位字段或 4 位字段) 控制，并在自动定序转换会话开始时自动载入自动定序状态寄存器 (ADCASEQSR) 中的定序计数器状态位 (SEQ\_CNTR[3:0]) 中。MAX\_CONVn 字段可为 0 - 7 范围内的值 (将序列发生器级联在一起时，可以是 0 - 15)。当序列发生器从状态 CONV00 开始时，SEQ\_CNTR 位从其载入的值开始进行倒数，并按顺序持续 (CONV01、CONV02... 依此类推) 到 SEQ\_CNTR 变为 0 为止。在自动定序会话期间完成的转换数等于 (MAX\_CONVn + 1)。

示例 1-3. 在双序列发生器模式下使用 SEQ1 进行转换

假设需从 SEQ1 进行 7 次转换 (即作为自动定序会话的一部分，必须转换输入 ADCINA2 和 ADCINA3 各两次，接着转换 ADCINA6、ADCINA7 和 ADCINB4)，则应将 MAX\_CONV1 设置为 6，ADCCHSELSEQn 寄存器设置为如表 1-3。

示例 1-3. 在双序列发生器模式下使用 SEQ1 进行转换(接上表)

一旦序列发生器接收到转换开始 (SOC) 触发信号, 将开始转换。SOC 触发器也载入 SEQ\_CNTR 位。将按预定顺序对 ADCCHSELSEQn 寄存器中指定的信道进行转换。每次转换后, SEQ\_CNTR 位将自动减 1。一旦 SEQ\_CNTR 到 0, 可能发生两类事情, 这取决于 ADCTRL1 寄存器中连续运行位 (CONT\_RUN) 的状态。请参阅图 1-6 以了解流程说明。

- 如果设置了 CONT\_RUN, 转换序列将自动再次启动 (即 SEQ\_CNTR 重载 MAX\_CONV1 的原始值且 SEQ1 设置为 CONV00 [有关更多选项, 请参阅第 1.7 部分])。在这种情况下, 为避免覆盖数据, 必须确保在下一转换序列开始之前已读取结果寄存器。ADC 中设计了仲裁逻辑, 以确保出现争用时不会破坏结果寄存器 (在您尝试读取结果寄存器的同时 ADC 模块正在尝试写入这些结果寄存器)。
- 如果未设置 CONT\_RUN, 则序列发生器保持最后的状态 (本例中为 CONV06), 且 SEQ\_CNTR 继续保持为 0 值。要在下一 SOC 时重复序列, 必须在下一 SOC 之前使用 RST\_SEQn 位复位序列发生器。

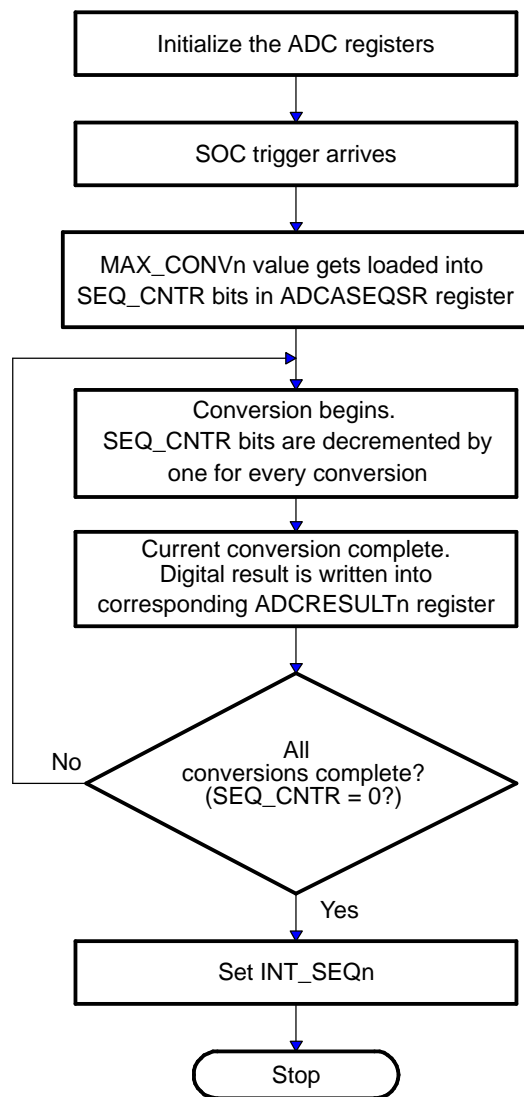
如果每次 SEQ\_CNTR 到达 0 时设置中断标志 (INT\_ENA\_SEQn = 1 且 INT\_MOD\_SEQn = 0), (如有需要) 可以在中断服务例程 (ISR) 中手动复位序列发生器 (使用 ADCTRL2 寄存器中的 RST\_SEQn 位)。这将使得 SEQn 状态复位成初始值 (对 SEQ1 为 CONV00, 对 SEQ2 为 CONV08)。此功能在序列发生器的“启动/停止”操作中非常有用。示例 1-3 也适用于 SEQ2 和级联的 16 状态序列发生器 (SEQ), 在表 1-2。

表 1-3. ADCCHSELSEQn 寄存器的值 (MAX\_CONV1 设置为 6)

	位 15-12 <sup>(1)</sup>	位 11-8 <sup>(1)</sup>	位 7-4 <sup>(1)</sup>	位 3-0 <sup>(1)</sup>	
70A3h	3	2	3	2	ADCCHSELSEQ1
70A4h	x	12	7	6	ADCCHSELSEQ2
70A5h	x	x	x	x	ADCCHSELSEQ3
70A6h	x	x	x	x	ADCCHSELSEQ4

(1) 值为十进制, x = 任意

图 1-6. 不间断自动定序模式的流程图



A 该流程图对应 CONT\_RUN 位 = 0 且 INT\_MOD\_SEQn 位 = 0。

### 1.3.1 序列发生器启动/停止模式（具有多个时序触发器的序列发生器启动/停止操作）

除了不间断自动定序模式之外，任何序列发生器（SEQ1、SEQ2 或 SEQ）均可在时间上分离且与多个转换开始（SOC）触发器同步的停止/启动模式下操作。此模式类似于示例 1-3，但是，一旦序列发生器完成其第一个序列，将允许重新触发而不复位为初始状态 CONV00（即在中断服务例程内不复位该序列发生器）。因此，当一个转换序列结束时，序列发生器保持在当前转换状态。必须为此模式将 ADCTRL1 寄存器中的连续运行位（CONT\_RUN）设置为 0（即禁用）。

示例 1-4. 序列发生器启动/停止操作

要求：要开始触发 1（下溢）的 3 次自动转换（例如  $I_1$ 、 $I_2$  和  $I_3$ ）以及触发 2（周期）的 3 次自动转换（例如  $V_1$ 、 $V_2$  和  $V_3$ ）。触发信号 1 与触发信号 2 在时间上相差  $25\mu\text{s}$  并由 ePWM 提供。请参阅图 1-7。在这一事例中，仅使用了 SEQ1。

注：

触发信号 1 和触发信号 2 可以是来自 ePWM、外部引脚或软件的 SOC 信号。相同的触发源可以发生 2 次，以满足本例中的双触发要求。必须注意不要因正在处理的序列而丢失多个 ePWM 触发信号。请参阅第 1.3.3 部分。

此处将 MAX\_CONV1 设置为 2，并将 ADC 输入信道选择定序控制寄存器 (ADCCHSELSEQn) 设置为如表 1-4。

一旦完成复位和初始化，SEQ1 将等待触发信号。出现第一个触发信号时，执行信道选择值为 CONV00 ( $I_1$ )、CONV01 ( $I_2$ ) 和 CONV02 ( $I_3$ ) 的 3 次转换。然后，SEQ1 在当前状态等待下一个触发信号。25 微秒之后，第二个触发信号到达，将执行信道选择值为 CONV03 ( $V_1$ )、CONV04 ( $V_2$ ) 和 CONV05 ( $V_3$ ) 的另外 3 次转换。

对于这两个触发情况，MAX\_CONV1 的值都自动载入到 SEQ\_CNTR 中。如果在第二个触发点需要不同的转换数，则必须通过软件（在第二次触发前的某个适当时间）更改 MAX\_CONV1 的值，否则，将重新使用当前（最初载入）的值。这可通过在适当的时间由 ISR 更改 MAX\_CONV1 值实现。第 1.3.4 部分中描述了中断操作模式。

第二次自动转换会话结束时，ADC 结果寄存器将具有如表 1-5。

这时，SEQ1 保持在当前状态等待另一触发信号。现在，用户可将 SEQ1（通过软件）复位成状态 CONV00，并可以重复相同的触发信号 1 和触发信号 2 会话。

图 1-7. ePWM 触发器启动序列发生器的示例

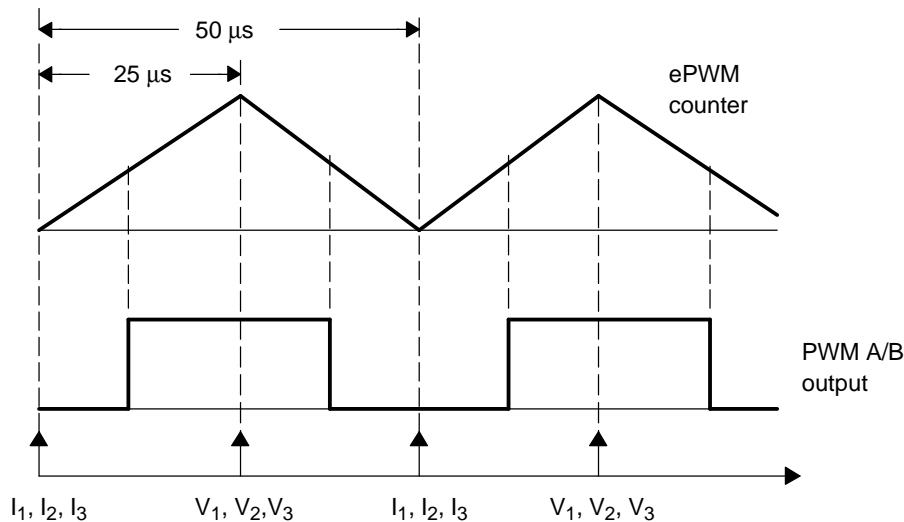


表 1-4. ADCCHSELSEQn 的值 (MAX\_CONV1 设置为 2)

	位 15-12	位 11-8	位 7-4	位 3-0	
70A3h	$V_1$	$I_3$	$I_2$	$I_1$	ADCCHSELSEQ1
70A4h	x	x	$V_3$	$V_2$	ADCCHSELSEQ2
70A5h	x	x	x	x	ADCCHSELSEQ3
70A6h	x	x	x	x	ADCCHSELSEQ4

表 1-5. 第二次自动转换会话后的值

缓冲寄存器	ADC 转换结果缓冲器
ADCRESULT0	I <sub>1</sub>
ADCRESULT1	I <sub>2</sub>
ADCRESULT2	I <sub>3</sub>
ADCRESULT3	V <sub>1</sub>
ADCRESULT4	V <sub>2</sub>
ADCRESULT5	V <sub>3</sub>
ADCRESULT6	x
ADCRESULT7	x
ADCRESULT8	x
ADCRESULT9	x
ADCRESULT10	x
ADCRESULT11	x
ADCRESULT12	x
ADCRESULT13	x
ADCRESULT14	x
ADCRESULT15	x

### 1.3.2 同步采样模式

如果一个输入来自 ADCINA0 - ADCINA 范围，且另一输入来自 ADCINB0 - ADCINB7 范围，则 ADC 能够同时采样 2 个 ADCINxx 输入。而且，2 个输入必须具有相同的采样保持偏移值（即 ADCINA4 和 ADCINB4，而不能是 ADCINA7 和 ADCINB6）。要使 ADC 进入同步采样模式，必须设置 ADCTRL3 寄存器中的 SMODE\_SEL 位。请参阅第 1.2 部分以了解详细信息。

### 1.3.3 输入触发器说明

每个序列发生器具有一组可以启用/禁用的触发器输入。请参阅表 1-6 以了解 SEQ1、SEQ2 和级联 SEQ 的有效输入触发器。

表 1-6. 输入触发器

SEQ1 (序列发生器 1)	SEQ2 (序列发生器 2)	级联 SEQ
软件触发器 (软件 SOC)	软件触发器 (软件 SOC)	软件触发器 (软件 SOC)
ePWMx SOCA	ePWMx SOCB	ePWMx SOCA
XINT2_ADCSOC		ePWMx SOCB
		XINT2_ADCSOC

注:

- SOC 触发器可在序列发生器处于空闲状态时启动自动转换序列。空闲状态是接收触发信号之前的 CONV00，或是转换序列完成时（即 SEQ\_CNTR 到计数 0 时）序列发生器所处的任何状态。
- 如果在执行当前转换序列时出现 SOC 触发信号，则它将设置 ADCTRL2 寄存器中的 SOC\_SEQn 位（此位在上一转换序列开始时已被清除）。如果还出现另一 SOC 触发信号，则将丢失它（即在已设置 SOC\_SEQn 位（SOC 暂挂），将忽略随后的触发信号）。
- 一旦触发成功，序列发生器就不能在序列中间停止/停机。程序必须等待序列结束 (EOS) 或启动序列发生器复位，这将使序列发生器立即返回到空闲起始状态（对 SEQ1 和级联模式为 CONV00；对 SEQ2 为 CONV08）。
- 当 SEQ1/2 用于级联模式时，将忽略进入 SEQ2 的触发信号，而 SEQ1 的触发信号为活动状态。可将级联模式看作 16 状态而非 8 状态的 SEQ1。



### 1.3.4 定序转换期间的中断操作

序列发生器可在 2 种操作模式下生成中断。这些模式由 ADCTRL2 中的中断模式启用控制位确定。

**示例 1-4** 的变化可用于显示在不同操作条件下，中断模式 1 和模式 2 的用途。

**情形 1:** 第一个序列和第二个序列中的采样数不相等

- 模式 1 中断操作（即在每次 EOS 时发出中断请求）
  1. 用  $MAX\_CONVn = 1$  初始化序列发生器，以转换  $I_1$  和  $I_2$ 。
  2. 在 ISR "a" 处，（通过软件）将  $MAX\_CONVn$  更改为 2，以转换  $V_1$ 、 $V_2$  和  $V_3$ 。
  3. 在 ISR "b" 处，将发生以下事件：
    - a. 再次将  $MAX\_CONVn$  更改为 1，以转换  $I_1$  和  $I_2$ 。
    - b. 从 ADC 结果寄存器中读取  $I_1$ 、 $I_2$ 、 $V_1$ 、 $V_2$  和  $V_3$  值。
    - c. 序列发生器复位。
  4. 重复步骤 2 和步骤 3。注意每次  $SEQ\_CNTR$  到 0 和识别到两个中断时，将设置中断标志。

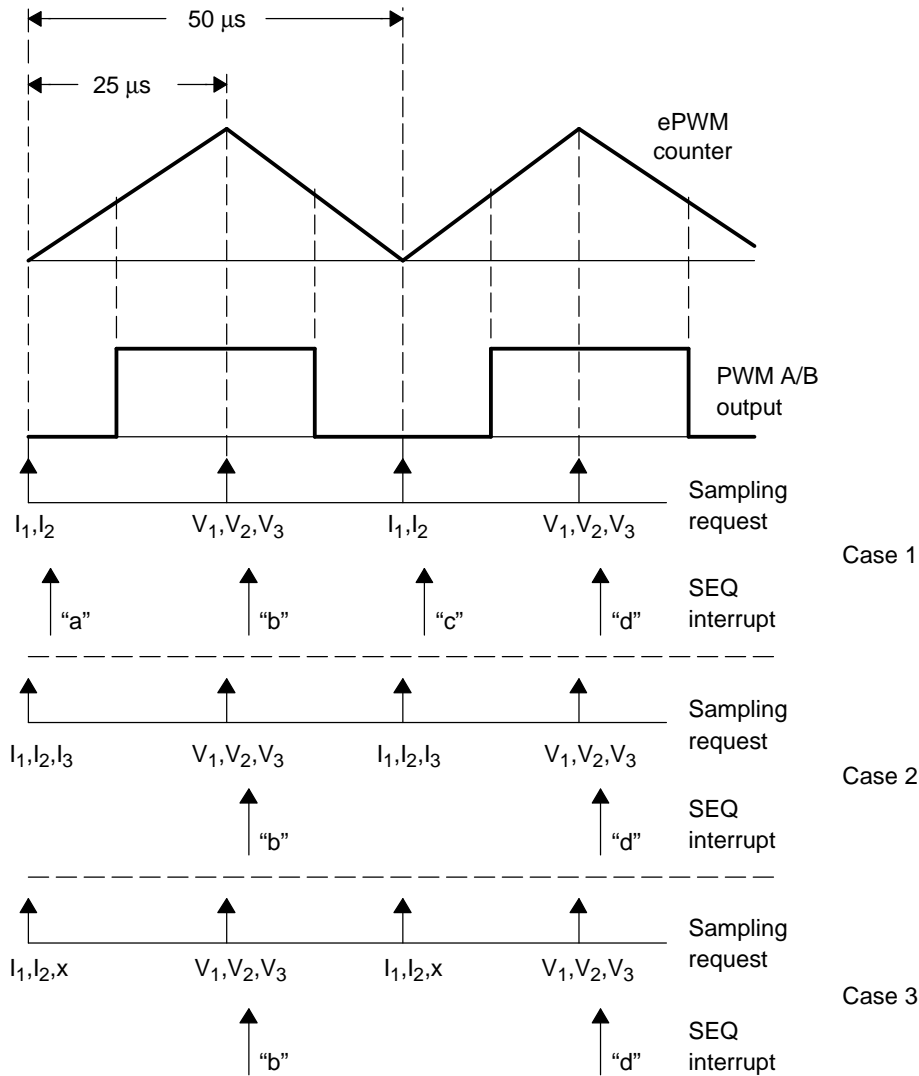
**情形 2:** 第一个序列和第二个序列中的采样数相等

- 模式 2 中断操作（即在每个其它 EOS 时发出中断请求）
  1. 用  $MAX\_CONVn = 2$  初始化序列发生器，以转换  $I_1$ 、 $I_2$  和  $I_3$ （或  $V_1$ 、 $V_2$  和  $V_3$ ）。
  2. 在 ISR "b" 和 "d" 处，将发生以下事件：
    - a. 从 ADC 结果寄存器中读取值  $I_1$ 、 $I_2$ 、 $I_3$ 、 $V_1$ 、 $V_2$  和  $V_3$ 。
    - b. 序列发生器复位。
  3. 重复步骤 2。

**情形 3:** 第一个序列和第二个序列中的采样数相等（使用虚假读取）

- 模式 2 中断操作（即在每个其它 EOS 时发出中断请求）
  1. 为  $I_1$ 、 $I_2$  和  $x$ （虚假采样）用  $MAX\_CONVn = 2$  初始化序列发生器。
  2. 在 ISR "b" 和 "d" 处，将发生以下事件：
    - a. 从 ADC 结果寄存器读取值  $I_1$ 、 $I_2$ 、 $V_1$ 、 $V_2$  和  $V_3$ 。
    - b. 序列发生器复位。
  3. 重复步骤 2。注意，第三个  $I$  采样 ( $x$ ) 为虚假采样，而实际并不需要。但是，为最大程度地减少 ISR 开销 CPU 干预，利用了模式 2 的“每隔一个”中断请求功能。

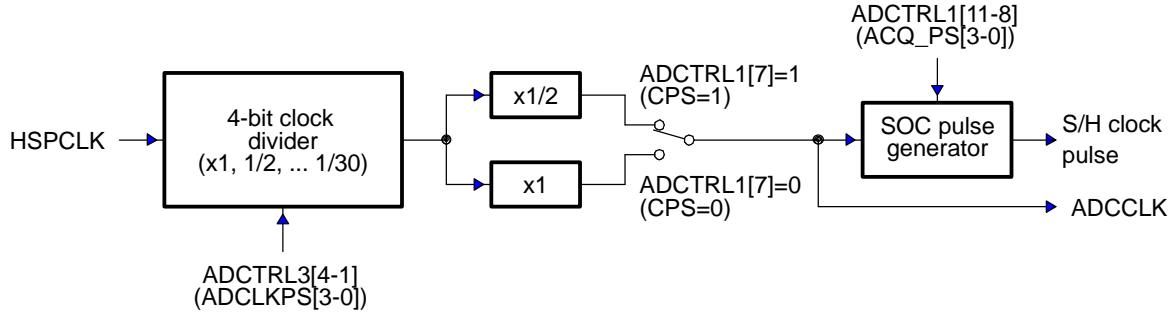
图 1-8. 定序转换期间的中断操作



#### 1.4 ADC 时钟预分频器

将外设时钟 HSPCLK 除以 ADCTRL3 寄存器的 ADCCLKPS[3:0] 位。通过 ADCTRL1 寄存器的 CPS 位提供额外的二分频。另外，可定制 ADC 来适应由于采样/采集周期展宽导致的源阻抗变化。这由 ADCTRL1 寄存器的 ACQ\_PS[3:0] 位控制。这些位不影响 S/H 和转换进程的转换部分，但通过扩展转换开始脉冲确实延长了采样部分所用的时间。请参阅图 1-9。

图 1-9. ADC 内核时钟和采样保持 (S/H) 时钟



A 有关时钟除法器比率和 S/H 脉冲控制，请参阅寄存器位定义。S/H 脉宽决定采集窗口的大小（采样开关关闭时的时间段）。

### 1.4.1 ADC 模块时钟和采样频率

ADC 模块具有若干预分频器级，以产生任何所需的 ADC 操作时钟速度。下图定义了馈送给 ADC 模块的时钟选择级。

图 1-10. 到 ADC 的时钟链

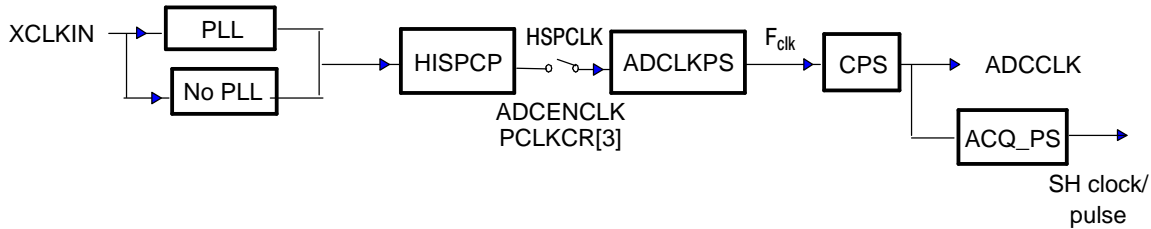


表 1-7. 到 ADC 的时钟链

XCLKIN	PLLCR[3:0]	HISPCP	ADCTRL3[4-1] ADCLKPS	ADCTRL1[7] CPS	ADCCLK	ADCTRL1[11-8] ACQ_PS	SH 宽度
20Mhz	0000b 10Mhz	HSPCP = 0 10Mhz	ADCLKPS = 0 10Mhz	CPS=1 5Mhz	5Mhz	ACQ_PS = 0 SH 脉冲时钟	1
20Mhz	1010b 100MHz	HSPCP = 4 100MHz/ 2 X 4 = 12.5 MHz	ADCLKPS = 2 12.5MHz/ 2 X 2 = 3.125 MHz	CPS = 1 3.125MHz/2 X 1 = 1.5625 MHz	1.5625Mhz	ACQ_PS = 15 SH 脉冲/时钟 = 16	16

### 1.5 低功耗模式

ADC 支持 3 个不同的电源，每个电源由 ADCTRL3 寄存器中独立的位控制。这 3 位组合形成了 3 个功率级别：ADC 上电、ADC 断电和 ADC 关闭。

表 1-8. 功率选项

功率级别	ADCBGRFDN1	ADCBGRFDNO	ADCPWDN
ADC 上电	1	1	1
ADC 断电	1	1	0
ADC 关闭	0	0	0
保留	1	0	X
保留	0	1	X

## 1.6 上电顺序

ADC 复位到 ADC 关闭状态。当给 ADC 上电时，请使用以下顺序：

1. 如果需要外部参考，请使用 ADCREFSEL 寄存器中的位 15-14 启用此模式。在给能带隙上电之前，必须启用此模式。
2. 通过设置 ADCTRL3 寄存器中的位 7-5 (ADCBGRFDN[1:0] 和 ADCPWDN) 给参考、能带隙和模拟电路一起上电。
3. 在执行第一次转换前，需要 5ms 的延迟。

在对 ADC 断电时，可同时清除所有 3 位。ADC 的功率级别必需通过软件控制，且它们独立于器件的功率模式。

有时希望通过只清除 ADCPWDN 位使 ADC 断电，而保持能带隙和参考通电。对 ADC 重新通电时，在设置此位之后执行任何转换之前，需要 20 $\mu$ s 的延迟。

注：

在对所有电路上电后，F280x ADC 需要 5ms 的延迟。此延迟不同于 F281x ADC 的延迟。

## 1.7 序列发生器覆盖功能

在正常操作中，序列发生器 SEQ1、SEQ2 或级联的 SEQ1 帮助转换选定的 ADC 信道，并按顺序将其存储到各自的 ADCRESULTn 寄存器中。序列在 MAX\_CONVn 设置结束时自然回绕。通过序列发生器的覆盖功能，可以用软件控制序列发生器的自然回绕。序列发生器的覆盖功能由 ADC 控制寄存器 1 (ADCCTRL1) 的位 5 控制。

例如，假定 SEQ\_OVRD 位为 0，且 ADC 处于 MAX\_CONV1 设置值为 7 的级联序列发生器的连续转换模式。正常情况下，序列发生器将按顺序递增并并通过 ADC 转换更新至 ADCRESULT7 寄存器，然后回绕到 0。ADCRESULT7 寄存器更新结束时，将设置相关的中断标志。

当 SEQ\_OVRD 位设置为 1 时，序列发生器更新 7 个结果寄存器，而不回绕到 0。而序列发生器将按顺序递增，并向前更新 ADCRESULT8 寄存器，直至到达 ADCRESULT15 寄存器。在更新 ADCRESULT15 寄存器之后，将自然回绕到 0。此功能以处理从 ADC 捕捉的顺序数据的 FIFO 方式处理结果寄存器 (0-15)。当以最大数据速率进行 ADC 转换时，此功能非常有助于捕捉 ADC 数据。

有关序列发生器覆盖功能的建议和注意事项：

- 在复位之后，SEQ\_OVRD 位将为 0；因此序列发生器覆盖功能将继续禁用。
- 当为 MAX\_CONVn 的所有非 0 值设置了 SEQ\_OVRD 位时，将为结果寄存器更新的每个 MAX\_CONVn 计数设置相关的中断标志位。
- 例如，如果 ADCMAXCONV 设置为 3，则将每隔 4 次结果寄存器更新设置所选序列发生器的中断标志。总是在序列发生器结束时发生回绕（即在级联序列发生器模式的 ADCRESULT15 寄存器更新后）。
- 这在使用 SEQ1、SEQ 以及使用 SEQ1 的级联序列发生器的转换中起作用。
- 建议不要在程序内动态启用/控制此功能。请在 ADC 模块初始化期间始终启用此功能。
- 在具有序列发生器变化的连续转换模式中，ADC 信道地址使用 CONVxx 寄存器中的预置值。如果需要同时对同一信道进行连续转换，则所有 CONVxx 寄存器应具有相同的信道地址。
- 在连续转换模式中，如果需要复位序列发生器：请将 CONT\_RUN 设置为 0，等待 ADC 时钟域中的 2 个周期，然后将序列发生器复位。然后可将 CONT\_RUN 设置回 1。
- 例如，要用序列发生器的覆盖功能为 ADCINA0 信道获得 16 个连续采样，应将 16 个 CONVxx 寄存器全部设置为 0x0000。

## 1.8 内部/外部参考电压选择

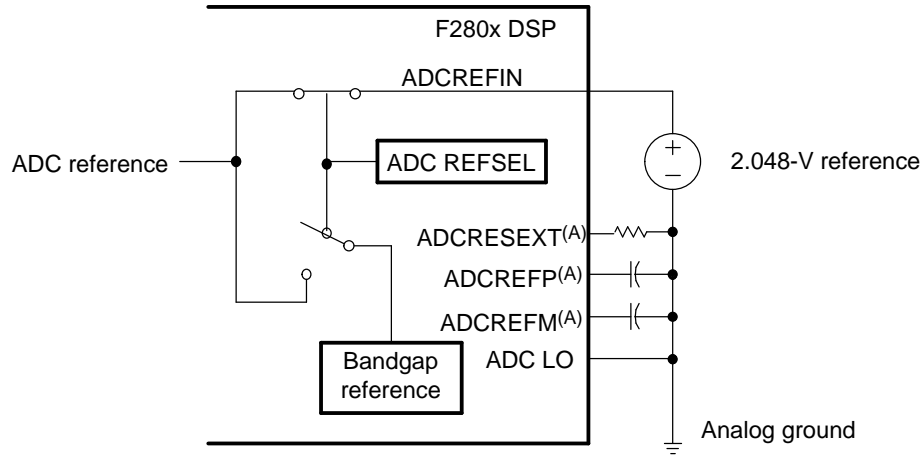
默认情况下，选择内部产生的能带隙参考电压向 ADC 逻辑电路供电。

可根据客户的应用要求，通过外部参考电压向 ADC 逻辑电路供电。280x ADC 将接受 ADCREFIN 引脚上的 2.048V 电压。ADCREFSEL 寄存器的值决定所选的参考源。

如果选择了内部参考选项，可将 ADCREFIN 引脚继续连接到 2.048V 电压、保持悬空或接地。无论选择哪个选项，ADCRESEXT、ADCREFP 和 ADCREFM 引脚的外部电路都相同。

已选择 2.048V 的外部参考电压，以匹配行业标准参考组件。这些组件可用于各种温度额定值。推荐的德州仪器 (TI) 部件为 REF3020AIDBZ。

图 1-11. 外部参考的外部偏置



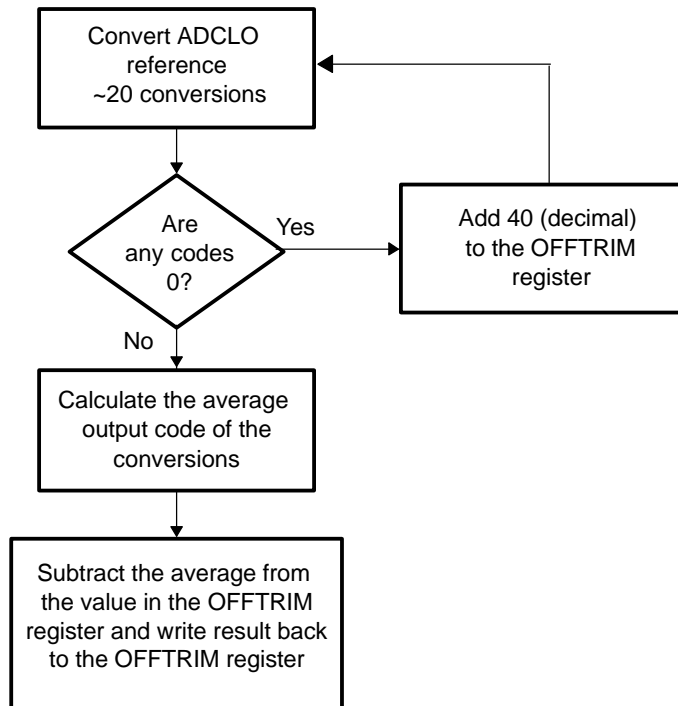
A 有关组件的值，请参阅 *TMS320F2808*、*TMS320F2806*、*TMS320F2801*、*UCD9501* 数字信号处理器产品手册（文献编号 SPRS230）。

## 1.9 偏移误差校正

280x ADC 支持通过 ADC 偏移微调寄存器 (ADCOFFTRIM) 中的 9 位字段进行偏移校正。对此寄存器中包含的值进行加/减后, 结果才会出现在 ADC 结果寄存器中。本操作包含在 ADC 模块中, 因此不会影响结果的时序。

要为此寄存器找到合适的值, 请将 ADCLO 连接到其中一个 ADC 信道, 并使用不同的寄存器值转换该信道, 直至看到中央 0 代码为止。请参阅图 1-12 以了解流程图。

图 1-12. 偏移误差校正进程的流程图



### 示例 1-5. 负偏移

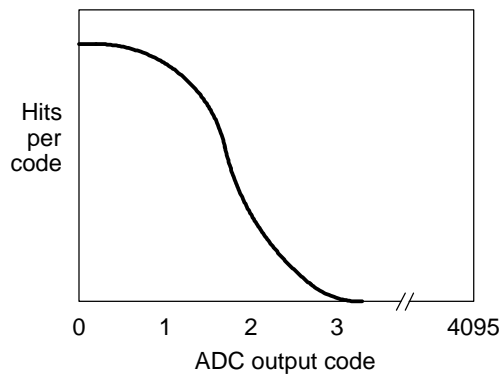
启动时, 大多数参考转换产生 0 值结果。将值 0x28 (十进制的 40) 写入 OFFTRIM 寄存器后, 所有参考转换得到正值结果, 且平均输出 0x19 (十进制的 25)。写入 OFFTRIM 寄存器的最终值应为 0x0F (十进制的 15)。

### 示例 1-6. 正偏移

启动时, 所有参考转换产生平均值为 0x14 (十进制的 20) 的正值结果。写入 OFFTRIM 寄存器的最终值应为 0x1EC (十进制的 -20)。

偏移误差校正进程完成后, 在转换多个 ADCLO 采样时, 应能看到类似于图 1-13 的半钟型曲线分布。由于转换器在 0 代码处降至最低点, 所以隐藏了另一半钟型曲线。

图 1-13. 采样 0-V 参考电压的理想代码分布







## ADC 寄存器

本章对ADC 寄存器按功能分组并进行描述，同时还包含位定义。

主题	页
2.1 ADC 控制寄存器 .....	34
2.2 最大转换信道数寄存器 (ADCMAXCONV) .....	37
2.3 自动定序状态寄存器 (ADCASEQSR) .....	39
2.4 ADC 状态和标志寄存器 (ADCST) .....	39
2.5 ADC 参考选择寄存器 (ADCREFSSEL) .....	40
2.6 ADC 偏移微调寄存器 (ADCOFFTRIM) .....	41
2.7 ADC 输入信道选择定序控制寄存器 .....	41
2.8 ADC 转换结果缓冲寄存器 (ADCRESULTn) .....	42

ADC 控制寄存器

2.1 ADC 控制寄存器

图 2-1. ADC 控制寄存器 1 (ADCTRL1) (地址偏移 00h)

15	14	13	12	11	8
保留	RESET	SUSMOD		ACQ_PS	
R-0	R/W-0	R/W-0		R/W-0	
7	6	5	4	3	0
CPS	CONT_RUN	SEQ_OVRD	SEQ_CASC	保留	
R/W-0	R/W-0	R/W-0	R/W-0	R-0	

图例: R/W = 读/写; R = 只读; -n = 复位后的值

表 2-1. ADC 控制寄存器 1 (ADCTRL1) 字段说明

位	名称	值	说明
15	保留		读取返回 0 值。写入无影响。
14	RESET	0 1	ADC 模块软件复位。此位导致整个 ADC 模块的主复位。当将器件复位引脚拉低时 (或上电复位后), 所有寄存器和序列发生器状态机制复位到初始状态。这是一个一次效应位, 也即将此位置 1 后, 将立即自行清除此位。此位的读数总是返回 0 值。ADC 复位也有 2 个时钟周期的延迟 (即在复位 ADC 的指令后经过 2 个 ADC 时钟周期之前, 不应修改其它 ADC 控制寄存器位)。 无影响 复位整个 ADC 模块 (然后由 ADC 逻辑电路将该位设置回 0) 注: 在系统复位期间将复位 ADC 模块。如果需要在其它任何时间复位 ADC 模块, 可通过向此位写入 1 来实现。经历 2 个 ADC 时钟域周期后, 可向 ADCTRL1 寄存器位写入适当的值。下例假定 100MHz 的 DSP 时钟和 12.5MHz 的 ADCCLK。汇编代码: MOV ADCTRL1, #01xxxxxxxxxxxxxb; 复位 ADC (RESET = 1) RPT #14   NOP; 提供每次写入 ADCTRL1 所需的延迟 MOV ADCTRL1, #00xxxxxxxxxxxxxb; 将 ADCTRL1 配置为用户所需的值。 请注意, 如果默认配置已足够, 则无需第二个 MOV。
13-12	SUSMOD[1:0]	00 01 10 11	仿真挂起模式。这些位决定出现仿真挂起 (例如, 因调试器触及断点) 时发生的事件。 模式 0。忽略仿真挂起。 模式 1。完成当前序列、锁定最终结果且更新状态机制之后, 序列发生器和其它轮询程序逻辑停止。 模式 2。完成当前转换、锁定结果且更新状态机制之后, 序列发生器和其它轮询程序逻辑停止。 模式 3。仿真挂起时, 序列发生器和其它轮询程序逻辑立即停止。
11-8	ACQ_PS[3:0]		采集窗口大小。此位字段控制 SOC 脉宽, 后者确定采样开关关闭的时间段。SOC 脉宽为 ADCTRL1[11:8] + 1 乘以 ADCLK 周期。
7	CPS	0 1	内核时钟预分频器。预分频器用于对器件外设时钟 HSPCLK 进行分频。 $ADCCLK = F_{clk}/1$ $ADCCLK = F_{clk}/1$ 注: $F_{clk}$ = 被预分频的 HSPCLK (ADCCLKPS[3:0])
6	CONT_RUN	0 1	连续运行。此位决定序列发生器工作是处于连续转换模式还是启动/停止模式。可在当前转换序列有效时写入此位。此位在当前转换序列结束时生效; 即, 为了采取有效的操作, 在发生 EOS 之前, 可用软件设置/清除此位。在连续转换模式下, 不必复位序列发生器; 但是, 在启动/停止模式下必须复位序列发生器, 以使转换器进入状态 CONV00。 0 启动/停止模式。到达 EOS 后序列发生器停止。除非执行了序列发生器复位, 否则序列发生器在遇到下一个 SOC 时将从结束时的状态启动。 1 连续转换模式。到达 EOS 后, 序列发生器的行为取决于 SEQ_OVRD 位的状态。如果清除此位, 则序列发生器将再次从其复位状态启动 (对 SEQ1 和级联模式为 CONV00, 对 SEQ2 为 CONV08)。如果设置了 SEQ_OVRD, 则序列发生器将再次从其当前位置启动, 而不会进行复位。
5	SEQ_OVRD	0	序列发生器覆盖。可通过覆盖 MAX_CONVn 设置的转换结束时的回绕, 来提供连续运行模式的附加序列发生器灵活性。 禁用 - 允许序列发生器在 MAX_CONVn 设置的转换结束时回绕。

表 2-1. ADC 控制寄存器 1 (ADCTRL1) 字段说明(接上表)

位	名称	值	说明
		1	启用 - 覆盖序列发生器在 MAX_CONVn 设置的转换结束时的回绕。仅在序列发生器结束时发生回绕。
4	SEQ_CASC	0	级联的序列发生器操作。此位决定 SEQ1 和 SEQ2 是作为 2 个 8 状态序列发生器工作还是作为单个 16 状态序列发生器工作 (SEQ)。
		1	双序列发生器模式。SEQ1 和 SEQ2 作为 2 个 8 状态序列发生器工作。
		1	级联模式。SEQ1 和 SEQ2 作为单个 16 状态序列发生器工作 (SEQ)。
3-0	保留		读取返回 0。写入无影响。

图 2-2. ADC 控制寄存器 2 (ADCTRL2) (地址偏移 01h)

15	14	13	12	11	10	9	8
ePWM_SOCB_SEQ	RST_SEQ1	SOC_SEQ1	保留	INT_ENA_SEQ1	INT_MOD_SEQ1	保留	ePWM_SOCA_SEQ1
R/W-0	R/W-0	R/W-0	R-0	R/W-0	R/W-0	R-0	R/W-0
7	6	5	4	3	2	1	0
EXT_SOC_SEQ1	RST_SEQ2	SOC_SEQ2	保留	INT_ENA_SEQ2	INT_MOD_SEQ2	保留	ePWM_SOCB_SEQ2
R/W-0	R/W-0	R/W-0	R-0	R/W-0	R/W-0	R-0	R/W-0

图例: R/W = 读/写; R = 只读; W = 写入存取, S = 只设置, C = 清除, -n = 复位后的值

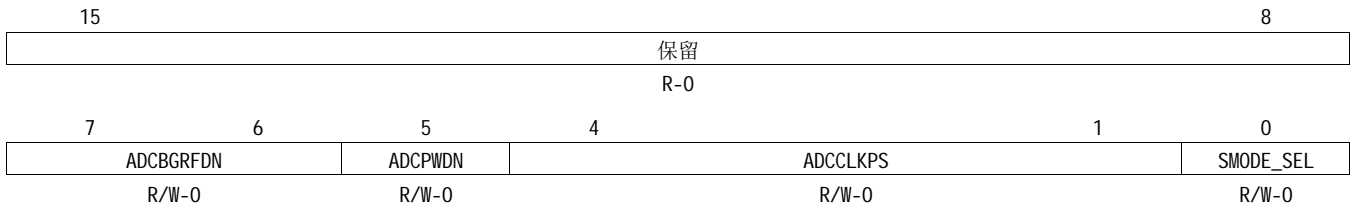
表 2-2. ADC 控制寄存器 2 (ADCTRL2) 字段说明

位	名称	值	说明
15	ePWM_SOCB_SEQ	0 1	为级联序列发生器启用 ePWM SOCB (注: 此位只在级联模式中有效。) 无操作 设置此位, 允许由 ePWM SOCB 信号启动级联的序列发生器。可以对 ePWM 模块编程从而在各种情况下启动转换。有关 ePWM 模块的详细信息, 请参阅 <i>TMS320x280x 增强型脉宽调制模块参考指南</i> (文献编号 SPRU791)。
14	RST_SEQ1	0 1	复位序列发生器 1, 将 1 写入此位将使 SEQ1 或级联序列发生器立即复位到初始的“触发前”状态, 即在 CONV00 等待触发信号。将异常中止当前活动的转换序列。 无操作 立即将序列发生器复位到状态 CONV00
13	SOC_SEQ1	0 1	序列发生器 1 (SEQ1) 或级联序列发生器的转换开始 (SOC) 触发器。可通过以下触发器设置此位: <ul style="list-style-type: none"> <li>S/W - 通过软件将 1 写入此位</li> <li>ePWM SOCA</li> <li>ePWM SOCB (仅用于级联模式)</li> <li>EXT - 在 GPIOxINT2SEL 寄存器中配置为 XINT2 的外部引脚 (即 GPIO 端口 A 引脚 (GPIO31-0))。</li> </ul> 有关如何将 GPIO 引脚配置为 XINT2 的详细信息, 请参阅 <i>TMS320x280x 系统控制和中断参考指南</i> (文献编号 SPRU712)。当触发生时, 有三种可能: 情形 1: SEQ1 空闲且已清除 SOC 位, 则 SEQ1 立即启动 (受仲裁器控制)。允许为任何“暂挂”的触发请求设置和清除此位。 情形 2: SEQ1 忙且已清除 SOC 位, 则设置此位以指出触发请求正暂挂。当完成当前转换后最终启动 SEQ1 时, 将清除此位。 情形 3: SEQ1 忙且设置了 SOC 位, 则忽略 (丢失) 此情况下出现的任何触发信号。 0 清除暂挂的 SOC 触发器。 注: 如果序列发生器已启动, 则自动清除此位; 因此, 写入 0 无影响, 即不能通过清除此位来停止已启动的序列发生器。 1 软件触发器 - 从当前停止的位置启动 SEQ1 (即空闲模式) 注: 不应在同一指令中设置 RST_SEQ1 (ADCTRL2.14) 和 SOC_SEQ1 (ADCTRL2.13) 位。这将使序列发生器复位, 但不会启动序列。正确的操作顺序为首先设置 RST_SEQ1 位, 并在随后的指令中设置 SOC_SEQ1 位。这样能够确定序列发生器是否已复位以及新序列是否已启动。此序列也适用于 RST_SEQ2 (ADCTRL2.6) 和 SOC_SEQ2 (ADCTRL2.5) 位。
12	保留		读取返回 0 值。写入无影响。
11	INT_ENA_SEQ1		启用 SEQ1 中断。此位启用 INT_SEQ1 对 CPU 的中断请求。

表 2-2. ADC 控制寄存器 2 (ADCTRL2) 字段说明(接上表)

位	名称	值	说明
		0	禁用 INT_SEQ1 的中断请求。
		1	启用 INT_SEQ1 的中断请求。
10	INT_MOD_SEQ1		SEQ1 中断模式。此位选择 SEQ1 中断模式。它影响 SEQ1 转换序列结束时的 INT_SEQ1 设置。 0 每个 SEQ1 序列结束时设置 INT_SEQ1。 1 每隔一个 SEQ1 序列结束时设置 INT_SEQ1。
9	保留		读取返回 0 值。写入无影响。
8	ePWM_SOCA_SEQ1		SEQ1 的 ePWM SOCA 启用位 0 SEQ1 不能由 ePWMx SOCA 触发器启动。 1 允许由 ePWMx SOCA 触发器启动 SEQ1/SEQ0。可以对 ePWMs 编程从而在各种情况下启动转换。
7	EXT_SOC_SEQ1		SEQ1 的外部信号转换开始位 0 无操作 1 设置此位使 ADC 自动转换序列可以由来自 GPIO 端口 A 引脚 (GPIO31-0) 的信号启动, 在 GPIOXINT2SEL 寄存器中已将引脚配置为 XINT2。请参阅 TMS320x280x 系统控制和中断参考指南 (SPRU712)。
6	RST_SEQ2		复位 SEQ2 0 无操作 1 立即将 SEQ2 复位到“触发前”状态, 即在 CONV08 等待触发信号。将异常中止当前活动的转换序列。
5	SOC_SEQ2		序列发生器 2 (SEQ2) 的转换开始触发器。(仅适用于双序列发生器模式; 在级联模式中被忽略。)可通过以下触发器设置此位: • S/W - 通过软件将 1 写入此位 • ePWM SOCB 当触发发生时, 有三种可能: 情形 1: SEQ2 空闲且已清除 SOC 位, 则 SEQ2 立即启动 (受仲裁器控制), 且允许为任何暂挂的触发请求清除该位。 情形 2: SEQ2 忙且已清除 SOC 位, 则设置此位以指出触发请求正暂挂。当完成当前转换后最终启动 SEQ2 时, 将清除此位。 情形 3: SEQ2 忙且设置了 SOC 位, 将忽略 (丢失) 此情况下出现的任何触发信号。 0 清除暂挂的 SOC 触发器 注: 如果序列发生器已启动, 则自动清除此位; 因此, 写入 0 无影响, 即不能通过清除此位来停止已启动的序列发生器。 1 从当前停止的位置启动 SEQ2 (即空闲模式)
4	保留		读取返回 0 值。写入无影响。
3	INT_ENA_SEQ2		启用 SEQ2 中断。此位启用或禁用 INT_SEQ2 对 CPU 的中断请求。 0 禁用 INT_SEQ2 的中断请求。 1 启用 INT_SEQ2 的中断请求。
2	INT_MOD_SEQ2		SEQ2 中断模式。此位选择 SEQ2 中断模式。它影响 SEQ2 转换序列结束时的 INT_SEQ2 设置。 0 每个 SEQ2 序列结束时设置 INT_SEQ2。 1 每隔一个 SEQ2 序列结束时设置 INT_SEQ2。
1	保留		读取返回 0 值。写入无影响。
0	ePWM_SOCB_SEQ2		SEQ2 的 ePWM SOCB 启用位。 0 SEQ2 不能由 ePWMx SOCB 触发器启动。 1 允许由 ePWMx SOCB 触发器启动 SEQ2。可以对 ePWMs 编程从而在各种情况下启动转换。

图 2-3. ADC 控制寄存器 3 (ADCTRL3) (地址偏移 18h)



图例: R/W = 读/写; R = 只读; -n = 复位后的值

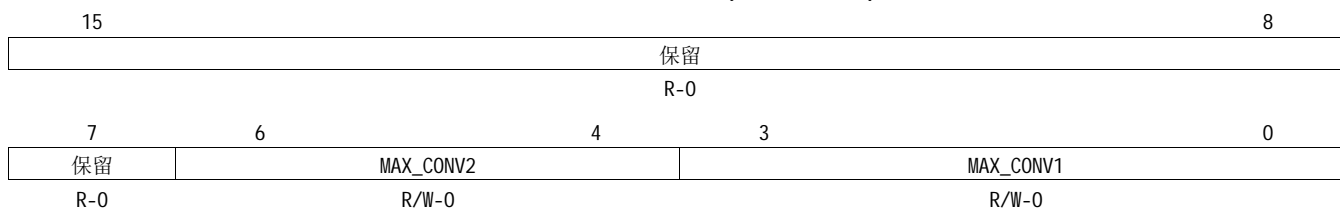
表 2-3. ADC 控制寄存器 3 (ADCTRL3) 字段说明

位	名称	值	说明
15-8	保留		读取返回 0 值。写入无影响。
7-6	ADCBGRFDN[1:0]	00 11	ADC 能带隙和参考断电。这些位控制模拟内核内的能带隙和参考电路中的上电和断电。请参阅第 1.6 部分以了解上电顺序的要求。 能带隙和参考电路断电。 能带隙和参考电路上电。
5	ADCPWDN	0 1	ADC 断电。此位控制模拟内核内除能带隙和参考电路外的所有模拟电路的上电和断电。请参阅第 1.6 部分以了解上电顺序的要求。 内核内除能带隙和参考电路外的所有模拟电路断电。 内核内的模拟电路上电。
4-1	ADCCLKPS [3:0]	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	内核时钟除法器。除了在 ADCCLKPS[3-0] 为 0000 时 HSPCLK 直通外, 将 28x 外设时钟 HSPCLK 除以 2*ADCCLKPS[3-0]。将分频后的时钟进一步除以 ADCTRL1[7]+1, 以产生内核时钟 ADCLK。 <b>ADCCLKPS [3:0] 内核时钟除法器 ADCLK</b> 0 HSPCLK/(ADCTRL1[7] + 1) 1 HSPCLK/[2*(ADCTRL1[7] + 1)] 2 HSPCLK/[4*(ADCTRL1[7] + 1)] 3 HSPCLK/[6*(ADCTRL1[7] + 1)] 4 HSPCLK/[8*(ADCTRL1[7] + 1)] 5 HSPCLK/[10*(ADCTRL1[7] + 1)] 6 HSPCLK/[12*(ADCTRL1[7] + 1)] 7 HSPCLK/[14*(ADCTRL1[7] + 1)] 8 HSPCLK/[16*(ADCTRL1[7] + 1)] 9 HSPCLK/[18*(ADCTRL1[7] + 1)] 10 HSPCLK/[20*(ADCTRL1[7] + 1)] 11 HSPCLK/[22*(ADCTRL1[7] + 1)] 12 HSPCLK/[24*(ADCTRL1[7] + 1)] 13 HSPCLK/[26*(ADCTRL1[7] + 1)] 14 HSPCLK/[28*(ADCTRL1[7] + 1)] 15 HSPCLK/[30*(ADCTRL1[7] + 1)]
0	SMODE_SEL	0 1	采样模式选择。此位选择顺序采样模式或同步采样模式。 选择顺序采样模式。 选择同步采样模式。

## 2.2 最大转换信道数寄存器 (ADCMAXCONV)

最大转换信道数寄存器 (ADCMAXCONV)

图 2-4. 最大转换信道数寄存器 (ADCMAXCONV) (偏移地址 02h)



图例: R/W = 读/写; R = 只读; x = 未定义, -n = 复位后的值

表 2-4. 最大转换信道数寄存器 (ADCMAXCONV) 字段说明

位	名称	说明
15-7	保留	读取返回 0 值。写入无影响。
6-0	MAX_CONVn	MAX_CONVn 位字段定义自动转换会话中执行的最大转换数。位字段及其操作随序列发生器模式 (双/级联) 变化。 对于 SEQ1 操作, 使用位 MAX_CONV1[2:0]。 对于 SEQ2 操作, 使用位 MAX_CONV2[2:0]。 对于 SEQ 操作, 使用位 MAX_CONV1[3:0]。自动转换会话总是从初始状态开始, 并在条件允许的情况下持续到结束状态。按顺序填充结果缓冲器。可以为会话编程任何处于 1 与 (MAX_CONVn + 1) 之间的转换数。

示例 2-1. ADCMAXCONV 寄存器位编程

如果只需要 5 次转换, 则将 MAX\_CONVn 设置为 4。

情形 1: 双模式 SEQ1 和级联模式序列发生器从 CONV00 变化到 CONV04, 并将 5 个转换结果存储在转换结果缓冲器的寄存器 Result 00 至 Result 04 中。

情形 2: 双模式 SEQ2 序列发生器从 CONV08 变化到 CONV12, 并将 5 个转换结果存储在转换结果缓冲器的寄存器 Result 08 至 Result 12 中。

双序列发生器模式的 MAX\_CONV1 值大于 7

如果为双序列发生器模式 (即 2 个独立的 8 状态序列发生器) 选择了大于 7 的 MAX\_CONV1 值, 则 SEQ\_CNTR 将继续计数到超过 7, 这将导致序列发生器回绕到 CONV00, 并继续计数。

表 2-5. 各种转换数的 MAX\_CONV1 的位选择

ADCMAXCONV[3-0]	转换数
0000	1
0001	2
0010	3
0011	4
0100	5
0101	6
0110	7
0111	8
1000	9
1001	10
1010	11
1011	12
1100	13
1101	14
1110	15
1111	16

## 2.3 自动定序状态寄存器 (ADCASEQSR)

图 2-5. 自动定序状态寄存器 (ADCASEQSR) (地址偏移 07h)

15	12	11	8
保留 R-0		SEQ_CNTR R-0	
7	6	4	3
保留 R-0	SEQ2_STATE R-0		SEQ1_STATE R-0
		0	

图例: R/W = 读/写; R = 只读; x = 未定义, -n = 复位后的值

表 2-6. 自动定序状态寄存器 (ADCASEQSR) 字段说明

位	名称	说明
15-12	保留	读取返回 0 值。写入无影响。
11-8	SEQ_CNTR[3:0]	定序计数器状态位。SEQ_CNTRn 4 位状态字段由 SEQ1、SEQ2 和级联序列发生器使用。SEQ2 与级联模式无关。序列发生器计数器位字段 SEQ_CNTR[3:0] 在转换序列开始时初始化为 MAX_CONV 中的值。在自动转换序列中的每次转换 (或同步采样模式下的每对转换) 之后, 序列发生器计数器减 1。可在倒计数过程的任何时间读取 SEQ_CNTR 位, 以检查序列发生器的状态。此值结合 SEQ1 和 SEQ2 忙位, 可唯一标识活动序列发生器在任意时刻的进度或状态。请参阅表 2-7。
7	保留	读取返回 0 值。写入无影响。
6-0	SEQ2_STATE[2:0] 和 SEQ1_STATE[3:0]	SEQ2_STATE 和 SEQ1_STATE 位字段分别为 SEQ2 和 SEQ1 的指针。

表 2-7. 活动序列发生器的状态

SEQ_CNTR (只读)	转换数 剩余
0000	1 或 0, 取决于忙位
0001	2
0010	3
0011	4
0100	5
0101	6
0110	7
0111	8
1000	9
1001	10
1010	11
1011	12
1100	13
1101	14
1110	15
1111	16

## 2.4 ADC 状态和标志寄存器 (ADCST)

ADC 参考选择寄存器 (ADCFSEL)

图 2-6. ADC 状态和标志寄存器 (ADCST) (地址偏移 19h)

15							8
保留							
R-0							
7	6	5	4	3	2	1	0
EOS_BUF2	EOS_BUF1	INT_SEQ2_CLR	INT_SEQ1_CLR	SEQ2_BSY	SEQ1_BSY	INT_SEQ2	INT_SEQ1
R-0	R-0	R/W-0	R/W-0	R-0	R-0	R-0	R-0

图例: R/W = 读/写; R = 只读; -n = 复位后的值

此寄存器为专用的状态和标志寄存器。此寄存器中的位为只读状态或标志位，或为读数归零条件清除位。

表 2-8. ADC 状态和标志寄存器 (ADCST) 字段说明

位	名称	值	说明
15-8	保留		读取返回 0 值。写入无影响。
7	EOS_BUF2		SEQ2 的序列结束缓冲位。在中断模式 0 (即当 ADCTRL2[2]=0 时) 中, 不使用此位且保留为 0。在中断模式 1 (即当 ADCTRL2[2]=1 时) 中, 它在每个 SEQ2 序列结束时进行切换。此位在器件复位时清除, 且不受序列发生器复位或清除相应中断标志的影响。
6	EOS_BUF1		SEQ1 的序列结束缓冲位。在中断模式 0 (即当 ADCTRL2[10]=0 时) 中, 不使用此位且保留为 0。在中断模式 1 (即当 ADCTRL2[10]=1 时) 中, 它在每个 SEQ1 序列结束时进行切换。此位在器件复位时清除, 且不受序列发生器复位或清除相应中断标志的影响。
5	INT_SEQ2_CLR	0 1	中断清除位。此位的读数总是返回 0 值。清除操作是将 1 写入此位后的一次性事件。 将 0 写入此位无影响。 将 1 写入此位会清除 SEQ2 中断标志位 INT_SEQ2。此位不影响 EOS_BUF2 位。
4	INT_SEQ1_CLR	0 1	中断清除位。此位的读数总是返回 0 值。清除操作是将 1 写入此位后的一次性事件。 将 0 写入此位无影响。 将 1 写入此位会清除 SEQ1 中断标志位 INT_SEQ1。此位不影响 EOS_BUF1 位。
3	SEQ2_BSY	0 1	SEQ2 忙状态位。 0 SEQ2 空闲, 正在等待触发信号。 1 SEQ2 正忙。写入此位无影响。
2	SEQ1_BSY	0 1	SEQ1 忙状态位。写入此位无影响。 0 SEQ1 空闲, 正在等待触发信号。 1 SEQ1 正忙。
1	INT_SEQ2	0 1	SEQ2 中断标志位。写入此位无影响。在中断模式 0 中 (即当 ADCTRL2[2]=0 时), 在每个 SEQ2 序列结束时设置此位。在中断模式 1 中 (即当 ADCTRL2[2]=1 时), 如果已设置 EOS_BUF2, 则在 Seq 2 序列结束时设置此位。 0 无 SEQ2 中断事件。 1 发生 SEQ2 中断事件。
0	INT_SEQ1	0 1	SEQ1 中断标志位。写入此位无影响。在中断模式 0 中 (即当 ADCTRL2[10]=0 时), 在每个 Seq 1 序列结束时设置此位。在中断模式 1 中 (即当 ADCTRL2[10]=1 时), 如果已设置 EOS_BUF1, 则在 Seq 1 序列结束时设置此位。 0 无 SEQ1 中断事件。 1 发生 SEQ1 中断事件。

2.5 ADC 参考选择寄存器 (ADCFSEL)

图 2-7. ADC 参考选择寄存器 (ADCFSEL) (地址偏移 1Ch)

15		14	13	0		
REF_SEL		保留				
R/W-0		R/W-0				

图例: R/W = 读/写; R = 只读; -n = 复位后的值



表 2-9. ADC 参考选择寄存器 (ADCREFSSEL) 字段说明

位	名称	值	说明
15-14	REF_SEL[1:0]	00	下面列出了 ADC 电压生成电路选项的参考选择位： 选择了内部参考（默认）
		01	外部参考，ADCREFIN 为 2.048V
		10	留作将来使用
		11	留作将来使用
13-0	保留		这些位留作内部测试。所有对此寄存器的写入应将 0 写入这些位。

## 2.6 ADC 偏移微调寄存器 (ADCOFFTRIM)

图 2-8. ADC 偏移微调寄存器 (ADCOFFTRIM) (地址偏移 1Dh)

15	9	8	0
保留		OFFSET_TRIM	
R-0		R/W-0	

图例：R/W = 读/写；R = 只读；-n = 复位后的值

表 2-10. ADC 偏移微调寄存器 (ADCOFFTRIM) 字段说明

位	名称	说明
15-9	保留	读取返回 0 值。写入无影响。
8-0	OFFSET_TRIM[8:0]	LSB 中的偏移微调值，2 的补码格式，范围为 -256/255

## 2.7 ADC 输入信道选择定序控制寄存器

图 2-9. ADC 输入信道选择定序控制寄存器 (ADCCHSELSEQ1) (地址偏移 03h)

15	12	11	8	7	4	3	0
CONV03		CONV02		CONV01		CONV00	
R/W-0		R/W-0		R/W-0		R/W-0	

图例：R/W = 读/写；-n = 复位后的值

图 2-10. ADC 输入信道选择定序控制寄存器 (ADCCHSELSEQ2) (地址偏移 04h)

15	12	11	8	7	4	3	0
CONV07		CONV06		CONV05		CONV04	
R/W-0		R/W-0		R/W-0		R/W-0	

图例：R/W = 读/写；-n = 复位后的值

图 2-11. ADC 输入信道选择定序控制寄存器 (ADCCHSELSEQ3) (地址偏移 05h)

15	12	11	8	7	4	3	0
CONV11		CONV10		CONV09		CONV08	
R/W-0		R/W-0		R/W-0		R/W-0	

图例：R/W = 读/写；-n = 复位后的值

ADC 转换结果缓冲寄存器 (ADCRESULTn)

图 2-12. ADC 输入信道选择定序控制寄存器 (ADCCHSELSEQ4) (地址偏移 06h)

15	12	11	8	7	4	3	0
CONV15		CONV14		CONV13		CONV12	
R/W-0		R/W-0		R/W-0		R/W-0	

图例: R/W = 读/写; -n = 复位后的值

每个 4 位字段 CONVxx 为自动定序的转换选择 16 个多路复用的模拟输入 ADC 信道中的一个。

表 2-11. CONVnn 位值和所选的 ADC 输入信道

CONVnn 值	所选的 ADC 输入信道
0000	ADCINA0
0001	ADCINA1
0010	ADCINA2
0011	ADCINA3
0100	ADCINA4
0101	ADCINA5
0110	ADCINA6
0111	ADCINA7
1000	ADCINB0
1001	ADCINB1
1010	ADCINB2
1011	ADCINB3
1100	ADCINB4
1101	ADCINB5
1110	ADCINB6
1111	ADCINB7

2.8 ADC 转换结果缓冲寄存器 (ADCRESULTn)

在级联序列发生器模式中, 寄存器 ADCRESULT8 - ADCRESULT15 保持第 9 次到第 16 次转换的结果。当从具有 2 等待状态的外设帧 2 (0x7108-0x7117) 读取时, ADCRESULTn 寄存器为左对齐; 当从具有 0 等待状态的外设帧 0 (0x0B00-0x0B0F) 读取时, ADCRESULTn 寄存器为右对齐。

图 2-13. ADC 转换结果缓冲寄存器 (ADCRESULTn) - (地址 0x7108-0x7117)

15	14	13	12	11	10	9	8
D11	D10	D9	D8	D7	D6	D5	D4
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
7	6	5	4	3			0
D3	D2	D1	D0	保留			
R-0	R-0	R-0	R-0	R-0			

图例: R/W = 读/写; R = 只读; -n = 复位后的值

图 2-14. ADC 转换结果缓冲寄存器 (ADCRESULTn) - (地址 0x0B00-0x0B0F)

15				12	11	10	9	8
保留				D11	D10	D9	D8	
R-0				R-0	R-0	R-0	R-0	R-0
7	6	5	4	3	2	1	0	
D7	D6	D5	D4	D3	D2	D1	D0	
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

图例: R/W = 读/写; R = 只读; -n = 复位后的值



ADC 转换结果缓冲寄存器 (ADCRESULTn)

---

## 修订历史记录

本文档将 SPRU716 修订为 SPRU716A。修订范围限于下述技术方面的更改。附录部分仅列出在最新版本中所做的修订。

位置	添加/修改/删除
图 1-10、 表 2-1	在图 1-10 和表 2-1 中增加了 $F_{clk}$ 定义
第 1.7 部分	在第 1.7 节增加了序列发生器复位注意事项
表 2-1 表 2-3 表 2-4 表 2-6	为了与 280x 头文件示例相匹配，合并了位字段名 <ul style="list-style-type: none"> <li>• ADCTRL1 中的 SUSMOD[1:0] 和 ACQ_PS[3:0]</li> <li>• ADCTRL3 中的 ADCBGRFDN[1:0]</li> <li>• ADCMAXCONV 中的 MAX_CONV2[2:0] 和 MAX_CONV1[3:0]</li> <li>• ADCASEQSR 中的 SEQ_CNTR[3:0]、SEQ2_STATE[2:0] 和 SEQ1_STATE[3:0]</li> </ul>