

文章编号:1002-8692(2005)04-0025-04

基于 TMS320DM642 的 H.264 视频解码器设计

·实用设计·

朱海涛, 戚文芽

(中国人民解放军信息工程大学, 河南 郑州 450002)

【摘要】 给出了基于 TMS320DM642 的 H.264 视频解码器的设计,并详细讨论了解码器的硬件结构、算法优化、存储器分配以及 DSP 的 PCI 驱动程序的编制。

【关键词】 TMS320DM642 芯片; H.264 标准; 解码器; 嵌入式系统

【中图分类号】 TN919.3+2

【文献标识码】 B

Design of H.264 Video Decoder Based on TMS320DM642

ZHU Hai-tao, QI Wen-ya

(Information Engineering University, Zhengzhou 450002, China)

【Abstract】 This paper presents a design of H.264 video decoder based on TMS320DM642. Hardware design, software optimization in H.264 decoding, memory arrangement and PCI driver are also discussed in detail.

【Key words】 TMS320DM642; H.264; decoder; embedded system

在视频终端设备实现中,视频编解码的实现可使用专用编解码 ASIC 芯片和可编程多媒体 DSP 处理器。后一种形式使用更加灵活。

在实现基于 H.264 视频处理平台的实现方案上,笔者选用 TI 专用视频数字信号处理芯片 TMS320DM642 完成 H.264 的视频解码, TMS320DM642 根据视频信号处理的特点在内部进行了优化,算法控制灵活,可提供很多视频专用功能,同时外围接口丰富。该方案已用于自主开发的视频监控平台,正处于调试中。以下对本方案作简要介绍。

1 系统的硬件设计

本系统设计的解码器是脱离计算机能独立运行的嵌入式解码器。主要模块包括:数据接收模块、H.264 解码器、显示模块和主控 CPU,如图 1 所示。

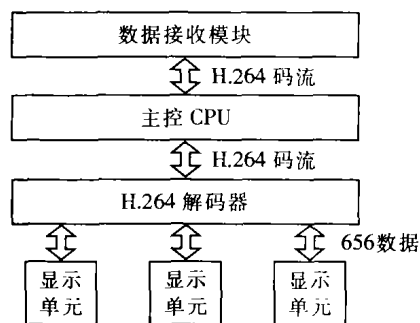


图 1 H.264 视频解码器主要模块

1.1 数据接收模块

数据接收模块由网口 RJ45 和 RTL8139 以太网口控制芯片组成,用来收发网口数据。

1.2 H.264 解码器模块

H.264 的解码器模块采用 TMS320DM642,它是

在 C64x 的基础上,增加了很多外围设备和接口。该芯片具有 8 个相互独立的功能单元,可以工作在 500 MHz CPU 时钟频率,全速运行时可达到 4 000 Mlps。其主要特性包括:

1) 芯片内核采用 Velocity™ 先进的超长指令字(VLIW)结构;

2) 具有丰富的指令系统且可对字节操作,支持 16 位的乘法运算;

3) EDMA 支持 64 路独立触发的事件传输;

4) 具有片内 2 级存储器结构,64 位外部存储器接口;

5) 3 个可配置的视频接口,可以和视频输入、输出或传输流输入无缝连接;

6) I²C 总线模块;

7) 用户可配置 16 bit 或 32 bit 主端口接口(HP I16/HPI32);

8) 66 MHz 32 bit 的 PCI 接口。

TMS320DM642 的以上特点,能满足视频图像处理实时性要求。

TMS320DM642 的 3 个可配置的视频端口上,每个视频端口又分成 A 和 B 两个通道,A/B 通道可分别处理一路视频采集,一片 TMS320DM642 最多可接 6 路视频采集数据。如果将视频配制成视频输出,只能从 A 通道输出。所以本解码器最多支持 3 路视频输出。

1.3 显示模块

显示模块将 DSP 解码后的数据送给 SAA7121 显示输出。SAA7121 是 Philips 公司的一款视频编码芯片,实现数字视频的 D/A 变换。SAA7121 的工作模式由其内部的控制寄存器决定,控制寄存器的初

电路与应用

始化通过 I²C 总线完成。TMS320DM642 利用自身具有的 I²C 总线模块,作为主控制器,对 SAA7121 进行参数编程控制。

1.4 主控 CPU

主控 CPU 选用 MOTOROLA 公司生产的 x86 架构嵌入式 MPC8241。内部提供 5 个 32 bit PCI 接口,工作频率达 66 MHz,能充分满足解码器系统对 TMS320DM642 以及外围接口电路控制的要求。MPC8241 通过 PCI 总线对 TMS320DM642 进行初始化、控制及与压缩 H.264 数据交互。

系统的设计难点主要是如何实现系统数据的实时解码和高速传输问题。MPC8241 通过高速 PCI 总线把远端传过来的压缩 H.264 视频数据传送给 TMS320DM642, TMS320DM642 完成压缩视频的解码工作。

2 系统的软件设计

2.1 DSP 软件架构

DSP 端的所有软件开发工作是在 TI 的集成开发环境 CCS(Code Composer Studio)下完成的。图 2 为 DSP 端的软件架构,主要包括 4 个任务线程: H.264 码流输入、H.264 解码、解码图像输出和控制任务。任务间同步通过 SCOM 消息实现,每个任务都有自己的消息接收队列。每个任务分配一个共享资源提供给别的任务读取或写入数据,任务之间通过 SCOM 消息实现任务同步和互斥访问。

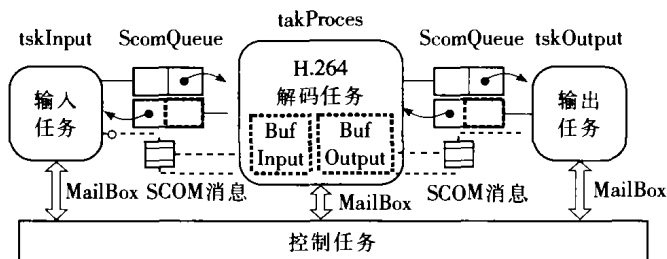


图 2 H.264 软件模块组成

1) 输入任务主要作用是接收 H.264 码流。DSP 通过查询 MPC8241 发来的命令,收到有编码数据后,发起 DMA 请求,把 H.264 编码数据送给 DSP 的输入缓冲中,如果输入缓冲中包含完整的 1 帧数据,DSP 就启动 H.264 解码任务。

2) 解码任务包括解码器参数初始化和对压缩 H.264 码流解码。解码器的初始化包括初始化显示参数。解码程序首先获取图像数据头信息,然后完成解码一帧图像数据。

3) 显示任务收到解码任务发来有一帧数据需要显示后,通过低层驱动,把数据送给 DSP 视频输出端口。

4) 输入输出控制用来控制码流以恒定的速度进入解码器,缓冲后放入存储器相应的位置以备使用;在存储器中的码流要在适当的时候再被读入解

码器中分解,提取参数和解码。解码的输出结果不能立即输出,必须进行重新排序,经过重新排序后的数字视频数据还要从存储器读出,并按一定的次序输出,供视频显示用。控制任务通过 MailBox 把控制信息传递给输入任务、解码任务和显示任务。

2.2 H.264 解码器

图 3 为 H.264 解码器。

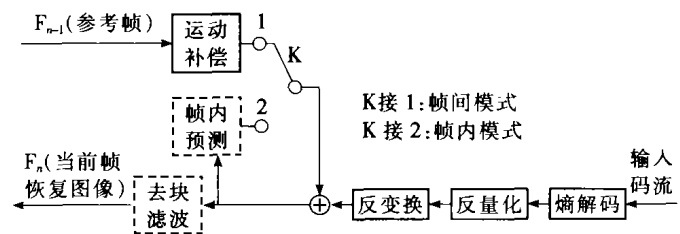


图 3 H.264 解码器

2.3 H.264 算法在 DSP 上优化

通过 CCS 测得 H.264 解码器各个模块所消耗的时间,运动补偿和 IDCT 模块是 H.264 实现解码的最主要的瓶颈。所以程序优化是基于这两个模块进行。所做工作包括:

1) 编写出优化的 C 程序

在编程时尽量按照 C6000 环境下支持的优化 C 的方法进行编程,这样有助于 C 编译器产生高效的汇编代码。使用 TI 提供的库函数,大大提高了编程效率。

2) 对关键代码进行人工汇编优化

采用的手段如下:

(1) 循环代码循环展开

流水线结构对循环次数多的代码有明显的优化效果。IDCT 的 C 代码是对宏块的每个块循环进行 IDCT 变换,对某个块作 IDCT 变换时又要循环调用 8 次行(列)变换。每个宏块的各个块在内存中连续存储,因此,对整个宏块一起先做行变换,再做列变换。

(2) 充分使用 C64x DSP 提供的强大的包处理指令处理数据(包处理指令可同时处理 2 个 16 位数据和 4 个 8 位数据)

本文根据不同的数据类型,使用了 AVGU4, MIN2, MAX2, SPACKU4, PACK2, DOTP2, DOTPN2 和 UNPKLU4 等指令。C64xDSP 还提供了 STDW (STNDW), LDDW (LDNDW) 指令,可一次存取连续的 64 位数据。本文正是利用 LDDW 指令,将作一次行变换所需数据一次取来,并将处理后的结果利用 STDW 指令一次存好。这样大大减少了代码长度,提高了代码效率。

3) DM642 片上内存分配问题

在 TMS320DM642 中,CPU 和一级程序高速缓存及一级数据高速缓存直连,两块 Cache 分别为 16 Kb,工作在 CPU 全速访问状态。二级缓存有 256

Kb。TMS320DM642 访问数据的流程如下: DSP 内核访问数据时,先查看一级缓存 L1,若 L1 已缓存了该数据,就直接从 L1 读写数据;若 L1 没有该数据的缓存,就访问二级缓存 L2;若 L2 也没有缓存数据,通过 EMIF 接口访问外部 SDRAM,把数据从外部 SDRAM 拷贝到 L2 缓存区,再从 L2 缓存区拷贝到 L1,最后由 DSP 内核获得。

一帧图像大小为 $576 \times 720 = 414\,720$ B,不可能将一整帧图像都缓存在 L1D 中,因此,用最快速度执行程序的关键是使核心循环代码和要访问的数据在第一次访问之后全部发生 L1P 和 L1D 命中。核心循环代码占的空间很小,执行过一次之后,完全可以全部缓存在 L1P 中,因此,不用考虑代码如何在存储器中存放的问题,主要问题是解码数据的存放。由于 L1D 采取 LRU (Least Recently Used) 分配机制,对于小于等于 16 KB 的连续存放的数据块可完全在 L1D 中命中。在解码过程中,IDCT 和运动补偿模块都是以宏块为单位进行运算的,IDCT 数据类型为 short 型,运动补偿中的预测帧和当前帧的数据类型为 unsigned char 型。计算一个宏块(4:2:0 格式)的 IDCT 和运动补偿要访问的数据大小共需 1 536 B,运动补偿的数据包括预测宏块和当前宏块的数据,实际解码中以 6 个宏块(10 KB)作为一次处理对象。待处理的数据要从外部存储器搬到 L2 中连续的存储空间,可利用 EDMA 与 CPU 并行工作的特点,采取 Ping-Pong 技术,使 CPU 在处理 Ping 空间数据的同时,由 EDMA 将下次要处理的数据搬到 Pong 空间中,当 CPU 处理 Pong 空间数据时,再由 EDMA 将 Ping 空间已处理好的数据搬回外部存储器,并将下次要处理的数据搬到 Ping 空间,这样就达到 CPU 的最大计算能力。Ping,Pong 空间各占用的大小为 20 KB,两个总共约 40 KB,L2 中剩余空间分出 64 KB 留给数据空间,用于解码中常用的解码表、量化步长、输入压缩码流缓冲区和输出码流缓冲区等。64 KB 程序空间用于存储 H.264 算法中的运动预测、运动补偿和中断服务程序等关键代码。L2 其余部分配置为 Cache,操作与 L1D 类似。

4) 对内存分配的优化

在 H.264 解码器中,程序的主体是一个循环,每一次循环解一帧图像。如果在用于解码的各子函数中调用内存分配函数的话,每次循环都需要分配一次空间,然后在该次循环结束后释放。这显然会消耗大量的时间。而且如果某一个内存分配没有释放于其对应空间的话,就会造成内存泄漏,从而系统崩溃。因此,需要将所有的内存分配放到主循环之外,这样所有的需要内存的变量只需分配一次空间,整个解码结束后,全部释放。这不但节省时间,还不会造成内存泄漏,提高了代码的鲁棒性。

2.4 H.264 解码器的特性及测试结果

按照上述思路所实现的 H.264 视频解码器的特

点如表 1 所列。

表 1 H.264 视频解码器特性表

特性	数据
压缩标准	H.264
输入图像分辨率	CIF(352×288)
像素精度	8 bit/pixel
输入比特率/Kbps	64, 128, 384
最大解码帧率	最高 30 f/s
输出图像格式	4:2:0 YUV

解码软件是在本系统调试通过的,解码时间可在 CCS 环境下测得。对于不同的图像解码所用的时间是有差异的。笔者对多种情况的码流进行了测试,在 1 s 内能解出 25~30 f,从而实现了实时解码。

3 TMS320DM642 的 PCI 驱动

通过低层 PCI 的驱动实现了 H.264 视频码流输入。主要工作包括:查找 DM642 并获得其相应配置信息;DM642 的初始化;编写 DM642 存储空间的高级访问函数等。

3.1 实现方法

1) TMS320DM642 设备配置

通过操作系统提供的 API 函数访问 PCI 设备的配置空间,配置 PCI 设备基址寄存器的配置、中断配置和 ROM 基址寄存器的配置等,这样可以得到 PCI 的存储器空间和 I/O 地址空闲映射、设备的中断号等。

2) TMS320DM642 的初始化

根据 PCI 设备的配置参数,对不同的设备编写初始化程序、中断服务程序以及对 PCI 设备存储空间的访问程序。

TMS320DM642 的初始化分为两部分:代码的装载以及相应存储区域的初始化。其中相应存储区域的初始化是指对提供给 TMS320DM642 进行解码等工作时的全局变量区的初始化,这里的参数是可调整的,例如解码格式、解码帧率和码率大小等。MPC8241 由本地图形选单或网络客户端接口得到需要的参数值,继而完成修改。

3) TMS320DM642 的 DMA 函数

TMS320DM642 内部利用 BIOS 库函数的形式提供了完整的对 DMA 操作的支持。通过使用这些库函数可以避免大量的直接操作内存地址、寄存器,方便以后的维护。

在设计 MPC8241 与 TMS320DM642 之间的 DMA 采用了如下方案:TMS320DM642 在其外部存储空间中预留一部分作为提供给 MPC8241 的 DMA 相关命令专用缓冲区,主要是请求结构和应答结构,内容包括 DMA 类型、传输的数据类型、DMA 的源地址或目的地址、DMA 最大允许长度、DMA 实际传输字节数等。当 MPC8241 需要通过 DMA 方式从

电路与应用

TMS320DM642 读取数据或向 TMS320DM642 发送数据时,就填充相应的 DMA 请求结构;TMS320DM642 对 DMA 请求做轮询,一旦发现有新的请求,就使用该请求结构中的内容构建传往下层操作接口的参数,调用 BIOS 库函数发起实际的 DMA 动作;传送完毕后 TMS320DM642 将返回结果写入相应的 DMA 应答结构,产生一个 PCI 中断通知 MPC8241 此次 DMA 请求已经完成;MPC8241 在中断例程中检查并清除中断源,然后唤醒等待在该 DMA 请求上的任务。

在系统实现中,DMA 主要用于图像预览数据从前端 DSP 到后端 DSP 的搬移,以及编、解码数据的读取和发送。

4 结束语

本文采用 TI 公司生产的 TMS320DM642 专用视频信号处理芯片,实现了 H.264 硬件解码器,利用 PCI 总线有效解决了数据传输和处理的实时性问题。该解码器与编码器配套可应用在远程监控系统中,也可以嵌入到许多视频终端中,如 IP 电话、视

频会议、机顶盒、数字视频播放器/点播机和网络相机等。

参考文献

- [1] Draft ITU-T Recommendation H.264-2002., Joint Video Team(JVT) of ISO/IEC MPEG and ITU-T VCEG, Document JVT-C167. May 2002.
- [2] ITU-T.Draft ITU-T Recommendation H.263-1996, Video Coding for low bit rate communication. May. 1996.
- [3] 丁贵广,计文平,郭宝龙. Visual C++6.0 数字图像编码. 北京:机械工业出版社,2004.
- [4] 李方慧,王飞,何佩琨. TMS320C6000 系列 DSPs 原理与应用(第二版). 北京:电子工业出版社,2003.
- [5] Texas Instruments Incorporated. TMS320DM642 Video-Imaging Fixed-Point Signal Processor. May 2003. ☉

作者简介:

朱海涛(1977-),硕士生,研究方向为嵌入式系统开发和视频信号处理;

戚文芽(1968-),女,工学博士,副教授,硕士生导师,研究方向为嵌入式系统开发和视频信号处理。

责任编辑:刘伯义

收稿日期:2005-03-13

(上接第 8 页)

称这标志着中国数字电视已经开始告别机顶盒时代。笔者对此置疑。

在信息的数字化传输时代,信息的内容从三网融合的概念来说将包括“视、音、图、文、数据以及各种应用业务(这些信息还都在不断地迅速发展)”而不仅仅限于电视图像信号。就算一张卡能包罗万象,恐怕也需要不断升级(还需要回答如何升级,换卡还是下载,要不要用户不断掏钱等问题。),因此机卡完全分离的一体机可能只是一个短暂的过渡产品,能否成为发展的新起点值得怀疑。

笔者想从另一个角度来观察一体机能否为市场接受。先看看历史的教训和经验:上世纪 80 年代录像机兴起,市场火旺。当时日本人先想到录像机中不少部、组件和电视机完全相同,如果把录像机装进电视机合成一体机成本会降低很多,记得三洋公司首先出台了“录像电视一体化的监视器”,价格果然便宜,而且省空间、省连接、省操作。据说当时国内有些电视机厂家也在考虑生产这种一体机,但市场运营的效果却大相径庭,这是为什么?原因在于电视技术和录像技术是两种不同发展速度的技术,电视技术比较完整成熟,更新换代的速度比较慢,功能的更新不会影响旧型号产品的观看质量(与之无关);而录像技术的发展速度较快(当前机顶盒技术的发展速度恐怕比它还快),几乎达到一年甚至半年就更新一代。新生代一出现,老一代的缺陷就暴露无遗(电视机就没有这个问题)。多种技术的合一和兼容应该是方向,但是两种不同步的技

术采用硬件的方式结合在一起,注定得不到市场的认可,而要被淘汰。

现在再来看一体机的情况,电视机(包括数字电视机)标准一旦确定,技术也就完整成熟,而机顶盒却处在风华正茂、千变万化之中。这两者结合在一起会怎么样可想而知。更何况前面已经分析到,当前类型的机顶盒也只不过是一个不长久的过渡产品。所以机顶盒生产厂商不要因一体机的出现而困惑,还是从仔细研究当前和今后数字电视的发展趋势来决定如何生产机顶盒的方向吧。比尔·盖茨曾预言:“电视机不久将变成一台不同意义的大电脑,可以根据观众的要求随时随地找到并在屏幕上播放你所想看的所有节目和信息。除非观众要求,要想插播广告也不行了”。

3 结论

笔者的建议是在照顾到当前过渡性产品的同时,应当在政策上鼓励(不是领导)集中主要技术力量对有前途的前瞻产品进行研究开发。一孔之见,敬希不吝赐正。

参考文献

- [1] 冯尝明,汪文化,刘卫忠,罗白云,郑立新. 浅析数字机顶盒的软硬分离技术. 有线电视技术,2004(23):97-99.
- [2] 王典荫,刘心松. 数字电视走向何方. 广电设备与技术,2004(2):7-13.

责任编辑:蔡国良

收稿日期:2005-01-27