

文章编号:1002-8692(2005)04-0017-03

基于 TMS320C64x DSP 的 H.264 整数变换快速实现方法*

·论文·

胡嘉凯, 梁立伟, 蒋建国, 齐美彬

(合肥工业大学 计算机与信息学院, 安徽 合肥 230009)

【摘要】 基于 4×4 块的整数变换是 H.264 的技术亮点之一,介绍了 4×4 整数变换原理及一种整数变换的快速实现算法。在此基础上提出了一种基于 TMS320C64x DSP 的整数变换快速实现方法,并着重论述了如何对其进行并行汇编优化,以提高指令的并行度,达到提高程序执行效率的目的,从而提高硬件的可实现性。

【关键词】 整数变换; 并行汇编; H.264 标准; 数字信号处理

【中图分类号】 TN919.81

【文献标识码】 A

A Fast Method to Realize Integer Transform of H.264 Based on TMS320C64x DSP

HU Jia-kai, LIANG Li-wei, JIANG Jian-guo, QI Mei-bin

(School of Computer and Information, Hefei University of Technology, Hefei 230009, China)

【Abstract】 Integer transform is one of the important improvements in H.264. In this paper, the principle of 4×4 integer transform and a fast algorithm to realize it are introduced first. Then a fast method to realize the integer transform based on TMS320C64x is proposed, and the way to optimize the parallel assembly which can make our codes be more efficient is mainly discussed.

【Key words】 integer transform; parallel assembly; H.264; DSP

1 引言

随着数字图像处理和计算机网络等技术的不断发展,以信源压缩、总线传输、图像数据库等技术为标志的第三代视频监视系统已开始形成。它的基本原理是使用视频压缩编码技术将视频采集单元输出的模拟信号直接进行数字化压缩,然后通过计算机网络传输到接收端进行解码、播放和存储等操作。

在第三代视频监控系统中无论从传输、存储还是从图像质量方面考虑,视频压缩编码技术都至关重要。尤其在面对网络传输的带宽瓶颈问题时显得尤为突出,为此需要选择一个合适的编解码标准。H.264 是由 ITU-T 的 VCEG (视频编码专家组)和 ISO/IEC 的 MPEG(运动图像编码专家组)共同开发的一个新的数字视频编码国际标准^[1-3]。H.264 标准在技术上的优势使得图像压缩率大大提高,比 MPEG-4 提高了 39%左右。

在软件实现时,由于算法本身计算量大,对于 DSP 芯片的要求非常高,不利于降低成本。当今的许多 DSP 芯片对于特定格式的算法实现效率非常高,但也只有在编程时合理安排指令才能真正发挥 DSP 芯片的效率,从而降低硬件实现的要求。因此针对 H.264 的特点,研究其在 DSP 上的快速实现非常有必要。在 H.264 中整数变换部分的计算量占了整个编码过程的很大比例,本文主要针对整数变换

的快速实现方法进行讨论。

2 H.264 整数变换及其蝶形算法

与之前的标准相似,H.264 对预测残差也采用基于块的变换方法,但变换是整数操作而不是实数运算,其过程和 DCT 基本相似,变换矩阵的尺寸也由通常的 8×8 改为 4×4。这种方法的优点在于:在编码器中和解码器中允许精度相同的变换和反变换,便于使用简单的定点运算方式;能降低高频系数的损失,有效减少方块效应^[4-5]。

2.1 整数变换方法简介^[1-5]

H.264 的整数变换方法经历了两个阶段:早期版本采用的变换矩阵请参考文献[6],它必须使用 32 位运算,变换中间值也必须是 32 位数据类型才可以精确地存储和表示;在新的 H.264 版本中采用的变换矩阵和反变换矩阵如下

$$T_4 = \begin{pmatrix} 1 & 1 & 1 & 1 \\ 2 & 1 & -1 & -2 \\ 1 & -1 & -1 & 1 \\ 1 & -2 & 2 & -1 \end{pmatrix};$$

$$T'_4 = \begin{pmatrix} 1 & 1 & 1 & 1/2 \\ 1 & 1/2 & -1 & -1 \\ 1 & -1/2 & -1 & 1 \\ 1 & -1 & 1 & -1/2 \end{pmatrix}$$

新的 16 位整数变换更加简洁,只需要 16 位的

* 安徽省“十五”科技攻关计划项目(01012039);合肥工业大学科学研究发展基金项目(030504F)

数字电视与数字视频

算术运算,有效地减少了变换后的动态范围,从而降低了对处理器和存储器的要求。并且变换矩阵与反变换矩阵都是可分离的,分离后的计算复杂度从 $O(N^4)$ 降到 $O(N^3)$ 。其中变换过程只需要 32 次加法操作、32 次减法操作和 16 次移位操作。

2.2 整数变换的蝶形算法

4×4 的预测残差块采用基 4 的蝶形运算方法以提高运算速度,如图 1 所示。其运算步骤如表 1 所示, a, b, c, d 为输入的一行或者一列残差数据; A, B, C, D 为变换后的系数; u, v, y, z 为一维变换所生成的中间变量。

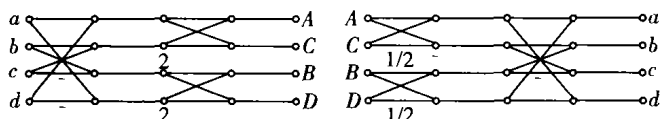


图 1 整数变换与反变换的蝶形结构图

表 1 整数变换与反变换的运算步骤

变换	输入值	中间步骤	输出值
正变换	a, b, c, d	$u = a + d$	$A = u + v$
		$v = b + c$	$C = u - v$
		$y = b - c$	$B = y + z \times 2$
		$z = a - d$	$D = z - y \times 2$
反变换	A, B, C, D	$u = A + C$	$a' = u + z$
		$v = A - C$	$b' = v + y$
		$y = (B \gg 1) - D$	$c' = v - y$
		$z = (D \gg 1) + B$	$d' = u - z$

3 基于 C64x DSP 的蝶形变换快速实现^[6]

这里以 TI 公司 C64x 系列 DSP 中的新成员 DM642 为例,对整数变换蝶形算法的快速实现进行研究。TMS320DM642 是 TI 公司推出的应用于数字媒体的高性能 DSP,它具有超强的计算能力,处理速度达到 4 800 MIPs,它具有 2 个通道共 8 个运算功能单元,分别是 D1, L1, M1 和 S1, D2, L2, M2 和 S2,理论上每个时钟周期可以同时运行 8 条指令。在用高级语言进行程序编写时,其 CCS 编译器的效率相当可观。但对于复杂算法的核心部分(如 H.264 中的整数变换),还是希望使其效率更高,这就必须结合算法本身,充分地利用 DSP 的所有运算功能单元进行并行汇编的优化,以达到理想的效果。下面结合整数变换蝶形算法的特点,对运算指令进行合理编排,降低指令间的相关性,使程序具有较高的并行度,以提高程序的执行效率。

3.1 DM642 功能单元的分配原则

DSP 中的各个功能单元都有其自身完成的不同功能,主要原则如下:

- 1) 读取指令必须使用.D 单元;

- 2) 乘法指令必须使用.M 单元;
- 3) 加法指令必须使用.L 单元;
- 4) 减法指令必须使用.S 单元;
- 5) 跳转指令必须使用.S 单元。

为提高汇编指令的并行度,只有尽可能使各个功能单元都使用起来,才能充分发挥 DSP 的性能。

3.1.1 同一功能单元的并行汇编

在分配各功能单元时,如果两条指令使用了相同的单元,则必须把通道分开,否则不能并行。如下的例子:

```
LDH    .D1    *A4++,A2
|| LDH    .D2    *B4++,B2
```

虽然两条指令使用的都是.D 单元,但是由于两条指令使用了不同通道,因此这两条指令可以并行。如果 B4 换成 A 通道中的一个寄存器,如 A5,那么上面的指令将不能并行,因为两条指令都使用.D1 单元,出现资源分配冲突。

在寄存器的分配上很难使每一条指令上的寄存器都是同一通道,这就用到交叉通道,交叉通道也可以并行,如下面例子:

```
MPY    .M1X    A2,B2,A6
|| MPY    .M2X    A2,B2,B6
```

3.1.2 不同功能单元的并行汇编

要充分发挥 DSP 的高性能,必须使 DSP 的流水线处于饱满,这就要求 DSP 的 8 个功能单元都能充分使用,在分配功能单元时必须充分考虑这个问题。

首先,DSP 的一部分指令可以在多个功能单元中实现。如 ADD 指令可以在.S 和.L 单元中实现,也就是说在一个周期里可以同时执行 4 条加法指令。

其次,一些功能可以使用不同的指令实现。如乘法指令,可以直接使用.M 单元实现,也可以利用.S 单元的移位指令实现,这样一个周期里相当可以完成 4 条乘法功能。

3.2 在 TMS320DM642 上实现整数变换并行运算

3.2.1 预测残差数据的输入

在 H.264 的整数变换中,输入的是 16 位预测残差数据,一行数据刚好为 64 位,可以使用一个 64 位的寄存器对存放。这样就可以使用 ADD2 之类的指令对一个寄存器中的两个 16 位数据进行并行处理,从而可以同时完成两组数据对应相加的操作。读入方法如下:

```
LDNDW .D1T1 *mln++[2], r_mln01:r_mln00 ;第一行
```

考虑到可以使用两个通道,因此一个周期内可以完成 4 个数据的加法。同样,减法指令可以通过类似方式实现。

3.2.2 行变换的实现

C64x 里面有多种加法指令,寄存器内容可作为 32 位数据相加,也可作为两个 16 位数据相加,也可以作为四个 8 位数据相加。对应于本文的方法,采

用 16 位相加,使用的是.S 功能单元。实现方法如下:

```
加法指令  ADD2 r_mIn00, r_mIn30, r_00;a+d
          ADD2 r_mIn01, r_mIn31, r_01
减法指令  SUB2 r_mIn10, r_mIn20, r_20;b-c
          SUB2 r_mIn11, r_mIn21, r_21
```

另外,因为在 C64x 指令中没有对两个 16 位数据同时左移的指令,同时 DM642 的乘法指令可在一个周期内完成,所以在求表 1 中的 B, D 时要使用 MPY2 指令实现向左的移位运算。由于乘法运算后数据的位数要进行扩展,故 MPY2 的结果需要放入一个寄存器对,但实际有效数据不会超过 16 位^[3,5],因此完成乘法后又把数据两两打包在一个寄存器里,以方便在下面的列变换中进行数据的并行处理。实现方法如下:

```
MPY2 r_30, r_t, r_t1:r_t0;2*(a-d) r_t=0x00020002
MPY2 r_31, r_t, r_t3:r_t2
PACK2 r_t1, r_t0, r_t0
PACK2 r_t3, r_t2, r_t2
```

3.2.3 列变换的实现

行变换后数据以行优先方式存放在 4 个寄存器对内,故在进行列变换的蝶形算法前要对寄存器内的数据进行转置调整,以方便使用上述的数据并行处理指令。经过寄存器中数据的转置处理后,就可使用与行变换类似的程序进行列变换的实现。

3.2.4 输出变换结果

列变换的结果即为整数变换的结果,但是输出之前必须进行第二次转置处理,使得输出数据仍然为行优先方式存储。

4 实验结果与结论

对于整数变换,使用了三种汇编算法进行实现,第一种使用普通矩阵乘法,第二种是本文的蝶形算法,第三种是矩阵乘法与蝶形算法的混合算法。对于第三种方法在此作简单说明,其首先使用蝶形算法完成行变换,对于行变换结果使用矩阵乘法完成列变换。实验结果如表 2。

本文提出的基于 TMS320C64x DSP 的 H.264

表 2 三种算法的实验结果对比

	矩阵乘法	蝶形算法	混合算法
不优化周期数	1424	142	248
O2 级优化周期数	93	36	43

整数变换快速实现方法,结合整数变换与 C64x DSP 的特点,充分利用了 DSP 并行处理技术,极大地提高了整个算法的执行效率。从表 2 可以看出,本文所采用的整数变换实现方式最节省硬件资源,适合 DSP 实现。在使用线性汇编进行优化时同样可以参考本文所采用的方法。

参考文献

- [1] Wiegand T, Schwarz H. The emerging H.264/AVC standard. www.packetizer.com/codecs/h264/trev_293-Schaefer.pdf, January 2003.
- [2] Joint Video Team(JVT) of ISO/IEC MPEG&ITU-T VCEG. Study of Final Committee Draft of Joint Video Specification. Final Committee Draft, Document JVT-F100, December 2002.
- [3] Halbach Till, Mathias Wien. Concepts and performance of next-generation video compression standardization. www.ncesd.org/vc/docs/H264_explained.pdf, October 2002.
- [4] 千宗良,李晓蕾. H.264 的变换编码和量化过程分析. 电视技术,2003(12):7-9.
- [5] Malvar H, Hallapuro A, Karczewicz M, et al. Low-complexity transform and quantization in H.264/avc. IEEE Circuits Syst. Video Technol., 2003, 13(7): 598-603.
- [6] 李方慧,王飞,何佩琨. TMS320C6000 系列 DSPs 有原理与应用(第二版). 北京:电子工业出版社,2003.

◇

作者简介:

胡嘉凯(1981-),广东汕尾人,硕士生,研究方向为 DSP 技术应用;

梁立伟(1981-),山东莱阳人,硕士生,研究方向为视频信息处理;

蒋建国,教授,博导,研究方向为分布式智能视觉系统;

齐美彬,副教授,研究方向为数字图像处理与 DSP 技术应用。

责任编辑:哈宏疆

收稿日期:2005-01-25

NEC 毫米波收发器可传输非压缩 HDTV 信号

NEC 公司近日宣布成功开发出一款高度紧凑的 60 GHz 频带无线收发器,该器件无须使用电缆即可传输非压缩高清晰电视(HDTV)信号。这种无线视频传输设备适用于输入/输出高质量的分量视频信号,可将非压缩 HDTV 信号和立体声音频信号转换为 1 Gbps 的数据流,并转换到 60 GHz 频带上,以利用 ASK 调制实现无线传输。由于采用了小尺寸无线模块设计和简化电源电路,该收发器的尺寸为 70 mm×50 mm×15 mm。单片 IC、滤波器和振荡器等高频元件均采用倒装贴片方式构建在陶瓷模块中,不仅便于装配,而且有利于减小尺寸。

该器件采用路径分集规划(path diversity scheme)来降低户外使用时线路断路的机率,采用双接收器配置实现两个传输路径,以确保线路出现故障时,自动切换到另一条路径,保持传输连续。

这种新开发的收发器为家庭、办公室和商用场合的宽带视频传输提供了更大的应用前景。此外,这项技术不仅可用于分立无线设备,而且能拓展到各种无线个人局域网相关的高数据传输率无线设备。

NEC 公司将对此种差分无线技术的早期商业应用做进一步研究,并将在 2005 年 6 月 12 日举行的 IEEE MTT-S 2005 国际微波年会上公布这一研究成果。