

文章编号:1671-0576(2010)03-0049-05

## H. 264/AVC 数字视频 CODEC 硬件平台设计

孙洪钊, 陶志锋, 费聚锋

(上海无线电设备研究所, 上海 200090)

**摘 要:** 针对远程无线低传输率应用的需要,设计了一款视频 CODEC 硬件平台。不但性能优越的 H. 264/AVC 视频压缩标准 CODEC 可以在该平台上实现,还可以同步实现为视频压缩所做的各种图像预处理和后处理。详细介绍了系统的总体框架和工作原理,并给出了各工作模块的硬件连接示意图及硬件实现方法。

**关键词:** 视频信号; 硬件平台; 图像处理

**中图分类号:** TN911.72

**文献标识码:** A

### The Hardware Platform Design for Digital Video H. 264/AVC CODEC

SUN Hong-zhao, TAO Zhi-feng, FEI Ju-feng

(Shanghai Radio Equipment Research Institute, Shanghai 200090, China)

**Abstract:** Aiming at the need of application in low-capability wireless channel, a video CODEC hardware platform was designed. Not only the excellent video compression standard CODEC of H. 264/AVC can run on the platform, but also the various image pretreatment and aftertreatment of video compression can be achieved in synchronization. The collectivity frame and work principle of the system was introduced in detail. The hardware connecting chart and hardware realization method of every work module was given too.

**Key words:** video signal; hardware platform; image processing

## 0 引言

随着成像技术和显示技术的发展,视频信号的分辨率越来越高,实时性越来越好,由此产生的

数据量也越来越大。在信道带宽一定的情况下,要把数据量越来越大的视频信号从成像源端发送给显示端,需要对视频进行压缩编码。随着视频压缩技术的进步,针对不同领域的需要,国际电信联盟(ITU)和国际标准化组织(ISO)制定了一系列视频压缩标准。其中,由两者共同制定的最新视频压缩标准 H. 264/AVC 因其较高的压缩率、较好的清晰度而受到视频压缩技术人员的青睐,业内也推出了各种各样的 H. 264/AVC 产品<sup>[1]</sup>。

**收稿日期:** 2010-05-18

**作者简介:** 孙洪钊(1984-),男,硕士;陶志锋(1976-),男,硕士,高级工程师;费聚锋(1982-),男,硕士,均从事信号与信息处理技术的研究。

而在远程低速率无线传输应用中,由于其对视频数据传输速率、清晰度和实时性的严格限制,常规 H.264/AVC 产品较难符合要求。因此,需要根据 H.264/AVC 技术资料 and 图像处理技术,结合实际需要进行 H.264/AVC 视频压缩系统自主开发。

为实现满足远程低速率无线传输要求的 H.264/AVC 和图像预处理等算法,需要一个高性能的硬件平台。针对多媒体处理的需要,各芯片制造商推出了多种 DMSOC 产品,其中德州仪器(TI)的 TMS320DM642 芯片以其强大的处理能力和良好的效果而获得业内的好评。采用 TMS320DM642 为 H.264/AVC 视频 CODEC 主处理芯片,用 EP1S20 FPGA 实现图像协处理和整个系统的控制中枢,为远程低速率无线传输应用设计了一款运算性能强大,设计灵活的高速硬件平台。

## 1 系统设计

系统由视频压缩电路板和视频解压缩电路板两块组成。涉及的元件主要有 TMS320DM642、

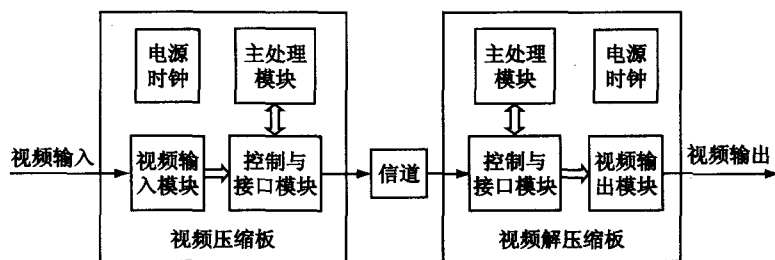


图 1 系统框架图

### (2) 解压缩电路板

FPGA 通过板间数据接口接收信道传来的压缩数据,并进行图像处理,DM642 通过数据总线将压缩数据读入并对其进行解压缩工作。解压还原出的数字视频通过 FPGA 传递给视频 D/A 芯片 SAA7105H 转换成标准制式的模拟视频,然后传给监视器显示。

## 2 硬件模块设计

### 2.1 视频输入模块设计

视频输入部分主要由 A/D 转换芯片

视频 A/D、视频 D/A 和 FPGA:

a) DM642 是系统的主处理芯片;

b) 视频 A/D 将由摄像头输入的标准制式的模拟视频信号转换为同样标准的数字视频信号进行视频压缩;

c) 利用 FPGA 丰富的资源实现图像预处理和后处理算法,以及信号流向转换和逻辑合成等;

d) 视频 D/A 将解压缩后还原的数字视频信号转换为标准制式的视频信号送给监视器回放。

为简化电路,降低制作成本,视频压缩板和解压缩板采用同样电路设计,区别在于压缩板只装有输入用的 A/D 转换芯片,解压缩板只装有输出用的 D/A 转换芯片。系统的整体框架,如图 1 所示。

系统的工作流程由以下 2 个模块构成。

### (1) 压缩电路板

由视频输出设备产生的模拟视频,通过视频 A/D 转换芯片 ADV7188 转换为数字码流。FPGA 接收该码流,完成图像预处理,再将其传送给 DM642,DM642 对其进行压缩处理,再传回 FPGA,FPGA 将压缩后的数据按照信道的通信协议送出。

ADV7188 和相应的控制电路构成,如图 2 所示。PAL 制模拟视频传送给 ADV7188 进行采样、量化等工作,转化为并行的 ITU-R BT656 YCrCb 4:2:2 720×576 的数字码流,同时分离出垂直同步、水平同步和场同步信号,这些信号都将被送给 FPGA,再由 FPGA 送给 DM642 进行压缩编码。此外,ADV7188 还输出内部锁相环提供的 27 MHz 的时钟信号,通过 FPGA 分给 DM642 和 D/A 转换芯片 SAA7105H 使用。

ADV7188 要完成以上工作还需要 28.636 36 MHz 的外部时钟和 DM642 控制信号的输入。DM642 的控制信号有 I<sup>2</sup>C 地址选择信号 ALBS、



二级缓存,外部存储器接口(EMIFA)可以扩展多个外设,充分利用这些硬件资源可以使视频压缩的运算速度得到进一步的提高<sup>[2,3]</sup>。在压缩板中,DM642的VP0口接收经FPGA预处理的视频数据,然后对其进行H.264/AVC压缩工作,压缩后的数据通过数据线传送给FPGA,再由FPGA传送给信道;在解压缩板中,DM642通过数据线接收由FPGA传送来的视频数据,然后对其进行H.264/AVC解压缩,解压缩后的数据通过VP2口传回FPGA,FPGA对其进行处理后,再将其送给D/A芯片进行D/A转换。

H.264/AVC压缩和解压缩程序都固化在FLASH芯片中。FLASH除固化程序代码外,还用来固化系统自启动代码及一些掉电后仍需保存的数据。系统上电复位后,H.264/AVC等程序从FLASH自举,导入DM642运行。本系统采用一片AMD公司的AM29LV033C作为FLASH芯片,其容量为32MB(4M×8-Bit),最快读取速度可达70ns。将FLASH映射到DM642的使能空间CE1,要使用AM29LV033C的全部4M×8-Bit空间,需要22根地址线寻址,但DM642只能20根,而要扩大FLASH的寻址空间,则需对FLASH进行分页;使用EMIFA的低19根地址线作为页内地址,用FPGA产生三根PAGE地址将FLASH分成8个PAGE,每个PAGE512K字节;通过FPGA来进行选页,扩大了FLASH的寻址空间。

FLASH和DM642、FPGA和DM642并不是直接相连的,而是通过SN74ALVC16245进行

连接的。SN74ALVC16245是TI公司生产的总线收发器,它能对信号起到隔离作用,并对弱信号有驱动作用。由于DM642数据线、地址线和部分控制信号所接元件较多或者传送距离较远。因此,先将信号送给SN74ALVC16245能取得较好的效果。

此外,DM642在视频压缩过程中会产生大量中间数据,而其内部仅有256kB的SRAM空间。因此,需要在EMIFA扩展SDRAM空间以满足其需要。DM642的CE0提供了1G、64bit的SDRAM无缝连接接口总线,利用CE0,扩展了2片HYNIX公司的HY57V283220芯片。该芯片为1M×4banks×32bit的SDRAM芯片,2片芯片扩展了64bits长、32M字节的动态存储空间,用于存储程序和数据缓存。由于EMIF总线速率是133MHz,因此SDRAM需要133MHz的外部时钟输入,该时钟由DM642的AECLK-OUT1来提供。SDRAM的总线由外部PLL驱动设备控制,而刷新则由DM642控制。

#### 2.4 视频输出模块设计

视频输出功能主要由PHILIPS公司的SAA7105H芯片来完成,如图4所示。SAA7105H可以将数字视频信号(ITU-RBT.656)转化为监视器支持的NTSC、PAL格式的YUV复合视频信号,同时也可以转化为电脑显示器所支持的VGA信号,通过I<sup>2</sup>C总线对SAA7105H内部寄存器的设置就可以实现不同格式的输出。

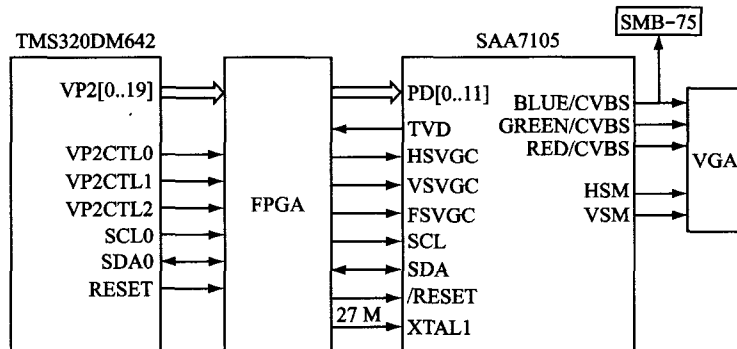


图4 视频输出模块连接关系示意图

设计中,将DM642的VP2口用作视频输出口,由DM642解压输出的CIF格式视频流由

VP2口传送给FPGA,FPGA将CIF格式的视频流转换为ITU-RBT.656标准的YCbCr4:2:2

格式数据,并将其输送给 SAA7105H 的 PD 口进行 D/A 转换。同时,DM642 还需要向 SAA7105H 提供水平、垂直、场同步信号以及 I<sup>2</sup>C 时钟线 SCL 和 I<sup>2</sup>C 数据线 SDA 信号等。SAA7105H 所需要的时钟信号则由 ADV7188 通过 FPGA 锁相环电路输出。如果是生成的 YUV 信号,输出到 3 个 CVBS 口中的一个就能在监视器上显示;如果是 VGA 格式信号,3 个 CVBS 口就复用为 RGB 信号,结合输出的水平、垂直同步信号就能在显示器上输出了。

## 2.5 电源及时钟单元设计

由于视频 CODEC 电路中要用到较多高速器件,为保证系统正常工作,需要精度、稳定性比较高的电源供电,DM642 对工作电压偏差的要求甚至不超过 5%。系统中需要几种不同的工作电压:数字 5 V、数字 3.3 V、模拟 3.3 V、数字 1.8 V、模拟 1.8 V、数字 1.5 V、模拟 1.5 V、数字 1.4 V 电压。而系统的外部供电只有 5 V,通过电感和 RC 滤波,可以得到较稳定的数字 5 V 电源;数字 3.3 V、数字 1.8 V、数字 1.5 V、数字 1.4 V 各自采用 MAXIM 公司的 MAX1951 电源转换芯片搭建分压电路得到;而与之对应的模拟电源则通过电感和 RC 滤波得到。为尽可能地减少噪声干扰,在每个芯片的电源输入脚尽可能多地放置滤波电容<sup>[4]</sup>。容值较大的电容滤去低频噪声,容值较小的滤去高频噪声。

时钟信号的输入是硬件电路工作的必备条件。设计中,ADV7188 所需要的 28.636 36 MHz、UART 所需要的 25 MHz、DM642 的

CLKIN 引脚所需要的 50 MHz 时钟,可以通过专用晶振直接得到;ADV7188 在工作过程中有 27 MHz 的时钟输出,通过 FPGA 的锁相环引脚分出两路分别供给 SSA7105H 和 DM642 的 STCLK 引脚使用;DM642 的 ECLKIN 脚所需要 133 MHz 的时钟,则可以通过一个 25 MHz 晶振,经 ICS 公司的 ICS512 倍频芯片倍频而得到。

## 3 结论

利用 TMS320DM642 和 EP1S20F484I6 的强大性能及丰富的资源,为 H.264/AVC 视频压缩算法实现提供了一个高性能、扩展性强,使用灵活和接口丰富的硬件平台。该设计不但可以满足远程低速率无线传输系统要求,也可以用于视频监控之类的民用产品的开发。由于采用通用架构,对个别器件用新型器件替换就可以快速实现性能升级,实现继承前期成果和用新技术改进的良好结合。

## 参考文献

- [1] Iain E. G. Richardson. H.264 and MPEG-4 Video Compression: Video Coding for Next-generation Multimedia[J]. John Wiley & Sons,2003,(12).
- [2] Texas Instruments TMS320DM642 Video/Imaging Fixed-point Digital Signal Processor[S]. Texas Instruments Incorporated, 2003.
- [3] 李方慧,王飞,何佩琨. TMS320C6000 系列 DSPs 原理与应用[M]. 北京:电子工业出版社,2003.
- [4] 吴伯春,龚清平. 信号完整性分析技术[J]. 航空电子技术,2004,(6).

欢迎订阅《制导与引信》期刊