文章编号:1000－1638(2010)04-0410-07

基于达芬奇技术的H.264视频编码器的研究与实现*

卢 宁[1,2],柯熙政[1],贾 贞[1]
(1.西安理工大学自动化与信息工程学院,西安 710048;
2.内蒙古民族大学计算机科学与技术学院,内蒙古 通辽市 028042)

摘要:随着多媒体技术的发展,数字图像处理技术被广泛应用于电视会议、可视电话、家庭娱乐、远程监控、公共安全、机器人导航等多种领域,但图像数据的大容量与传输带宽有限性之间的矛盾愈来愈突出.H.264/AVC是ITU－T和ISO/IEC联合推出的视频压缩编码标准,具有优异的压缩性能、高效的编码效率和良好的网络友好性,在数字媒体领域有着非常广阔的应用前景.介绍了新一代视频编码标准H.264的关键技术和达芬奇技术中的视频编解码引擎(Codec Engine),讨论了H.264编码算法,利用VC6.0进行了H.264算法的验证,并且在TMS320DM6446平台上进行了算法的移植和优化,完成了一个多媒体通信终端平台.

关键词:H.264;达芬奇技术;编解码引擎;移植和优化
中图分类号:TN911.4 **文献标志码**:A

1 前言

随着多媒体技术的发展,数字图像处理技术被广泛应用于电视会议、可视电话、家庭娱乐、远程监控等多种领域,但图像数据大容量与传输带宽有限性之间的矛盾越来越突出.当前,视频压缩的主要目标是在尽可能低的码速率下保证压缩图像的质量,减少视频信息之间的冗余度,从而降低存储成本,以缓解网络承载压力,适应不同信道的传输特性[1].

H.264标准的制定正是为适应各种数字业务增长应运而生的.但H.264编码结构复杂,为了实现视频的实时处理,对H.264编码器的研究就显的非常重要[2].

视频图像压缩编码的主要方式分为三种:基于FPGA(Field Programmable Gate Array,现场可编程门阵列)/ASIC(Application Specific Integrated Circuits,专用集成电路)芯片设计;基于通用DSP芯片设计;基于专用DSP芯片设计.基于FPGA/ASIC芯片的设计由硬件实现,并行程度高,可实现高速处理,开发难度较大;基于通用DSP芯片的设计灵活性强,具有很好的可扩展、可升级和易维护性,但其工作量大,集成性较差;而基于专用DSP芯片设计可提供很多视频专用功能,同时外围接口丰富,易于实现.

鉴于此,本文在对H.264标准研究的基础上,利用VC6.0进行了H.264算法的验证,并以达芬奇技术为核心,构建了一个通用多媒体通信终端平台,在TMS320DM6446平台上进行了算法的移植和优化.

* **收稿日期**:2010-04-27
基金项目:国家自然科学基金资助项目(60977054);内蒙古自治区自然科学基金资助项目(2009MS0914)
作者简介:卢 宁(1962－),女,内蒙古通辽人,副教授,2005级博士研究生.E-mail:ln62422@263.net.
通信作者:柯熙政(1962－),男,陕西人,西安理工大学教授,博士生导师,目前研究方向为大气激光通信及信号处理.

2　H.264视频标准

H.264(MPEG－4 Part 10)是ITU－T的VCEG(Video Coding Experts Group,视频编码专家组)和ISO/IEC的MPEG(Moving Picture Experts Group,活动图像编码专家组)组成的联合视频组(JVT: Joint Video Team)开发的新一代视频编码标准.相对于其他标准来说,在H.264中,改进和引入了许多新的算法[3]:

(1)采用了4×4整数DCT(Discrete Cosine Transform,离散余弦变换)技术,避免了8×8 DCT变换和逆变换经常出现的失配问题,减少编解码的运算量,提高了图像压缩的实时性.

(2)增强的运动补偿性能.采用树状结构的运动估计和1/4,1/8像素精度的运动向量预测技术,使预测帧更加接近原始帧.

(3)使用CAVLC(Context－Adaptive Variable－Length Coding,基于上下文的自适应的可变长编码),进一步减少了数据中的冗余信息.

(4)采用块间环路滤波器,可以平滑块间的亮度落差,可靠地提高图像的主客观评价质量.

(5)引入了SP和SI帧,解决了切换过程中因缺乏参考帧而引起的解码错误.

3　达芬奇技术Codec Engine框架

Codec Engine(编解码引擎)是连接ARM(Advanced RISC Machine,嵌入式RISC微处理器)和DSP或协处理器的桥梁,是介于应用层(ARM侧的应用程序)和信号处理层(DSP侧的算法)之间的软件模块.Codec Engine是一系列用于表示和运行数字多媒体标准化DSP算法接口xDAIS(eXpressDSP Algorithm Interoperability Standard, eXpressDSP算法协同标准)及算法的API(Application Programming Interfaces,应用编程接口).Codec Engine提供一个VISA接口,与符合xDM(eXpress DSP Digital Media standard, eXpressDSP数字媒体标准)的xDAIS算法进行互动.

3.1　Codec Engine的组成

Codec Engine包括核心Engine API和VISA API.核心引擎API相关接口模块为:初始化模块(CERuntime)、Codec Engine运行时模块(Engine_)、存储器OS抽象层(Memory_);VISA API的接口模块有:视频编码器接口(VIDENC_)、视频解码器接口(VIDDEC_)、图像编码器接口(IMGENC_)、图像解码器接口(IMGDEC_)、语音编码器接口(SPHENC_)、语音解码器接口(SPHDEC_)、音频编码器接口(AUDENC_)、音频解码器接口(AUDDEC_),各个模块分别包含在对应的头文件中.

应用程序必须使用CE核心引擎的三个相关模块打开或者关闭CE范例,同时可以获得存储器使用的状态和CPU负载的信息,应用程序也可以打开一个CE范例,使用VISA包中的模块,产生各种算法实例,然后使用同一模块运行或控制该算法.特别注意引擎的句柄是非线性保护的,对单独使用CE的每个线程来说,必须执行Engine_open,并管理好自己的引擎句柄.

3.2　Codec Engine框架

Codec Engine和服务器之间的关系可以比作客户机和应用服务器之间的关系,其本质是实现双核上的远程调用.在整个过程中首先引入了远程过程控制(RPC)的概念.RPC有客户端和服务器,客户端遵循某种通信协议,通过物理链路向服务器发送一条命令,然后服务器执行相应的命令,并且将结果返回给客户端.DM6446芯片将ARM作为客户端,DSP作为服务器,共享DDR2存储器作为两个存储器之间的物理链路,而DSP Link是物理链路上的通信协议,图1给出Codec Engine结构示意图[4].

如图1所示,ARM和DSP通过共享的DDR2存储器进行物理数据的交换,DSPLink负责达芬奇双处理器之间的通信,引擎功能层用于算法实例的对象.VISA层是引擎功能层的一个接口,用来创建、删除和使用符合xDM标准算法的进程.VISA层实际代表xDM接口层.

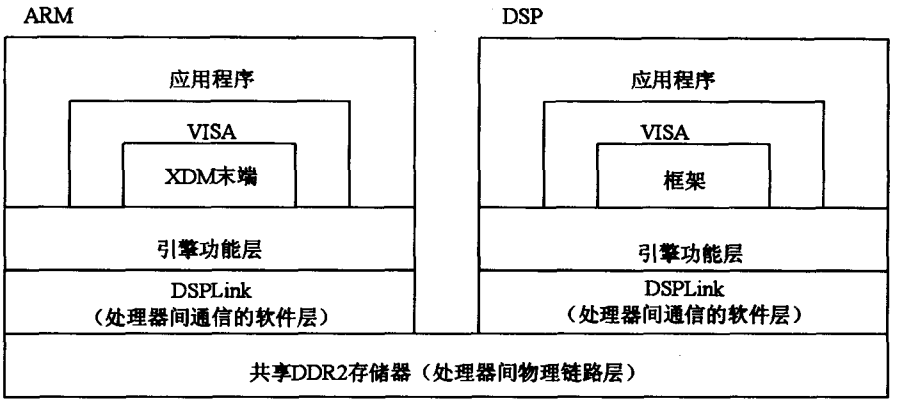

图 1 Codec Engine 框架结构

Fig. 1 Frame construction of Codec Engine

4 基于 TMS320DM6446 硬件平台的实现与优化

DM6446 是 TI 公司在 2005 年 12 月最新推出的高集成度的视频芯片. 系统包括一个 ARM 子系统、一个 DSP 子系统和一个视频处理子系统(VPSS),还带有一个图像协处理器(VICP)和各种丰富的外设[5].

4.1 DM6446 系统组成

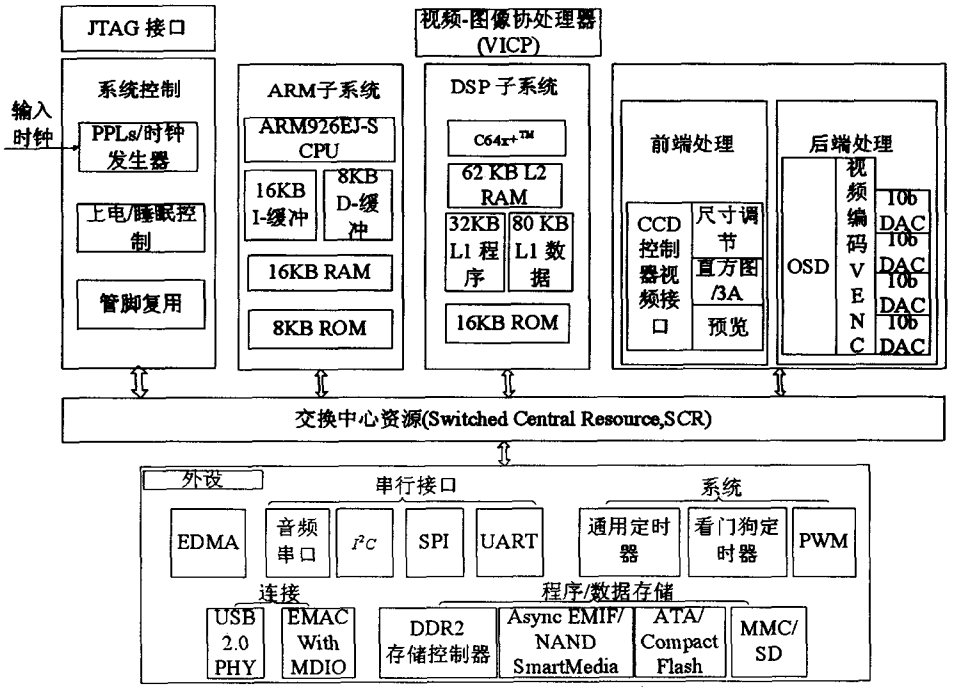

图 2 DM6446 功能框图

Fig. 2 A functional diagram of DM6446

DM6446 是基于 ARM+DSP 高性能的数据多媒体 SoC(System On a Chip,芯片系统),具有主频 594MHz 的 C64x+™核,以及主频为 297MHz 的 ARM926EJ-S™核,两者的有效结合构成了高性价比的双核系统. 其中指令数高达 4752MIPS,实现了一个时钟周期内最多可同时执行 8 条 32 比特的指令,大大提高了程序的执行速度. 同时包含 VPSS 视频处理子系统,VPSS 由 VPFE(视频处理前端),VPBE(视频处理后端)组成,支持图像缩放、自动聚焦、曝光、白平衡、OSD(屏幕显示模块)和数据混合等一系列图像处理功能;外设接口包括 EMIF(异步外部存储器接口),串行接口,系统接口

等;存储器接口包含32位DDR2(DDR2存储器控制器)接口,Async EMIF/NAND(异步外部存储器接口)接口,ATA(Analog telephone adapter,模拟电话适配器)接口;串行口包括SPI(串行外部接口),I^2C(内部集成电路模块),UART(通用异步收发器),ASP(Audio serial port,音频串口);系统接口包括看门狗定时器,PWM(脉冲宽度调制器);通过交换中心资源SCR(Switched Central Resource),系统内部和外设之间进行通信.图2是DM6446的功能构成框图[6].

4.2 基于达芬奇技术的H.264编码器移植与优化

H.264编码器的移植与优化[7],需要经过以下三个步骤:算法选择,代码移植,代码优化.

4.2.1 算法选择

目前以H.264为标准的源代码主要有三种:JM,X264,T264.JM为官方测试代码,主要用于学术研究,其程序结构冗长,只是单纯考虑引入各种新特性来提高编码性能,而忽略了编码复杂度,不适合实时视频压缩的使用,实用性较差;X264在算法和程序结构方面与JM相比都有较大的改进,X264利用了MMX/SSE/SSE2等基于X86架构的多媒体硬件指令加速器,为视频压缩的硬件实现奠定了基础,同时摒弃了H.264中多参考帧、帧间预测中不必要的块预测、CABAC熵编码等,X264在不明显降低编码性能的前提下,降低了编码的计算复杂度,而且特别注重实用性[8];T264和X264的出发点相似,并吸取了JM、X264、XVID的优点,在降低计算复杂度的同时,编码性能也大大降低,除了一些特殊的应用场合,T264的意义不大.

通过对码率、编码时间、失真度、图像主观质量等各项因素的测试和比较,本文采用编码模型X264.

4.2.2 代码移植

首先,将X264源代码在VC6.0环境下进行编译调试,并运行,产生正确的压缩图像,再删除B帧的操作,因为B帧是双向预测编码,会增加复杂度,同时屏蔽耗时较多的CABAC熵编码,删除剪裁后并不会明显影响压缩后图像的视觉效果,同时编码压缩速度也有了很大的提高.

其次,X264程序中包含一些非ANSI C代码,但是CCS只兼容标准C代码,所以要对非标准C代码进行修改.在工程中去掉了muxer模块,此模块是I/O接口的普通文件,然后再把所有调用matroska代码的接口部分注释,保证正确读入yuv文件,而与windows相关的地方,则去掉了几处监听事件发生的代码.对于parse函数,注释掉解析命令行的无限循环代码部分.

在DSP开发中,算法内一般不能动态分配连续内存,需要把VC下面malloc、alloc、free等函数做相应的变形或者替换.本文按照TI的XDAIS结构要求,由抽象接口模块IALG来完成DSP算法内部分配内存的请求,把分配好的内存堆栈保存在IALG_MemRec型的结构体组memTab[Num]中,由系统统一管理,使用时,再指向memTab[Num]所在起始地址[9].本文中,IALG模块所在的文件已经将内存分配接口函数MEM_alloc替换为malloc函数,问题得到了解决.

最后,对整体编码架构进行了适当的剪裁,变成C代码,同时还要考虑堆栈空间的大小、数据对齐、系统小端/大端模式等因素,在VC编译通过后,再设置CCS下面的cmd文件,使其在DM6446平台上进行软硬件仿真,产生正确的压缩图像.

4.2.3 代码优化

若将源码改为C语言代码,在VC的环境下运行时,编码速度明显下降,QCIF模式速度仅为10fps,将代码移植到DM6446的硬件平台,用CCS进行硬件仿真,编码速度仅能达到1帧/2秒.所以必须结合DSP本身的特点,对代码进行优化[10].如图3所示,为C6000代码的优化开发流程图,代码优化分为三个阶段.

第一阶段:采用C语言编写程序,不考虑DSP的相关编程规则,在CCS环境下利用C6000的代码产生工具,编译生成运行的代码,使用Profile工具对应用程序的效率进行测试.分析代码中可能存在的影响性能的代码,如果达不到系统的要求,进入第二阶段.

第二阶段:代码的进一步优化.利用编译器选项、内联函数(intrinsic)、数据打包技术和软件流水

技术对代码进一步优化,此步执行后,代码执行速度有了很大的提高,此处将 C 语言中的 for 循环打开,排流水线,提高并行性,调用丰富的内联函数.通过 Profile 工具检查其性能,如果代码仍不能达到预期的效率,进入第三阶段.

第三阶段:从代码中选出对性能影响最大的代码,用线性汇编重新编写汇编代码,然后使用汇编优化器优化该代码,或者直接手工编写汇编程序,调整指令和分配寄存器,提高速度.这里对蝶形运算等部分程序进行了线性汇编方式的改写,编码速度有了明显提高.

以上三个阶段并不需要全部执行,当某一阶段达到期望的要求时,就结束优化,否则进入下一个阶段继续优化[11-12].

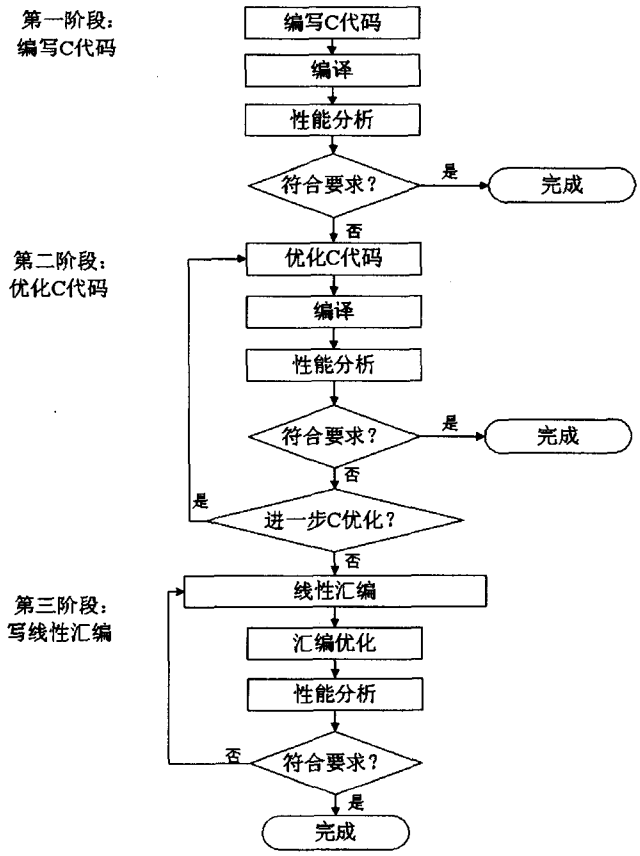

图 3 C6000 代码开发流程图

Fig. 3 Flow chart of C6000 code development

5 实验结果

表 1 编码器实验结果

Table 1 Experiment result of encoder

视频序列(300 帧)	亮度平均峰值信噪比 PSNR/dB	帧率(f/s)	码率(kbit/s)
Mother—daughter	38.61	30.235	63
Container	37.26	35.294	67
Mobile	34.66	12.404	580
Coastguard	35.62	16.623	277
Suzie	38.32	21.67	115

本实验采用五个 H.264 标准测试序列,共 300 帧,涵盖各种运动,采用 IPPP…编码模式.表 1 为

编码器实验结果. 通过表 1 中数据可以看出，对于 Qcif 序列，每秒钟编码 12～35 帧. 需要对代码继续进行优化.

为了验证 H.264/AVC 编码器优化后的性能，本文选取典型 QCIF 格式的标准序列 Mother－daughter 对在 CCS3.3 上优化后的代码进行了测试. 测试环境为：CPU 是 Intel Celeron CRU 2.40GHz，OS 是 windows XP，量化步长是 24，编码格式是 IPPPP…. 本文中，对 DCT 变换、量化等耗时较多的函数进行 C 代码优化. 表 2 为优化前后的时钟周期数对比情况.

表 2　优化前后的时钟周期数对比

Table 2　Comparison of clock period before and after optimize

优化函数名	未优化前	C 优化后
dct2x2	462	87
dct4x4	3147	873
idct4x4	3106	708
predict_16x16_dc	6704	1309
predict_16x16_dc_top	4765	1393
predict_16x16_dc_left	6100	1448
predict_16x16_dc_128	4539	1081

通过对关键功能函数进行线性汇编或手动汇编的编写，从表 2 可以看出，优化后时钟周期数明显减少. 最终测试后得到的结果如图 4 和图 5 所示.

图 4　原始图像

Fig. 4 Primitive image

图 5　优化后图像

Fig. 5　Optimized image

从图 5 中可以看出已经裁剪优化后的 X264 编码算法移植到 DSP 上后，能够正确压缩图像，与图 4 相比图像质量有所降低，但并不影响视觉观看. 对 X264 的优化取得了较好的效果.

6　结束语

本文将 X264 代码成功移植到 DSP 端，使得 DM6446 ARM 端可以直接通过 API 接口灵活调用算法，并且使得算法优化更加集中. 由于这里没有充分利用 DM6446 双核运行机制，编码速度还有待提高. 今后，可以进一步调整代码结构，使其更加紧凑，还可以对更多的函数进行线性汇编的编写，实现实时编码，更好的实现一个多媒体通信终端平台.

参考文献：

[1]　沈兰荪，卓力等. 视频编码与低速率传输[M]. 北京：电子工业出版社，2001：1-19.

[2]　毕厚杰. 新一代视频压缩编码标准—— H.264/AVC[M]. 北京：人民邮电出版社，2005.

[3]　ITU－T Rec H.264/ISO/IEC 14496－10 JVT－G050－05，Final draft international standard of joint video specification[S].

[4] SPRUE67D, Codec Engine Application Developer User's Guide[S].
[5] 王钊,冀小平. 基于DM6446视频处理的硬件分析[J]. 科技情报开发与经济,2007(30):241-242.
[6] SPRS283, TMS320DM6446 Digital Media System on-Chip[S].
[7] 安维嵘,张旭东. H.264视频解码器在C6416 DSP上的实现[J]. 电子技术应用,2004(09):46-48.
[8] 成嘉,张文雄,李善劲. 基于达芬奇技术的H.264视频编码器的实现[J]. 电视技术,2007(12):34-36.
[9] SPRA790, Techniques for Implementing Shared Relocatable Buffers Using the TMS320 DSP Algorithm Standard [S].
[10] 李慧芳,王飞,何佩琨,等. TMS320C6000系列DSPs的原理与应用[M]. 北京:电子工业出版社,2003.
[11] 应翔. 基于Davinci处理器的H.264视频编码器软件设计和优化实现[D]. 浙江:浙江大学,2007:57-74.
[12] 刘帅. 在DM642上实现H.264/AVC的实时编码[D]. 哈尔滨:哈尔滨工业大学,2006:47-49.

(责任编委 李树华)

A Study and Implementation of H.264 Video Encoder Based on DaVinci Technology

LU Ning[1,2], KE Xi-zheng[1], JIA Zhen[1]
(1. *School of Automation and Information Engineering, Xi'an University of Technology, Xi'an* 710048, *China*;
2. *School of Computer Science and Technology, Inner Mongolia University for Nationalities, Tongliao* 028043, *China*)

Abstract: With the development of multimedia technology, digital image processing techniques are widely used in the fields of video conference, the videophone, family amusement, supervisory control system, public security and robot navigation, etc. But the contradiction is more and more conspicuous between the large number of image data and the limited capacity of band width. H.264/AVC has become a new generation of international video compression standard for its high coding efficiency and good network compatibility, which is enacted by ITU-T and ISO/IEC Joint Working Group. It has very extensive application prospects in the area of digital media. The feature of new generation video coding standard H.264 and the Codec Engine of TI DaVinci technology are introduced, H.264 encoding algorithm is discussed, its algorithm was validated using VC6.0, and the implementation and optimization of H.264 was realized on TMS320DM6446 platform. The code can be used as a multimedia communication terminal platform.

Key words: H.264; DaVinci technology; encode/decode engine; ported and optimized