



基于达芬奇 (DaVinci) 技术的 H.264 视频编码器原理及其开发

□胡海龙, 陈前斌

(重庆邮电大学光互联网及无线信息网络研究中心, 重庆 400065)

摘要:介绍了 H.264 视频编解码标准的关键技术和新的数字媒体开发平台达芬奇 (DaVinci) 技术及其产品 TMS320DM6446, 以及利用 DaVinci 进行 H.264 视频编码器的设计和实现。

关键词:视频编码; H.264; 达芬奇技术; 编解码引擎

Principle and Exploitation of H.264 Video Encoder based on DaVinci Technology

□HU Hai-long, CHEN Qian-bin

(Special Research Centre for Optical Internet and Wireless Information Networks, Chongqing University of Posts and Telecommunications (CQUPT), Chongqing 400065, China)

Abstract: H.264 is the most famous video coding standard. This paper presents the major techniques of H.264 video standard and DaVinci technology, the new platform of digital multimedia exploitation and this platform's product, TMS320DM6446. Then the paper implements the H.264 encoder based on DaVinci technology.

Key words: video encoding; H.264; DaVinci technology; TMS320

和 MUDS 数字接收系统, 根据同一接收地点用户的多少又分为单用户接收系统和集体用户接收系统。接收时将接收到的 MMDS/MUDS 信号送入单用户接收系统(如图 5、图 6 所示)或“村村通”集体用户接收系统(如图 7 所示)供用户收看。

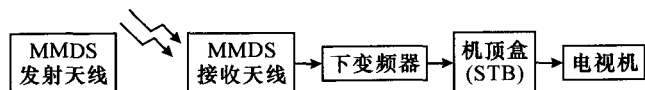


图 5 数字 MMDS 信号单用户接收系统

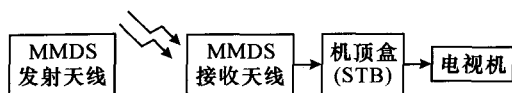


图 6 数字 MUDS 信号单用户接收系统

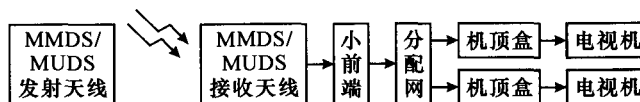


图 7 数字 MMDS/MUDS 信号集体用户接收系统

6 结束语

建设数字 MMDS/MUDS 投资少(只需有线电视网 30% 左右的投资), 见效快, 建设周期短, 维护成本低, 用户接收设备使用简单方便。通过 CA 管理平台 (CAS、SMS), 实现数字电视信号分频道授权管理, 收取适当的收视维护费, 不仅能解决市县(区)节目在广大农村的有效覆盖和实现“村村通”方面的难题, 还可以解决“法轮功”等非法信号的干扰问题。

[收稿日期: 2007-01-25]

作者简介:胡海龙(1982-), 男, 硕士研究生, 主要研究方向为多媒体技术, E-mail: huhailong0710@163.com; 陈前斌(1967-), 男, 教授, 主要研究方向为通信网理论与技术、个人通信等。

1 引言

近年来随着多媒体技术的发展,视频编解码技术也得到了长足的进步,先后制定了 MPEG-1、MPEG-2、MPEG-4、H.264 等多个视频编码标准。而在现有的视频编解码标准中,由 ITU-T 的 VCEG 和 ISO/IEC 的 MPEG 联合制定的视频编码标准 H.264/AVC 是目前研究和开发的热点,受到越来越多的关注。H.264/AVC 在 ITU-T 被称之为 H.264^[1],而 ISO/IEC 将其作为国际标准 14496-10(MPEG-4 第 10 部分),称为高级视频编码 AVC。

H.264 具有非常高的压缩编码效率,在相同视频图像质量下,H.264 比 H.263 要节省 50% 左右的比特率^[2],同时具有良好的“网络友好性”,适应于不同的网络和传输环境,并有很强的差错恢复能力以及时延控制能力。

实现 H.264 实时编码有不同的方法。硬连线以及基于 ASIC 的方案总是限制着器件的用途、功能,以及它们的自适应性;虽然专用器件的灵活性稍高于 ASIC,但是,面对标准的不断升级变化,它们的效用仍然很有限;单芯片不具备足够强大的处理能力,要达到单芯片实时编码异常困难。利用德州仪器公司于 2005 年 9 月份发布的达芬奇(DaVinci)技术和同年 12 月发布的 DaVinci 产品 TMS320DM6446 这一性能足够高、成本足够低、灵活性足够高的数字视频开发平台,H.264 视频编码器的开发难题将会迎刃而解。

本文就 H.264 视频编码器在 TMS320DM6446 上的实现进行讨论。首先在第二部分简要介绍了 H.264 视频编解码标准,以及编解码过程;在第三部分,介绍了达芬奇(DaVinci)技术和 TMS320DM6446 的特点及其结构;最后介绍了基于达芬奇(DaVinci)技术的

H.264 视频编码器的实现。

2 H.264 视频编码标准

H.264 具有良好的结构设计,由视频编码层(VCL, Video Coding Layer)和网络抽象层(NAL, Network Abstraction Layer)这 2 个功能层组成。

2.1 视频编码层

同以前的视频编解码标准一样,H.264 也采用了基于块的运动补偿和编码,同时它还采用一系列新的技术,包括:运动矢量具有亚像素精度,对于亮度信号来说可以达到 1/4 像素精度;运动补偿使用了块大小可以改变的运动补偿;允许使用多个参考帧;帧内编码使用帧内预测;自适应环路滤波;自适应于内容的算术编码和变长编码等,这些新技术的采用大大提升了视频的压缩率。

基本的编码过程^[1]如图 1 所示。一个帧图像 F_n 输入后,编码器将 F_n 分解为宏块(对应于原始图像中的 16×16 像素块)。

每一个宏块可以用帧内或帧间方式编码,在所有这两种模式下,都基于重建帧(reconstruct frame)生成了一个预测宏块(prediction macroblock) P 。在帧内模式, P 由本帧 n (用 uF'_n 表示,指未经滤波的样本点来生成 P)之前已经经过编码、解码、重建的一些样本点(samples)生成,在帧间模式, P 由 1 个或多个参考帧的运动补偿预测生成。

从当前宏块中减去预测宏块 P 就生成了残差宏块 D_n ,残差宏块 D_n 被转换和量化生成一系列量化的传输参数(coefficients) X ,这些参数被重新排列和熵编码,经过熵编码后的参数连同用于解码宏块的附带信息(例如宏块预测的模式、量化阶数、描述宏块怎么样被运动补偿的运动矢量信息等)生成了比特流,比特

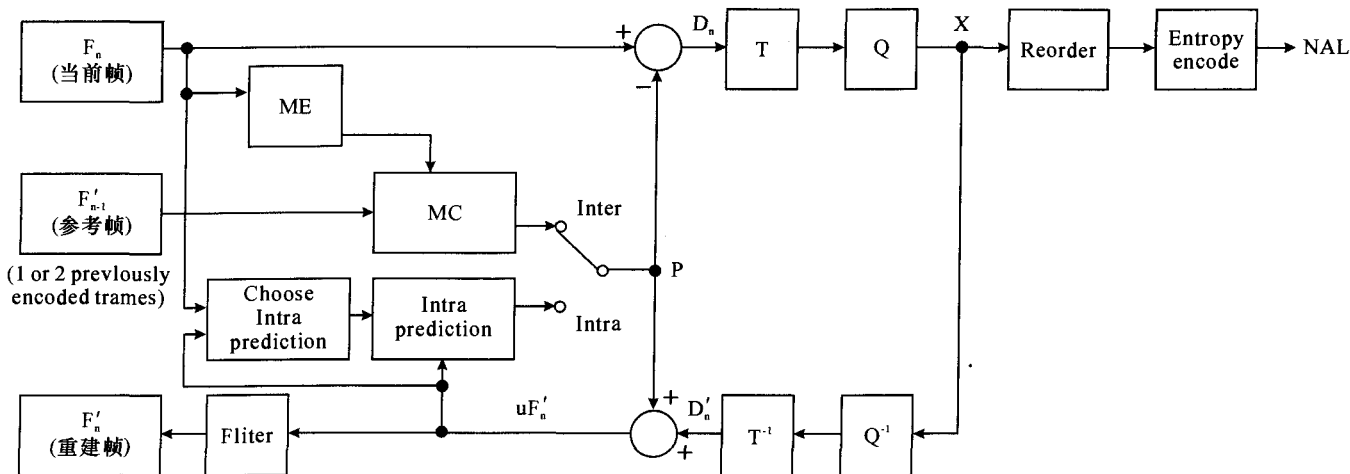


图 1 H.264 基本编码过程

流被送往 NAL 层进行传输或存储。

反向的路径为重建路径,重建路径的作用是为了保证编码器和解码器有相同的参考帧,从而形成相同的预测宏块,避免了解码器和编码器之间的漂移。为了编码后续的帧,通过解码当前被量化的宏块参数 X 而重新生成了帧,参数 X 被反量化和反变换而产生了一个残差宏块 Dn' 。由于量化过程引入了损耗,所以 Dn' 是失真后 Dn ,即 Dn' 与原始的残差宏块 Dn 不一致。

预测宏块 P 加上了 Dn' 产生了重建的宏块 uFn' (原始宏块失真后的样值),然后再通过滤波器减少块失真造成的影响,重建的参考帧由一系列宏块 Fn' 生成。

2.2 网络抽象层^[3]

网络抽象层(NAL)的设计是为了提供“网络友好性”,使视频编码层(VCL)更简单高效地适合于多样的网络。

NAL 提供映射 H. 264 VCL 数据到传输层,例如:

①RTP/IP:任何实时有线和无线因特网服务(会话类和流类)

②文件格式,例如存储和 MMS 用的 ISO MP4

③H. 32X:有线和无线的会话服务

④MPEG-2 系统:广播服务

NAL 为分层结构,经过 VCL 编码后的视频数据被组织成 NAL 单元,一组 NAL 单元组成一个接入单元,一组接入单元组成一个视频序列,再根据不同应用,对视频序列进行处理。图 2 为流结构的 NAL 分层示意图。

两种。VCL NAL 单元包含视频图片中采样点的值的表示;非 VCL NAL 单元包含一切相关的附加信息,例如参数设置(可被应用到大量 VCL NAL 单元的头数据)和附加的增强信息(时刻信息和其他附加数据,这些数据可能会增强对已解码视频信号的利用,但是又不是在解码视频图像的采样点值必须用到的)。

一组规定了格式的 NAL 单元称之为接入单元,解码每个接入单元可以产生一副解码图像。每个接入单元包含一组 VCL NAL 单元,这些单元在一起组成一幅原始编码图像。为了定位接入单元的开始,给接入单元加上一个接入单元分割符(定界符)前缀。一些附加的增强信息数据(SEI)(包含诸如图像时刻信息)也可以位于原始编码图像之前。

最后,如果这个编码图像是编码视频序列(独立的可被解码的并且使用同一个序列参数配置一个图像序列)的最后一幅图像,那么一个序列结束 NAL 单元被用来指示序列的结束;如果这个编码图像是整个 NAL 单元流的最后一幅图像,那么,一个流结束 NAL 单元被呈现来指示此流结束。

一系列接入单元组成一个编码视频序列,这些接入单元是连续的 NAL 单元流,并且使用仅仅同一个序列参数配置,给予必要的参数配置信息(通过带内或者带外传输的),每个编码视频序列可以独立于任何其他编码视频序列而被解码。

在每一个编码视频序列的开头是一个即时解码刷新(instantaneous decoding refresh - IDR)接入单元,一个 IDR 接入单元包含一个帧内图像——一个不需要 NAL 单元流中任何以前的图像就可以被解码的图像。

3 达芬奇(DaVinci)技术

达芬奇技术由达芬奇处理器、达芬奇软件、达芬奇开发工具和达芬奇技术支持系统等组件优化构成,其中,达芬奇处理器基于业界最高性能的 DSP 平台——TI TMS320C6000,利用了 TI 最新的 C64x + DSP 内核。达芬奇处理器包含基于可扩展、可编程 DSP 的 SoC(可从 DSP 与 ARM 内核进行定制),同时还包含优化的加速器与外设,以全方位满足各种数字视频终端设备对价格、性能以及功能等多方面的需求,采用 DaVinci 成为数字视频开发的趋势。

3.1 TMS320DM6446

TMS320DM6446^[4] 芯片是达芬奇(DaVinci)技术的杰出代表,TMS320DM6446 由 ARM926EJ-S 内核、

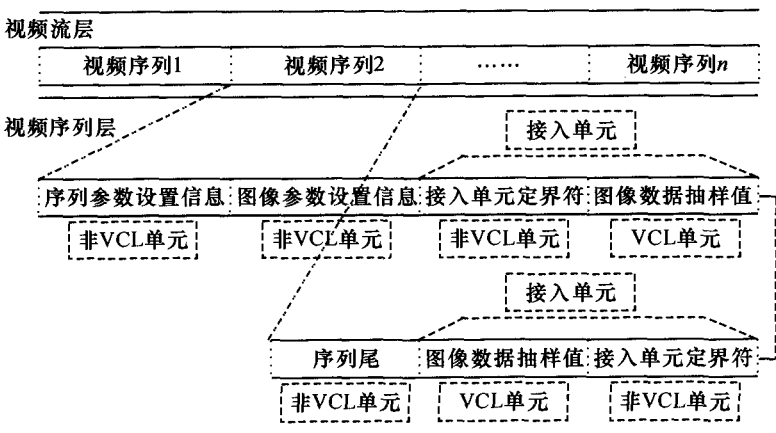


图 2 流结构的 NAL 分层示意

每个 NAL 单元由整数个字节大小的包构成,其中第一个字节包含数据类型的标志,其他字节是净荷。NAL 单元被划分为 VCL NAL 单元和非 VCL NAL 单元

TMS320C64x + DSP 内核、系统控制、视频处理子系统 (VPSS)、电源管理、外部存储器接口、外围控制模块等功能模块组成。

ARM926EJ - S 内核是采用管道化流水线的 32 位 RISC 处理器,同时配备 Thumb 扩展,它能够处理 32 位或 16 位的指令和 8 位、16 位、32 位的数据,它通过使用协处理器 CP15 和保护模块使体系结构得到增强,并提供数据和程序内存管理单元(MMU)。

MMU 具有两个 64 项的转换旁路缓存器(TLB)用于指令和数据流,每项均可映射存储器的段、大页和小页。为了保证内核周期的存取指令和数据,提供了独立的 16 K 字节指令 Cache 和 8 K 字节数据 Cache,指令和数据 Cache 都是通过 VIVT 四路连接,另外,提供一个写缓冲用于提升内核性能,其缓冲数据容量高达 17 字。

TMS320C64x + DSP 内核构建在 VelociTI. 2 体系结构的基础上,是 VelociTI. 2 体系结构的进一步增强,以其 C64x + 内核的先进超长指令字(VLIW)结构,获得当前应用设备所需要的极高性能。

TMS320C64x + DSP 内核结构的特点为:

(1) C64x + 片内有 2 个数据通道、8 个功能单元和 2 个一般目的寄存器文件(A 和 B),而 8 个功能单元和 2 个寄存器文件又分成了相同的两组,每组占用 1 个数据通道,2 个数据通道之间包含有 2 个数据交叉通路。

(2) C64x + DSP 采用超长指令字(VLIW),即在每个时钟周期最高可提供 8 条 32 位指令,总字长为 256 位的指令包同时分配到 8 个并行处理单元,在 594 MHz 的时钟频率下,当片内 8 个处理单元同时运行时,其最大处理能力可以达到 4 800 MIPS。

(3) C64x + DSP 具有双 16 bit 扩充功能,芯片能在

一个周期内完成双 16 位的乘法、加减法、比较、移位等操作。C64x 通过把 DSP 运算压缩在较少的周期里,加速通信和图像应用。在增强并行性的扩展中,4 组 8 位/2 组 16 位指令允许每秒进行约 90 亿次 8 位乘法上累加周期(MAC)运算。

TMS320DM6446 中的视频处理子系统有两个接口,分别为用于视频输入的视频前端输入(VPFF)接口和用于图像输出的视频末端输出(VPBE)接口。

TMS320DM6446 的功能结构框图如图 3 所示。

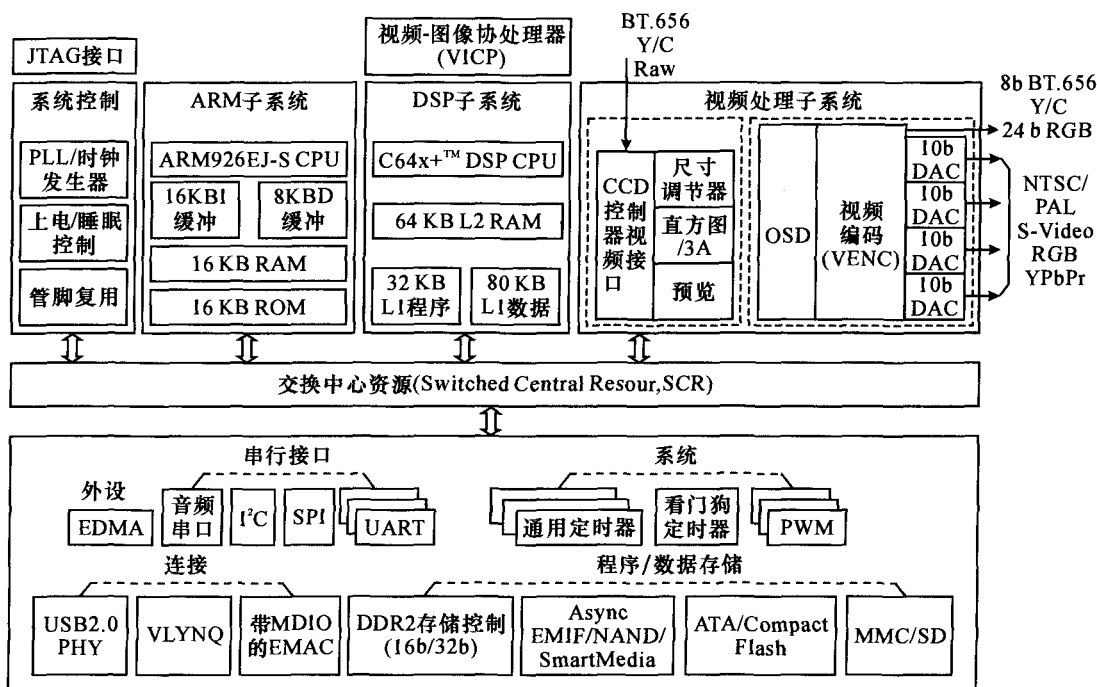


图 3 TMS320DM6446 的结构框图

3.2 达芬奇软件

运行于达芬奇处理器之上的达芬奇软件充分利用芯片资源,其内置于可配置的框架内,通过流行操作系统内部已公布的 API 提供,达芬奇软件结构包括应用层 (APL)、输入输出层 (IOL)、信号处理层 (SPL),其结构如图 4 所示。

APL 层:通过运行于 Linux 操作系统(由 DaVinci 提供)上的应用软件诸如 OpenHelix、SSMPEG 等,达芬奇可以提供差异化的功能。

SPL 层:应用程序通过简单的调用 APIs 函数,来实现视频、音频、语音、图像的处理,而不需要知道 DSP 端具体的处理细节,即通过 APIs 屏蔽了复杂的 DSP 实现部分,被屏蔽了的信号处理部分由 DSP 端的信号处理层 SPL 来完成。

IOL 层:ARM 端的 Linux 操作系统提供了基本外

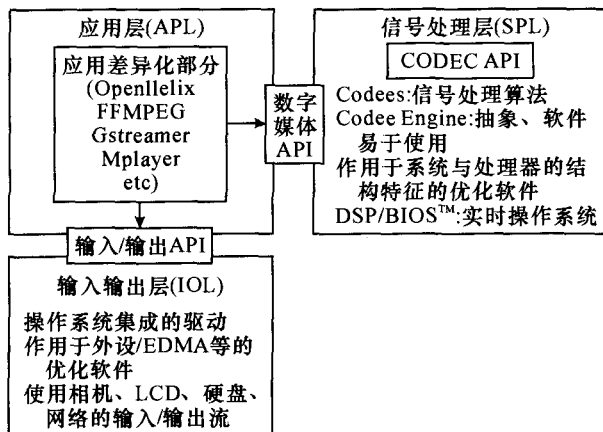


图 4 Davinci 软件结构

设驱动程序,以及使用相机、LCD、硬盘、网络等媒介时需要的输入输出功能。

4 基于 DaVinci 的 H. 264 视频编码器开发

在 DaVinci 框架下,编码器的硬件设计非常简单,摄像头采集到的音视频数据通过 TMS320DM6446 处理后直接输出到网络或者存储设备。

根据 DaVinci 的软件结构,应用程序通过 VISA API 可以调用编解码引擎^[5] (Codec Engine) 提供的功能;编解码引擎是一系列运行的算法;DSP 端实现 H. 264 视频 Codec。我们将 H. 264 视频编码器开发可分为 4 个步骤:算法开发,服务程序集成,引擎集成,应用程序开发。

4.1 H. 264 的实现

ITU&T 提供了 H. 264 核心算法的测试模型 (JM),若不加优化,简单地将编码算法移植到 DaVinci 平台上,其运行效率极低,主要原因有两条:①JM 中的很多算法需要很大的运算量;②JM 中所有的代码都直接由 C 语言编写,并未结合 DSP 结构的特点,因此对 DM64x + DSP 内核上的编码器具体实现,必须对核心算法做较大的改进,例如针对运动估计这一主要的计算瓶颈,利用 DM64x + 专用操作指令采用 SIMD 技术,我们采用六边形搜索法快速搜索运动矢量像素插值的优化^[6],可以取得非常好的效果。

为了支持远程的编解码器,我们必须开发一个代码服务程序。编解码器服务程序集成部署编解码器必要的各种组件(例如 DSP/BIOS、框架组件、Codecs、Codec Engine 等),并且产生可执行程序,这个可执行程序是一个编解码器服务程序,并提供给引擎集成者使用。

引擎集成定义各种引擎配置,这些配置包括:引擎

的名称以及引擎内编解码器和编解码器的名称;每个编解码器相对应用程序而言是本地的还是远端的(即运行在 ARM 上还是运行在 DSP 上);每个编解码器应该被集成在哪个组;如果一个特定的引擎包括远端的编解码器,它的编解码器服务程序映射的名称。引擎集成者从服务程序集成者那里获得一个编解码服务程序的名字和一系列包含在服务程序集成者那里的编解码器,利用这些,引擎集成者开发出一个引擎配置文件,这个配置文件与那个编解码服务程序对应。

应用程序开发者负责开发应用代码,用 RTSC 工具 (CCS 工具之一) 从引擎配置文件 (.c 和 .xdl 文件) 产生输出文件,编译应用程序代码和产生的输出文件,接着链接这些文件 (包括生成的链接命令文件 (.xdl)) 成为一个可执行文件,最终的结果就是应用可执行文件。

4.2 针对 DM64x + DSP 内核的程序优化

DM64x + 的内核采用 VLIW 体系结构,具有 8 个独立的运算单元,一个时钟周期可并行执行 8 条指令,当芯片工作在 600 MHz 的时钟频率时,其峰值处理速度可达 4 800 MIPS,因此如何充分发挥 DM64x + 内部 8 个功能单元的并行处理能力,是实现程序性能优化的关键。虽然 TI 公司的开发工具 CCS 所提供的 C 编译器具有一定的优化处理能力,但对于 H. 264 编码来说,由于所处理的数据量大,程序庞大,很难满足实时处理的要求,在充分考虑 DM64X + DSP 内核的硬件结构特点的基础上,从以下几方面进行程序性能的优化处理:

(1) 合理分配变量的存储位置。DM64x + 的 8 个功能单元分为两组,各有一条 64 bit 的数据通道访问片内的数据存储区。由于大量的图像数据存放在片外的存储器中,为减少 CPU 直接访问外存所带来的时间开销,在进行大块片外数据处理的地方,将数据预先装入片内,保证对 CPU 来说,所有对数据的访问都是基于片内数据存储区的,减少了读取数据的等待时间。片内、片外存储器之间的数据传输借助 EDMA 在后台操作,这样既可提高数据传输的效率又可使数据传输与运算操作并行进行,为使 CPU 的访问和 EDMA 的传输能同时无冲突地进行,将被访问的数据置于片内存储器不同的位置。

(2) H. 264 编码器使用大量的循环操作来处理以矩阵形式存放的视频数据,其中一些视频编码函数还需要多级的嵌套循环,因此对程序代码中的循环操作

进行优化是非常必要的,可以使用循环展开的方法来并行处理视频数据,它通过增加循环体的大小来减少循环判决树的中断,循环展开更有效地利用了 DSP 的寄存器,最小化调用/存储的指令数目,同时它还能最小化循环过程中内存接入的次数。

(3)从存储器去取一次数据会有 4 个时钟周期的延时,严重影响了 CPU 的效率,为此在编码时应当尽量减少从存储器中取数据的次数。DM64x+ 可一次读取或存储 64 bit 的双字型数据,因此在对 8 bit 数据进行存取时,一次从存储器中取地址相邻的 8 个 8bit 数据,然后分别进行运算,这样就充分利用了 CPU 的资源,减少了 7/8 的数据存取时间。

(4)对使用频度高的代码段采用线性汇编,进行人工优化。线性汇编不同于标准汇编之处在于线性汇编不需要给出汇编代码中必须指出的所有信息,如寄存器的分配等,而可根据事先已知的数据之间的相关性、循环操作的重复次数等,在线性汇编中通过伪指令进行指定,为汇编优化器提供尽可能多的可优化信息,使更多指令能够并行执行。

最后,还可以使用寄存器变量的引入、内联函数的设定和冗余操作的简化等技术来优化程序代码,这些技术与前面讨论的方法结合在一起对程序进行整体优化,可以大大提高程序的运行速度。

参考文献:

- [1] ITU-T Rec. H.264 / ISO/IEC 11496-10, Advanced Video Coding[S]. Final Committee Draft, Document JVTG050, 2003.
- [2] Thomas Wiegand, Gary J Sullivan, Gisle Bjontegaard, et al. Overview of the H.264 / AVC Video Coding Standard[D]. IEEE Transactions on Circuits and Systems for Video Technology, 2003.
- [3] Atul Puria, Xuemin Chenb, Ajay Luthrac. Video coding using the H.264/MPEG-4 AVC compression standard[J]. Signal Processing: Image Communication, 2004, (19):793-849.
- [4] Texas Instruments Incorporated, TMS320DM6446 Digital Media System on-Chip [S]. Literature Number: SPRS283, 2005.
- [5] Texas Instruments Incorporated, Codec Engine Algorithm Creator User's Guide[S]. Literature Number: SPRUED6, 2006.
- [6] 鹿宝生,陈启美. H.264 高性能视频编码器的 DSP 实现[J]. 计算机应用,2005,25(12):108-111.

[收稿日期:2007-01-10]

2007 年业内活动一览表

- | | |
|---|--|
| 1. 第 15 届印度新德里国际广播、有线电视暨网络通讯博览会
3 月 20 日 - 22 日 印度新德里
电话: +91 1142795000 传真: +91 1142795098
E-mail: exhibitionsindia@usnl. . com | 4 月 20 日 - 24 日 西安
传真: 010 - 86093784 86091818
E-mail: nwcen@sina. com nwcen@126. com
http://www. nwc. com. cn |
| 2. 15 届中国国际广播电视信息网络展览会 (CCBN2007)
3 月 30 日 - 4 月 1 日 中国国际展览中心
电话: 010 - 86092133 86093977
传真: 010 - 86094090
E-mail: ccbn@ccbn. com
http://www. ccbn. cn | 5. 中国西部国际广播、电视及音像制品展览会
5 月 25 日 - 28 日 成都世纪城新国际会展中心
电话: 028 - 66258368 传真: 028 - 87534793
E-mail: mcainiao@163. com
http://www. ccpit - sichuan. org |
| 3. 双向 HFC 网络改造及 EPON 接入网新技术培训
4 月 14 日 - 20 日 海口海外大酒店
电话: 029 - 82664166 82667813
传真: 029 - 82667813
E-mail: cctavggbb@mail. xjtu. edu. cn | 6. 第十六届北京国际广播电影电视设备展览会
8 月 22 日 - 25 日 中国国际展览中心
电话: 010 - 86093207 86092783
传真: 010 - 63151814
E-mail: birtv@birtv. com
http://www. birtv. com |
| 4. 第七届全国互联网与音视频广播发展研讨会 | |