

●应用与设计

利用 I²C 总线实现 DSP 对增强型视频输入处理器 SAA7111A EVIP 的配置

李立庄, 胡方明

(西安电子科技大学 电子工程学院, 陕西 西安 710071)

摘要: 介绍了 TMS320VC5509A 的 I²C 模块的内部结构和工作原理、I²C 总线数据特点以及增强型视频输入处理器 SAA7111A EVIP(Enhanced Video Input Processor) 的 I²C 接口的特点及其内部控制寄存器。在此基础上详细阐述了如何利用 CCS 提供的片上支持库(CSL)对 DSP 内部的 I²C 模块进行初始化, 并通过 I²C 总线对 SAA7111A EVIP 进行配置的过程。

关键词: I²C 总线; DSP; SAA7111A EVIP; TMS320VC5509A; TMS320C55x 片上支持库(CSL)

中图分类号: TP336

文献标识码: A

文章编号: 1006-6977(2008)02-0046-03

Implementation of SAA7111A EVIP configuration using I²C bus of DSP

LI Li-zhuang, HU Fang-ming

(School of Electronic Engineering, Xidian University, Xi'an 710071, China)

Abstract: The configuration and operation principle of the I²C module within TMS320VC5509A, the characteristic of I²C bus data, the characteristic of I²C interface and its registers are introduced. The method of initialization of I²C module inside DSP with the Chip Support Library (CSL) offered by CCS, and the implementation details of SAA7111A EVIP configuration using I²C bus are given.

Key words: I²C bus; DSP; SAA7111A EVIP; TMS320VC5509A; TMS320C55x CSL

1 引言

图像处理系统包括图像采集模块和图像处理模块。本系统设计采用 SAA7111A EVIP(Enhanced Video Input Processor)(简称 SAA7111A)完成前端图像采集, 使用 TMS320VC5509A 完成图像处理。在 SAA7111A 正常工作前需要对其进行初始化配置, 由于这两款器件内部都集成有 I²C 模块, 可利用 I²C 总线实现对 SAA7111A 的初始化配置。

2 TMS320VC5509A 内部 I²C 模块

2.1 I²C 模块内部结构

TMS320VC5509A 内部集成有 I²C 模块, 其内部结构框图如图 1 所示。

数据发送寄存器 I²CXSR、发送移位寄存器 I²CXSR、数据接收寄存器 I²CDRR 及接收移位寄存

器 I²CRSR 负责数据线 SDA 上串行数据的发送与接收; 时钟同步单元用于同步 I²C 的输入时钟 (来自 DSP 时钟发生器) 和 SCL 上的时钟, 并在多主设备数据传输模式下保证多个主设备时钟完全同步; 多主发送传输模式下, 仲裁单元对数据总线上的数据进行仲裁; 预分频器对 I²C 模块的输入时钟分频; I²C

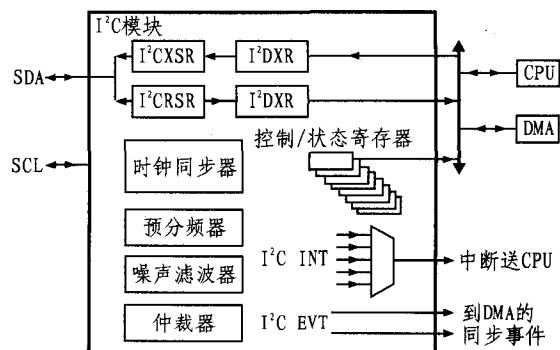


图 1 I²C 模块内部结构框图

模块中断产生单元和 DMA 同步事件产生单元用于触发相应 CPU 中断和 DMA 传输。控制寄/状态寄存器用于实现 I²C 模块工作模式的设定和状态控制。I²C 模块通过外设总线与 CPU 和 DMA 控制器进行通信。

2.2 I²C 总线的数据传输

I²C 总线为一条串行数据线(SDA)和一条串行时钟线(SCL)。SDA 和 SCL 都支持输入/输出双向传输,连接时需上拉至高电平。则 TMS320VC5509A 内部 I²C 模块支持主设备和从设备两种模式,兼容 Philip 公司的 I²C 总线传输协议。

由连接至 I²C 总线的主设备提供时钟。时钟线 SCL 为高电平时,SDA 上的数据须稳定,只有当 SCL 上的时钟信号为低电平时,SDA 上的数据才改变。I²C 模块在 I²C 总线配置为主模式时,产生 START 和 STOP 条件,如图 2 所示。I²C 总线的数据格式支持 7-bit 地址格式和 10-bit 地址格式,数据格式如图 3 所示。

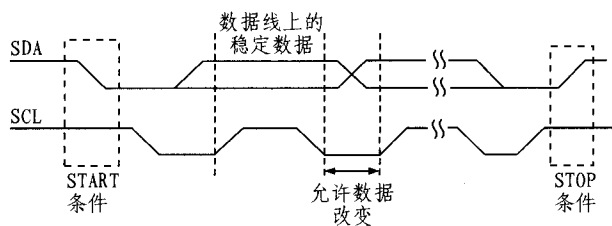


图 2 I²C 总线的数据传输

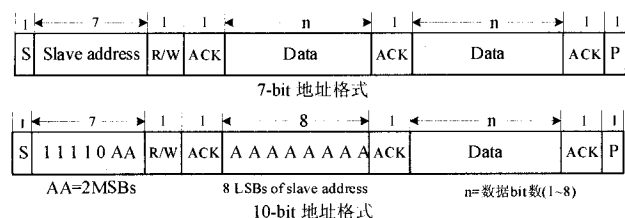


图 3 I²C 总线数据格式

3 增强型视频输入处理器 SAA7111A

3.1 概述

SAA7111A 广泛应用于桌面视频、多媒体、数字电视、图像处理、视频电话的高性能视频输入处理器。

SAA7111A 主要有以下特点:SAA7111A 共有 4 路模拟视频信号输入端,可以为 4 路 CVBS 或 2 路 S 视频(Y/C),可编程设置 4 路视频输入中的一路或者两路组成不同的工作模式;能实现行同步、场同步信号的自动监测、分离,并且行同步信号的起始

位置与结束位置均可编程控制;场频 50 Hz 或 60 Hz 自动检测,对不同输入制式的亮度信号、色差信号进行处理,实现亮度、色度以及饱和度的片内实时控制;I²C 总线接口,配置片内寄存器,实现用户所需功能;SAA7111A 输出为 16 位 VPO 总线,支持不同位宽的数据输出格式;有片内时钟产生电路,通过数字 PLL 锁定行同步。

3.2 I²C 总线接口

SAA7111A 作为从设备时,其写地址为 48H,读地址为 49H,配置寄存器时 I²C 总线上数据格式如图 4 所示。

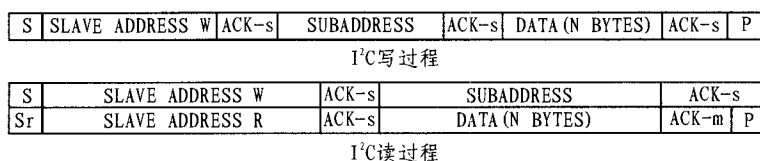


图 4 SAA7111A 寄存器读写格式

3.3 SAA7111A 片内寄存器

SAA7111A 内部有 32 个控制寄存器,22 个可编程设置。本系统只用其中一部分寄存器,通过 I²C 总线配置这些寄存器,使其正常工作。SAA7111A 片内寄存器功能如表 1 所列。

4 接口设计

系统选用模式 0,视频信号由 SAA7111A 的 AI11 引脚输入。SAA7111A 的时钟由 24.576 MHz 的晶体振荡器提供,数字 PLL 产生同步时钟信号 LLC,CREF 是时钟参考信号,其频率与 LLC 相等,高电平时各输出信号稳定。VPO 输出图像数据,每 2 个 LLC 周期输出 1 个 16 位 YUV4:2:2 格式的数据。同时产生的输出信号还包括水平参考信号 HREF 和垂直参考信号 VREF。TMS320VC5509A 的 I²C 模块的串行数据线(SDA)和串行时钟线(SCL)直接与 SAA7111A 的 I²C 总线 SDA 与 SCL 相连,并接上拉电阻,保证 I²C 总线处于空闲状态时 SDA 与 SCL 都处于高电平,这样 DSP 利用 I²C 总线配置视频采集器件。SAA7111A 与 DSP 的接口原理图如图 5 所示。

5 配置 SAA7111A

将 TMS320VC5509A 的 I²C 模块设定为 I²C 总线的主设备,地址为 0000H,7 位地址工作模式,传输速率为 100 Kb/s;而 SAA7111A 作为从设备,读地址为 49H,写地址为 48H。

表1 SAA7111A 片内寄存器设置

子地址	控制功能	设置说明
子地址 02H	模拟输入方式控制	采用 AI11 作为模拟视频输入引脚,选择模式 0
子地址 0AH	亮度控制	设置亮度值为中间值 80H
子地址 0BH	对比度控制	设置对比度值为 40H
子地址 0CH	饱和度控制	设置饱和度为 40H
子地址 10H	输出格式/延时控制	最高两位 OFT0、OFT1 为输出数据格式选择。本系统采用 YUV4: 2: 2 格式的 16 位输出,因此设置 OFT0 为 1,OFT1 为 0
子地址 11H	输出控制	第 3 位 OEYC 置 1,VPO 输出有效;第 2 位 OEHV 置 1,HS 和 VS 输出有效
子地址 12H	输出控制	第 6 位 RTSE0 设为 0,则引脚 RTS0 输出奇偶场信号

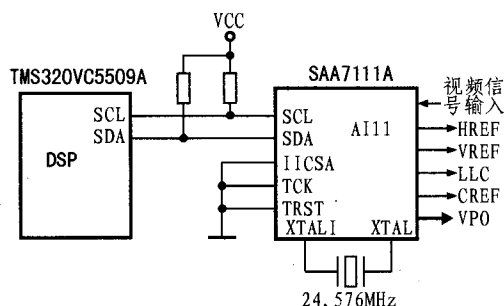


图5 SAA7111与DSP接口原理图

5.1 I²C 模块初始化

利用 I²C 总线配置 SAA7111A 之前,应先初始化 DSP 的 I²C 模块。

CCS 提供强大的芯片支持库,可直接调用 I²C 模块的芯片支持库函数完成 I²C 模块的初始化以及 SAA7111A 的配置。调用库函数之前应包含头文件 cs1_i2c.h。I²C 初始化结构如下:

```

I2C_Setup My_Init = {
    0, /*7 位地址模式*/
    0x0000, /* 模块自身地址,主模式下可不设置*/
    100, /*1/2 倍 CPU 工作时钟,100 MHz*/
    100, /*400 Kb/s 传输速率(10~400 Kb/s)*/
    0, /*接收或发送一字节的 bit 数(8 bit)*/
    0, /*非数字回环模式,回环模式用于测试*/
    1, /*自由操作模式*/
};

```

而调用初始化函数初始化 DSP 的 I²C 模块 I²C_setup(&My_Init)。

由于本系统的 I²C 模块只用于配置 SAA7111A,并不进行数据传输,无需中断 I²C 模块,因此中断使能关闭。

5.2 利用 I²C 总线配置 SAA7111A

DSP 的 I²C 模块初始化后,则利用 I²C 总线配置 SAA7111A。同样,使用 CCS 的芯片支持库函数实现

SAA7111A 的配置。发送到 I²C 总线上的配置数据组:

```

Uint16 databyte [32]={0x02,0xC0,0x33,0x00,0x00,0xEB,
0xE0,0x88,0x01,0x80,0x47,0x40,0x00,0x01,0x00,0x40,0x1C,
0x00,0x00,0x00,0x00,0x00,0x00,0x00}; /*子地址*/

```

由于 SAA7111A 接收 I²C 总线发送的多个数据时,其子地址递增,因此在发送数据组里,第一个数据是子地址,后面依次是发送到该子地址及后面子地址的数据值。

调用写 I²C 总线函数,配置 SAA7111A 寄存器。

```

x=I2C_write(databyte, /*要发送的数据组指针*/
    24, /*发送的数据长度(24 Byte)*/
    1, /*主模式*/
    0x24, /*发送从地址*/
    1, /*发送模式(S-A-D..(n)..D-P)*/
    30000 /*超时时间*/
);

```

注意:发送从地址不包括读写位,而 SAA7111A 作为从设备的读地址为 49H,写地址为 48H 都是包括读写位(Slave Address + W/R)。因此上面的发送从地址不是 0x48,而是 0x24。同样在利用芯片支持库函数进行读操作时,从地址不是 0x49,而是 0x24。

6 结束语

利用本文介绍的方法成功实现 DSP 对 SAA7111A 的初始化配置。SAA7111A 与 TMS320VC5509A 都集成有 I²C 模块,便于配置 SAA7111A。CCS 提供强大的芯片支持库 CSL,可直接使用这些函数便于访问片上外设。这些函数都是经过优化的,其执行效率高并不比直接使用汇编语言编写的代码低。

参考文献:

- [1] Texas Instruments.TMS320VC5509A Fixed-Point DSP Data Manual (SPRS205J) [EB/OL]. <http://focus.ti.com/lit/ds/sprs205j/sprs205j.pdf>,2007.

●应用与设计

基于 $\mu\text{C}/\text{OS-II}$ 的 MP3 文件播放系统设计向赛辉¹, 陈盛云¹, 任华²

(1.昆明理工大学信息工程与自动化学院,云南昆明 650051; 2.成都农业科技职业学院,四川成都 611130)

摘要: MP3 文件播放系统是基于 $\mu\text{C}/\text{OS-II}$ 开源实时操作系统,并运行于 EP9315 平台,通过 IIS 音频总线连接 CPU 与 UDA1341 型编解码器。深入讨论了音频部分的硬件连接、实时操作系统的任务间管理与通信、软件播放函数以及接口函数的初始化。

关键词: $\mu\text{C}/\text{OS-II}$; EP9315 处理器; UDA1341; MP3

中图分类号: TN859

文献标识码: A

文章编号: 1006-6977(2008)02-0049-03

Design of MP3 document play system based on $\mu\text{C}/\text{OS-II}$ XIANG Sai-hui¹, CHEN Sheng-yun¹, REN Hua²

(1. School of Information Engineering and Automation, Kunming University of Science and Technology, Kunming 650051, China; 2. Chengdu Agriculture Profession Technology College, Chengdu 611130, China)

Abstract: The playing system of MP3 files is based on the $\mu\text{C}/\text{OS-II}$ real-time operating system, and runs on EP9315 platform. The CPU and UDA1341-CODEC are connected through IIS audio bus. The connection of the audio part, the task-management of real-time operating system and the communication of real-time operating system are discussed, and the software playing function and the initialization of interface function are given.

Key words: $\mu\text{C}/\text{OS-II}$; EP9315 processor; UDA1341; MP3

1 引言

近几年,MP3 音频产品受到消费者的青睐,而高质量的音效是当前 MP3 音频产品发展的重要趋势。MP3 文件解码一般采用软件解码和硬件解码两种方法。硬件解码实现简单,但需增加硬件成本。软件解码需占用大量 CPU 时间,实现难度大,但成本低、处理灵活,只要 CPU 具有足够的处理速度则是一种很好选择。本文介绍了 MP3 文件播放系统硬件和软

件设计,采用 Cirrus Logic 公司的 EP9315 处理器和 UDA1341 编解码器,并介绍了基于 $\mu\text{C}/\text{OS-II}$ 开源实时操作系统的 MP3 解码原理,播放函数以及硬件接口初始化等。

2 MP3 编解码原理

MP3 是 MPEG-1 Audio Layer-3 的缩写,它是一套完整的基于感知的音频编码算法。这一算法应用了心理声学模型可达到 1:12 的压缩比率。心理声

[2]Texas Instruments. TMS320C55x Chip Support Library API Reference Guide (SPRU433J) [EB/OL].

<http://focus.ti.com/lit/ug/spru433j/spru433j.pdf>,2004.

[3]Philips Semiconductos.SAA7111 Enhanced Video Input Processor(EVIP) Data Sheet [EB/OL].<http://www.21icsearch.com/searchpdf/download.aspx?id=73827>,1998.

[4][美]Texas Instruments Incorporated.TMS320VC55X 系列 DSP 的 CPU 与外设[M]. 彭启琮,武乐琴,译.

北京:清华大学出版社,2005.

作者简介: 李立庄,男,西安电子科技大学电路与系统专业研究生,研究方向:嵌入式系统开发与应用。

收稿日期:2007-11-27

稿件编号:200711030