

基于软件无线电的发信机原理及实现

■ 西安电子科技大学 万国强 杜栓义 张任奇

摘要

针对当前通信设备兼容性差的情况,提出一种基于软件无线电思想的中频数字化方案,该方案采用 TI 公司 TMS320VC5509 芯片及 Intersil 公司推出的 HSP50415 数字上变频器构成核心单元。实践结果表明该方案可以方便地实现各种 QAM 和 QPM 调制,并可对中频进行精确设置,较模拟化中频发射机有着通用性强、成本低廉、功耗低等优点。

关键词 软件无线电 中频数字化 发信机 TMS320VC5509 HSP50415

经过几十年的发展,无线通信取得了巨大的进步,但通信设备的互通性差,一直制约着通信的进一步发展。有鉴于此,自 1992 年 Jeo Mitola 首次明确提出软件无线电 (soft radio) 的概念以来,软件无线电作为未来通信发展的方向,引起全世界人们的极大关注,并取得了迅猛的发展。软件无线电的中心思想是:构造一个开放的标准化、模块化的通用硬件平台,将各种功能由软件来完成。这样势必要把数字化处理(A/D 和 D/A 变换)尽量靠近天线,那么 A/D 转换器就必须有足够的工作带宽、较高的采样速率,但这将导致成本成倍增加,因此,研发中常常只对中频进行数字化。本设计所用的核心芯片 TMS320VC5509 以及 HSP50415 成本低廉,应用广泛,可实现各种正交 AM、PM 调制,且功耗低,是实现中频发射机商业化的一个很好的途径。

1 主要芯片介绍

1.1 TMS320VC5509

本设计中的主要芯片为数字信号处理器 DSP 和数字上变频器 HSP50415。DSP 采用的是 TMS320VC5509(简称:VC5509),它是 TI 公司最新推出的高性能、低功耗定点数字信号处理器,是目前功耗最低的新产品。在 144 MHz 的时钟速率下,VC5509 处理能力可达到 400~800 MIPS,指令周期可达 6.94 ns,其中双乘累加器可以在 1 s 内做 400 百万次相乘累加运算。

VC5509 芯片具有丰富的 CPU 内部总线资源,有 1 条 32 位的程序数据总线(PB),5 条 16 位的数据总线(BB、CB、DB、EB 和 FB)和 6 条 24 位的程序及地址总线,分别与 CPU 相连。这种并行的多总线结构,使其能在 1 个 CPU 周期内完成 1 个 32 位程序代码的读、3 个 16 位数据

的读和 2 个 16 位的写,这就使得其处理能力大大增强。

芯片中的核心单元由 40 位的移位器、40 位的算术逻辑单元(ALU)、2 个乘累加器(MAC)和若干寄存器构成,支持 32 位或双 16 位的并行计算。算术逻辑单元完成加、减、布尔逻辑操作等运算,能对本单元寄存器的内容进行测试、修改和移动,能在执行双 16 位时同时完成两个算术操作。

VC5509 的地址总线是 24 位的,所以其寻址空间为 16 MB。其片内存储器包括 64 KB 的 ROM、192 KB 的单存储 RAM(SRAM)和 64 KB 的双存取 RAM(DRAM),使得程序和数能在片内高速传递,适时完成各种任务。DSP 的存储空间分为两个独立的部分:统一的数据、程序空间(即在物理上相同)和 I/O 空间。只有在 CPU 读取指令时,程序空间才被访问,VC5509 采用字节寻址来读取程序代码,即地址是按字节进行分配的,并且指令长度是可变的。在数据空间中,VC5509 使用字寻址方式来读写 8、16 和 32 位数据,即地址按字进行分配。VC5509 的 I/O 存储空间与数据/程序空间是分开的,它只用于对 DSP 片内的外设寄存器进行存取,采用的是 16 位寻址方式,其寻址范围是 64 位,当存取 I/O 空间时,要在 16 位地址前添加 0 以构成 24 位地址。

片内集成了丰富的外设资源,包括 1 个时钟发生器,2 个可独立编程的定时器,1 个通用输入输出(GPIO),3 个高速全双工的多通道缓冲串口(McBSP),1 个增强型主机接口和 DMA 控制器,以及 1 个外部存储器接口。VC5509 的 CPU 除了有限的片内存储器外,其余存储空间都需要通过外部存储器接口(EMIF)进行访问。VC5509 将它的外部存储空间分为 4 个较小空间,每个空间用 1 个片选信号来指定(称为片选空间)。

为了实现低功耗,该芯片采用了两种省电方法:一种是关闭时钟方式;另一种是关闭电源方式。为了便于管理,VC5509 还设有专门的省电寄存器。

上述特性使 VC5509 非常适合在数据传输率高、运算量大、又要求功耗低的应用场合,如在第 2.5 代和第 3 代移动通信中的应用。

1.2 HSP50415

HSP50415 是美国 Intersil 公司 2000 年推出的新一代数字上变频器(DUC),其功能是将数字基带信号进行调制变换成频带信号,同时完成上变频。通过对 HSP50415 不同的初始化,可以实现各种正交 AM 或 PM 调制,并可得到 14 位数字信号及 12 位的模拟信号。

图 1 是 HSP50415 芯片的内部结构框图。由图 1 可知,HSP50415 芯片是由微处理器接口、256 深度的先进先出数据存储器(FIFO)、整形滤波器、内插滤波器、乘法器(矢量调制器)、载波数控振荡器、12 位 DAC 等部分组成。

HSP50415 对输入的数字信号进行采样和内插,降低了 DSP 的处理负担,优化了系统的性能。HSP50415 的工作特点如下:

① 最高输出采样率达 100 MSPS,每路输入数据速率可达 25 MSPS,而此时 HSP50415 的无寄生动态范围(SFDR)>70 dB。

② 支持矢量调制模式。

③ 32 位的码元速率和载波频率控制字可以十分精确地设定码元速率和载波频率。当 HSP50415 的主频输入为 100 MHz 时,载波设定可精确到 0.050 3 Hz。

④ 片内提供有码元速率同步和数据猝发两种数据传输模式。

⑤ HSP50415 中有 18 个控制寄存器,可以灵活地配置载波频率、码元速率、FIFO 的深度以及阈值、成形滤波器阶数及系数、增益控制、输出模式等参数,还可以灵活选择是否旁路某些模块(如整形滤波器或 FIFO 等),这就为

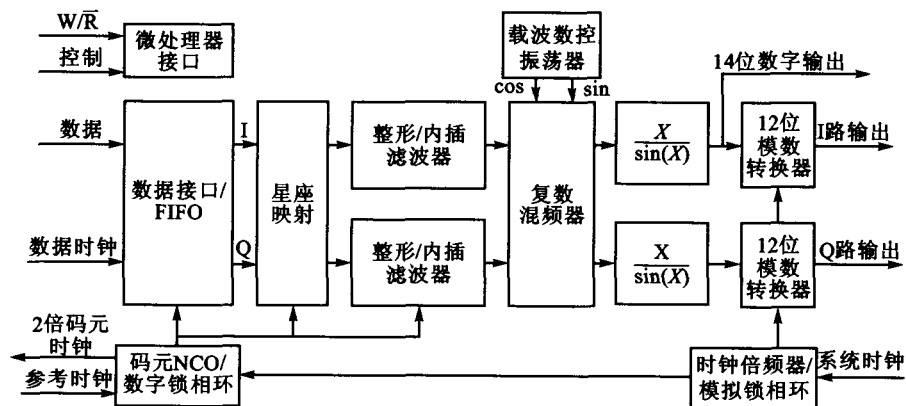


图 1 HSP50415 内部结构框图

硬件调试提供了方便。

⑥ I、Q 两路拥有高达 256 阶的 FIR 整形滤波器,可根据 Intersil 公司提供的软件自行设计滤波器。滤波器系数由微处理器接口写入芯片内部的 4 片 64×72 位 RAM。

⑦ 内插滤波器可以实现输入到输出非整数倍的采样率转换。

⑧ 芯片中集成了 2 片 12 位 DAC,可以方便地得到模拟输出。同时,HSP50415 也提供了 14 位数字输出方式。

由此可见,HSP50415 数字上变频器是一个功能强、应用方便的数字可编程器件。

2 系统设计方案

系统框图如图 2 所示。设计目标是将终端发送的数据由 VC5509 进行处理,加同步头,帧头等,而后送至 HSP50415 中,经过插值、混频至中频,输出 12 位模拟信号,最后由专门的发信机发出。图 2 中 VC5509 芯片用于完成数字信号处理以及控制功能,HSP50415 芯片用于完成信号的插值、调制功能。

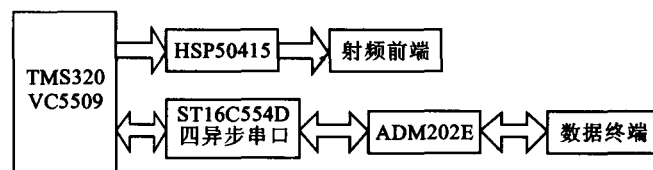


图 2 发信机系统框图

3 系统工作原理

本设计采用的是矢量调制方式(Vector Modulation)。数据由终端发出后,经串口发至 DSP 接收,DSP 读取后分 I、Q 两路交替送入 HSP50415。HSP50415 将接收数据串并变换后分成 I、Q 两路并行,其后经过星座映射,整形滤波和内插后,再将 I、Q 两路的数字基带信号搬到中频上,其数学公式为:

$$\text{Output} = I_k \cos(\omega_0 t) \pm Q_k \sin(\omega_0 t)$$

根据调制理论^[1,2]可知,当 I_k 为基带输入信号, Q_k 为 0 时,即

$$\text{Output} = S(t)\cos(\omega_0 t), I_k = S(t)$$

这时,Output 即为 DSP 调制信号。当 Q_k 是 I_k 的希尔伯特变换时,Output 则得到 SSB 调制信号,“+”,“-”分别对应 USB 和 LSB 信号。之后,经 $X/\sin(X)$ 补偿滤波,12 位的数模转换后,送入发信机,最终输出。



4 本设计方案的实现

4.1 硬件电路图

上面已简述了发信机的设计方案及原理,下面重点说明本设计的硬件电路及其软件流程。

DSP 与 HSP50415 的接口电路如图 3 所示,在此用了 2 个片选,分别用于对 HSP50415 初始化和向上变频芯片发送数据。在初始化开始时,选通 $\overline{CE2}$,通过微处理器接口对 HSP50415 进行初始化。初始化完成后,选通 $\overline{CE0}$,DSP 每收到一个中断信号,就执行中断程序, $\overline{CE0}$ 和 \overline{AWE} 相“或”得出 HSP50415 的数据时钟,上变频芯片将在 DATACLK 的上升沿采样数据,再由程序对 XF 引脚拉高或拉低来控制采样的是 I 路还是 Q 路。中断信号由 $2 * \text{SYMCLK}$ 引脚产生。

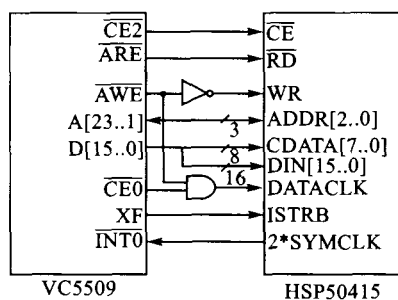


图 3 DSP 与 HSP50415 接口电路

4.2 软件流程

发送数据流程如图 4 所示。

在整个调试过程中,VC5509 在软件控制和信号处理上起着重要的作用。对 VC5509 初始化主要包括设置时钟模式寄存器 CLKMD,外部总线选择寄存器 EBSEL,外部存储器接口 EMIF 等。中断向量表应建立一个子文件来存放。

对 HSP50415 的初始化即为对片内寄存器进行赋值,片内有 18 个控制寄存器可以根据需要写入。值得注意的是,整形滤波器的系数预先由 sim415.exe 产生,I、Q 两路 RAM 为 72 位,而微处理器端口一次只接收 8 位数据,要根据资料要求进行 9 次写入。

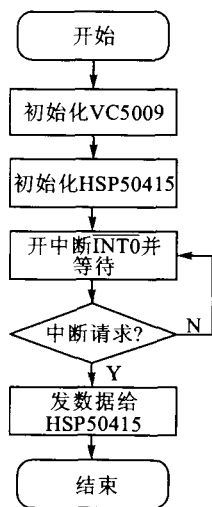


图 4 发送数据流程图

5 结论

根据以上方案,笔者设计出调制方式为 2FSK 时,数据传输率为 0.8 Mbps,调制方式为 QPSK 时,数据传输率为 1.5 Mbps 的无线电发信机。由于该系统采用软件化的设计方法,因此该软件无线电发信机可以根据用户的各种使用要求进行配置,而无需更改硬件,这就为用户降低了成本,并有利于对系统的升级换代。

参考文献

- 1 A. V. 奥本海姆. 信号与系统. 西安:西安交通大学出版社, 1997
- 2 闻懋生,张传生. 信息传输基础. 西安:西安交通大学出版社,1995
- 3 HSP50415 Wideband Programmable Modulator. Intersil Corporation, 2000
- 4 TMS320VC5509 Fixed-Point Digital Signal Processor Data Manual. TI Corporation, 2002
- 5 杨小牛,楼才义,徐建良. 软件无线电原理与应用. 北京:电子工业出版社,2001
- 6 申敏,邓矣兵,郑建宏,等. DSP 原理及其在移动通信中的应用. 北京:人民邮电出版社,2001
- 7 杨绍霞,朱秀珍,黄湘松. 发射机中频数字化的设计与实现. 应用科技,2005,3(4):4~6
- 8 宋波,孙慧,何丽丽,等. 软件无线电收发信机的设计实现. 无线电通信技术,2003,29(5):3~4

万国强,硕士研究生,主要研究方向为无线通信与信号处理。

(收稿日期:2005-09-15)

上海交大汉芯科技获得 ARM9 处理器家族授权

2005 年 11 月 22 日,ARM 公司宣布上海交大汉芯科技有限公司获得 ARM922T 处理器的授权,此公司是从上海交通大学集成电路和系统研究中心实验室独立出来的一家公司。通过 ARM 的代工厂计划(ARM Foundry Program),这个授权协议将使上海交大汉芯科技能够开发基于 ARM 技术的片上系统解决方案,以满足中国移动电话和消费娱乐电子产品市场对于低功耗高性能的不断增长的要求。

上海交通大学曾于 2003 年通过 ARM 大学计划获得了 ARM922T 处理器的授权。当时的协议让研究生和 IC 工程师在进行片上系统研究时可以在集成电路和系统研究中心实验室里接触到先进的 ARM 技术。这个新的授权协议进一步扩展了上海交大汉芯科技和 ARM 现有的合作伙伴关系,并使上海交大汉芯科技成功地把他们的科研成果带入了商业市场。