

基于 TJA1080 的 FlexRay 总线接口设计

■ 第二炮兵装备研究院

王焕功 侯成林

■ 清华同方电子信息技术研究

汪安民

摘要 介绍基于 TJA1080 的 FlexRay 总线在数字信号处理器(DSP)C5509 上的实现。整个系统以 DSP 为核心,采用 TJA1080 总线控制器实现 FlexRay 通信协议,进行数据收发;制造简单,集成度高,功耗低,适用于车内多种电子设备的局域总线实现。

关键词 FlexRay 总线 TJA1080 C5509

引言

现今的汽车电子设备越来越多,早期的 CAN 总线已经不能很好地解决众多电子设备之间的通信,通信速度更高和通信更安全的车内总线成为汽车电子的迫切需求。FlexRay 总线是最近推出的一种先进高速串行同步和异步通信系统。该总线具有故障容限,可提供 500 kbps~10 Mbps 的确定数据传输速率和 24 位 CRC(循环冗余)校验码。其通信速度和安全机制均满足目前车内电子设备的需求。

本文介绍一种在数字信号处理器(DSP)C5509 上实现 FlexRay 总线的方法。使用恩智浦半导体公司(NXP,原飞利浦半导体公司)的 FlexRay 总线控制器 TJA1080。TJA1080 负责将各个设备的数据传输到 DSP,由 DSP 对数据进行分析 and 处理。由于系统采用 DSP 作为核心,故可以对车载电子的数据进行复杂的处理。

1 FlexRay 总线及其控制器 TJA1080

FlexRay 总线是一种全新的总线系统。其主要特性有:

- ① 支持双通信通道,每个通道的速度均达到 10 Mbps。与 CAN 协议相比,可用的带宽提高了 10~40 倍。
- ② 总线数据的访问是基于同步时基的。该时基通过协议自动建立和同步,并提供给应用层。时基的精确度介于 $0.5 \mu\text{s}$ 和 $10 \mu\text{s}$ 之间。由于采用同步时基,消息在通信周期中拥有固定位置,接收器已经提前知道了消息到达的时间,因此可以可靠、准时地传送安全应用相关的信息。
- ③ FlexRay 总线提供消息冗余传输和非冗余传输两

种选择,系统可以进行优化,以提高可用性或吞吐量。用户无需调整现有节点中的软件就可以扩展整个系统;同时,支持总线或星型拓扑结构。FlexRay 总线提供了大量配置参数(如通信周期的持续时间、消息长度等),可以支持对系统进行调整,以满足不同应用场合的需求。

④ FlexRay 总线在重负载下可以关闭部分节点,使其仅接收数据而不发送数据,减少数据重发次数,使得总线负载很快下降。

FlexRay 总线的这些特性使其可以替代 CAN 总线,适合车载骨干网络、分布式控制系统以及安全系统等应用场合。目前,已有多家公司生产 FlexRay 总线控制器。本文选用恩智浦半导体公司的 TJA1080 总线控制器,介绍其内部结构以及与 DSP 的软硬件连接方法。

TJA1080 总线控制器的内部结构如图 1 所示。从图中可以看出,TJA1080 总线控制器主要由状态机、信号路由器、输入/输出管理模块、收发模块以及发送器等组成。

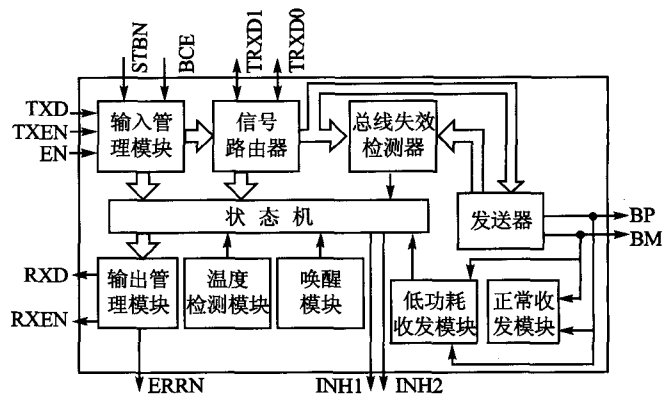


图 1 TJA1080 结构框图



物理层通道有一个独立的接收发送通道,速度最高可以达到 10Mbps。在工作状态下,主机可以访问 TJA1080 的接收模块和发送器,通过对其操作实现对物理层数据的收发。总线上的数据帧都将到达总线上所有的 TJA1080,每一个 TJA1080 在收到总线数据帧后,都将经过接收滤波器;滤波器将不属于自己地址的数据帧滤除,只将属于自己的数据帧和广播帧存储到接收 FIFO 中。

TJA1080 的温度检测模块用于检测设备温度,超过一定温度将自动关闭总线收发。唤醒模块负责将处于 SLEEP 状态的总线节点唤醒,但超过一定时间仍无数据收发后重新进入 SLEEP 状态,从而降低整个系统功耗。总线失效检测器负责检测整个总线的状态,当发现总线负载较重时,将自动关闭发送器,此时该节点只能接收数据而不能发送数据,这样总线上的数据帧将很快被相应节点接收,迅速减轻总线负载。低功耗收发模块负责低功耗工作模式下数据的收发,采用减少数据重发机制,虽然降低了数据安全性,但同时也降低了整个系统功耗;配合温度检测模块,可以从软件上实现降低总线温度。

主机对 TJA1080 的管理主要是通过输入/输出管理模块进行数据的收发操作,下面结合 DSP 介绍接收数据的软硬件实现方法。

2 系统硬件结构

整个系统由 C5509、TJA1080、ADC/DAC 以及 Flash 等组成,其硬件连接如图 2 所示。DSP 是核心控制单元;ADC 用于采集模拟信号,转变成数字信号;DAC 负责将数字信号转换成模拟信号;Flash 用于保存 DSP 所需的程序,供 DSP 上电调用。此外,使用 DSP 的 HPI 接口连接到 PC 机,这样所有的总线数据均可以通过 PC 机存储和显示,PC 机的数据也可以通过 DSP 发送到总线上。

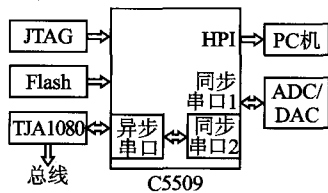


图 2 系统硬件结构框图

ADC 负责采集电子设备的数据,可以是温度传感器数据、颜色传感器数据、语音信号、图像信号或者其他信号。DSP 对这些数据进行处理后,将处理后的结果根据不同的情况通过 TJA1080 发送到总线上的其他节点;相反,DSP 通过 TJA1080 读取总线上其他节点发送的数据帧,并对这些数据帧进行处理,将结果发送到 DAC,可以实现

对本节点电子设备状态的控制。

3 TJA1080 与 C5509 的硬件设计

TJA1080 与 C5509 的连接是系统硬件连接的主要组成部分,如图 3 所示。使用 C5509 的缓冲串口(McBSP)连接 TJA1080。缓冲串口是 C5509 的多通道串口连接设备。TJA1080 的连接为异步串口(UART),这里使用 DSP 的缓冲串口模拟异步串口,实现与 TJA1080 的连接。TJA1080 的其他输入/输出引脚使用 C5509 的通用 I/O (GPIO)口控制,实现对 TJA1080 的各种状态的检测和控制。

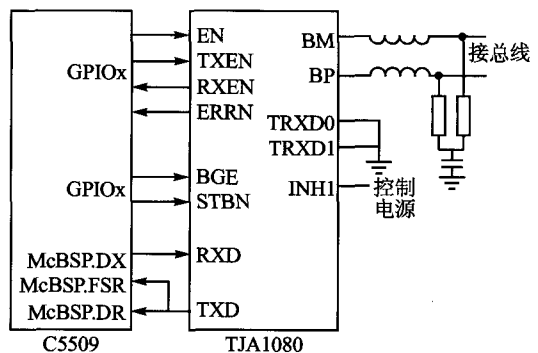


图 3 TJA1080 与 C5509 的连接图

将缓冲串口的数据输入(DR)和帧同步输入(FSR)同时与 UART 的发送数据线相连,这是因为 UART 的串行数据线既有数据信息,又有帧信息。而此时 UART 的接收数据线与缓冲串口的数据输出线相连。

DSP 使用缓冲串口内部的采样时钟,缓冲串口可以配置成接收和发送数据,UART 的 1 位数据对应于缓冲串口的 16 位数据。软件必须将 DSP 要发送的 1 位数据扩展成需要发送的 16 位数据,同样也要将接收到的每 16 位数据压缩成 1 位数据。这就要求设置采样速率发生器产生一个内部串行时钟,是串行波特率的 16 倍。因为每个 UART 字都以一个下降沿开始,这个下降沿可以用作帧同步输入,因此数据线和帧同步信号都连接到 UART 的输出上就可以得到这一信号。

为了以 8N1 格式(8 个数据位,没有奇偶校验位,1 位停止位)给 UART 发送 1 位数据,发送器应该分为两个部分:第一部分包含 9 个 16 位的字,是起始位和 8 个数据位;第二部分包含 2 个 8 位的字,是停止位。其他 UART 的格式可以通过调整帧字的数量来实现。当以 16 位数据发送 UART 时,UART 的“1”被编码为 0xffff,“0”被编码

为 0x0000。停止位编码为 8 位字，以便调整为 1.5 位停止位，以适应可能需要的其他 UART 格式设置。数据传输的时序如图 4 所示。

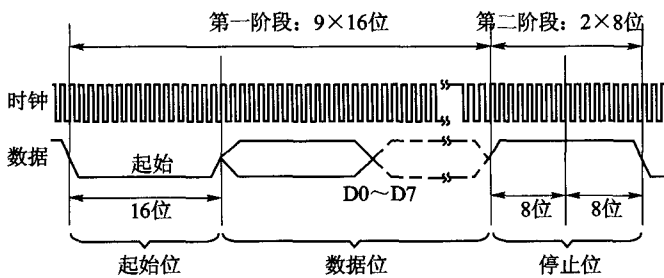


图 4 缓冲串口和异步串口数据传输时序

4 TJA1080 与 C5509 的软件设计

C5509 与 TJA1080 的数据通信流程如图 5 所示。系统初始化后，C5509 判断当前是否有数据读写。数据读是通过判断是否有挂起的串口接收中断，该中断由 TJA1080

产生，一旦 TJA1080 收到总线数据帧，就发出该中断；数据写是通过判断上层程序是否有数据发送的软件中断，若有，则通过缓冲串口发送到 TJA1080。无数据读写的情况下，C5509 将定期检测 TJA1080 的收使能(RXEN)和错误输出(ERRN)引脚，以便确定 TJA1080 是否正常工作；也可以根据需要，将 TJA1080 设置到低功耗状态。如果读取的数据的校验错误较多，则表明无线通信当前的信道噪声很大，或者 TJA1080 的总线被干扰出现紊乱。C5509 通过 I/O 口设置总线保护使能(BGE)引脚为高，使得 TJA1080 停止向总线发送数据，从而避免在低信噪比情况下多次重复发送同样的数据，缩短无效通信时间。

5 总结

本文详细介绍了基于 C5509 和 TJA1080 的总线控制器连接设计方法。使用 C5509 的缓冲串口连接总线控制器 TJA1080，实现 FlexRay 总线的数据收发；使用 TJA1080 模块的串口对数据操作。整个系统连接简单，实用性强。

参考文献

- [1] 汪安民. TMS320C54xxDSP 实用技术[M]. 第 2 版. 北京: 清华大学出版社, 2006.
- [2] 汪安民, 程昱. DSP 应用开发实用子程序[M]. 北京: 人民邮电出版社, 2005.
- [3] Texas Instruments Inc. C5509 Dual - Core Processor Data Manual, 2004.
- [4] Philips Semiconductors Corp. TJA1080 Data Sheet FlexRay Transceiver, 2006.

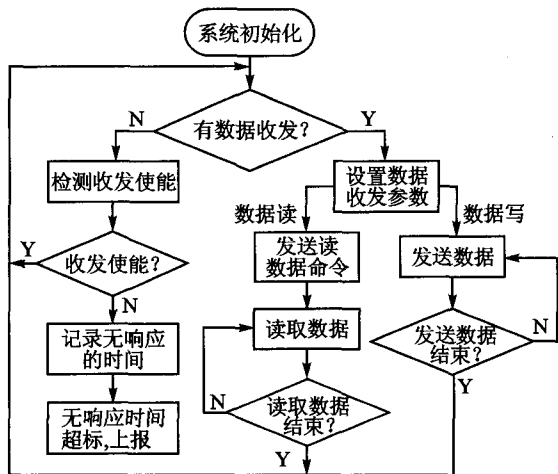


图 5 数据通信流程

(收稿日期: 2007-03-28)

EDA 企业与 MIPS 科技结盟

MIPS 科技宣布, EDA 行业的企业——包括 Cadence Design Systems、Magma Design Automation、Mentor Graphics 以及 Synopsys 公司在内的四家公司, 将与 MIPS 科技携手合作, 为其新型高性能 MIPS32 74K 内核系列产品提供 EDA 软件与工具支持。MIPS 科技公司刚刚发布了其下一代处理器 74K 系列, 该系列为一款完全可合成的 32 位处理器, 能在 TSMC 65 nm 工艺实现超过 1 GHz 的工作频率。

MIPS - Verified 74K 内核系列基于革命性的嵌入式微系统结构, 它拥有增强的数字信号处理能力, 非常适用于需要较高处理能力的应用软件, 其中包括了 HD DVD、H. 264、802. 11n、WiMAX 和 Blu-ray Disc。74K 内核系列的设计目的是与一般的标准电池、内存和后端 EDA 设计流程搭配即可使用。由此可以保证实施的成本效益, 并缩短上市时间。另外, 上述四家公司提供了一整套后端设计工具, 允许系统芯片开发商迅速实现结构设计, 并验证每一次执行的正确性。