

基于 NDK 的数字电视传输流网络采集系统

■ 广州大学信息与机电工程学院 陈耀华

摘要: 本文介绍了数字电视传输流的采集和利用 TCP/IP 协议实现在以太网中传输数字电视传输流的系统设计。给出了基于 DSP/BIOS 和 NDK 的嵌入式网络操作系统的硬件和软件设计方案, 在 TMS320DM643 的系统中实现了网络通信模型, 并成功地实现了数字电视传输流的网络传输。

关键词: 数字电视传输流; TMS320DM643; DSP/BIOS; NDK

TCP/IP 是因特网上传输数据所必需的协议, 这种网络通信模式在 PC 之间的实现已经完善, 但是体积、价格等因素限制了其应用的范围。因此, 基于 TCP/IP 协议与以太网的嵌入式系统网络通信设计成为目前一个热门的话题。本系统实现了在以 TI 公司的 TMS320DM643 为核心的嵌入式系统中, 对数字电视传输流(TS)信号进行采集并在以太网中传输。利用本系统可轻松地实现在局域网中对数字电视传输流信号的传输、调度。数字电视传输流信号源是针对欧洲数字有线广播系统标准(DVB-C)的数字有线电视信号。网络接入硬件在以 TMS320DM643 为核心的嵌入式系统中实现, 网络接入软件采用了 TI 公司针对 C6000 系列 DSP 推出的 TCP/IP NDK(Network Developer's Kit)网络开发包来实现。

系统电路设计

电路主要由 5 部分组成。数字

电视传输流网络采集系统框图如图 1 所示。

其主要功能是通过传输流接口模块采集数字电视信号进入 PLD(Cyclone EP1C6Q240C8)芯片, 进行必要的处理后, 将信号发送到 DSP(TMS320DM643)芯片存储起来, 并进行算法处理。通过 TMS320DM643 对 BCM5221 进行必要的配置, 将存储在 TMS320DM643 内的数据通过

BCM5221 传送到局域网中, 并通过计算机接收数据。

传输流接口模块

传输流接口模块由 CY7B933 输入接口芯片及其电器接口电路组成。CY7B933 输入接口电路是点对点的传输模块, 可以通过光纤、同轴电缆和双绞线进行高速的串行数据传输。输入接口符合 DVB-ASI 的接口标准。输入接口接收到串行位流后, 通过内部 PLL 时钟同步恢复数据的时钟信息, 并对位流进行串并转换、解码和传输检错等操作。这种输入接口能灵活地把高速点对点串行数据转变成并行数据, 而且应用领域广泛, 包括各种服务器、存储器和视频传输的应用。

PLD 控制模块

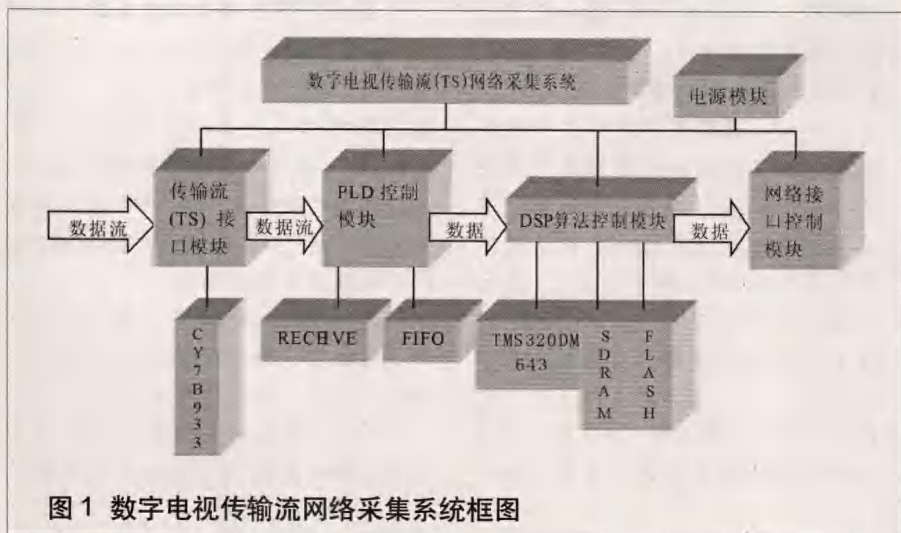


图 1 数字电视传输流网络采集系统框图

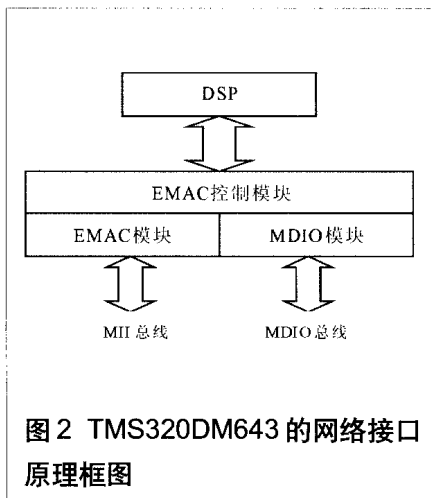


图2 TMS320DM643的网络接口原理框图

在项目中，此部分硬件选用的是Altera公司的EP1C6Q240C8芯片。

此模块的主要功能是实现与CY7B933接收芯片的接口，把数据从CY7B933接收进来，并缓存数据。这部分功能均由VHDL语言编写的功能模块实现。主要有两个功能模块：RECEIVE与FIFO。RECEIVE模块主要负责从CY7B933接收数据字段；FIFO模块主要负责缓存数据。

RECEIVE 模块

RECEIVE模块的功能是实现与CY7B933接收芯片的接口，把数据从CY7B933接收进来。其工作方式是以一个传输流包为边界接收数据的。

首先，RECEIVE模块会检测传输流包的边界，通过查找包头字节（固定为0x47）间的字节数来确定。因为包中数据也可能含有0x47，所以要牺牲3个包的数据来检查3次。当发现0x47这个字节的时候，就会触发一个内部的计数器开始计数。当计数到188后，如果下一个字节又是0x47，说明传输流包属于188个字节的包，那么计数器被清零；如果下一个字节又是0x47，说明传

输流包属于188个字节的包，那么计数器被清零，否则计数器清零并重新开始检测边界。

当检测到边界以后，RECEIVE模块开始接收数据包。计数器会从零开始计数，在接收数据的过程中使能wrrreq输出有效信号，同时把数据输出到下一级。当计数到188时，表示一个数据包接收完成。当一个包的数据接收完之后，计数器清零，并置ts188，保持高电平一个时钟周期。下一个周期检测数据是否为0x47，如果是，说明是下一个数据包的边界；否则，说明出现了错误，并重新回到上一段所说的检测数据包边界的状态。

此外，PLD模块内会有一个专用计数器记录空包数，当接收到数据包后，会首先检测此数据包是否为空包，如果是空包，PLD模块会把这个空包删除，并在计数器中加1。如果接收的不是空包，就会把计数器的值加到这个数据包的私有字段中，并缓存到FIFO。然后计数器自动清零。这样处理数据包的目的，是为了减少网络传输的数据流量，从而可以传输更多的传输流数据。把计数器的值加入私有字段是为了在计算机接收到数据后，可以把原来的空包恢复出来，从而保证原传输流数据的完整性。

FIFO 模块

FIFO模块的功能是从RECEIVE模块接收数据，并缓存起来。当RECEIVE模块接收完一个完整的传输流数据包之后，会发送ts188或ts204的中断信号给DSP，DSP就会启动EDMA功能从FIFO模块接收数据。DSP与FIFO模块采用异步连接的方式，具体的接收操作

在DSP部分说明中再加以描述。

DSP 算法处理模块

此模块主要由以TMS320DM643为核心的嵌入式系统组成。主要实现从PLD模块接收传输流数据包，把数据包打包成TCP/IP格式，并实现对网络接口(BCM5221)控制模块的初始化，然后把数据包传送到网络模块。

为了实现上述功能，必须建立起一套以TMS320DM643为核心的基本系统。

系统的具体配置

时钟配置：EMIF内核时钟ECLKIN是133MHz。此外，系统的外设总线、EDMA传输和L2存储器的工作时钟为CPU内核时钟的1/2，即300MHz；片上定时器的工作时钟为CPU内核时钟的1/8，即75MHz。

中断配置：TMS320DM643除了RESET和NMI引脚提供外部不可屏蔽中断请求输入以外，还有两个外部中断引脚GP0[5]/EXT_INT5、GP0[7]/EXT_INT7，以提供可屏蔽的外部中断请求输入。系统中，EXT_INT5外部中断用作PLD模块的请求接收数据信号，每当PLD模块接收完一个传输流包，就会发送一个外部中断信号给DSP，通知DSP接收数据。此外，EDMA中断用于接收完一个包的数据后做后续处理。

系统对EMIF的使用情况：

系统在CE0空间扩展了4M×64bit的SDRAM存储器(MT48LC4M32BPG)，用于存储程序与数据。SDRAM的工作时钟由TMS320DM643的ECLKOUT1提供，与EMIF的工作时钟频率相同，

通信与计算机

本系统中默认 ECLKIN 为其时钟源，即 133MHz。

系统在 CE1 空间扩展了 4M × 8bit 的 Flash 存储器 (Am29LV033C)。在对 Flash 进行读/写访问前，需要通过 EMIF 的 CE1 控制寄存器 CE1CTL，将 CE1 空间配置为 8bit 异步存储器接口，及读/写时序。

系统在 CE2 空间扩展了与 FIFO 模块连接的接口。在 DSP 看来，FIFO 模块可视为 8bit 异步只读存储器。FIFO 模块的读使能信号 rdreq 与 TMS320DM643 的 CE2 片选信号连接；FIFO 模块的读时钟信号 rdclk 与 TMS320DM643 的 ARE 读使能信号连接。

以太网接口

TMS320DM643 上集成有一个 EMAC+MDIO 片上外设，EMAC 是 Ethernet Media Access Controller 的缩写，即以太网媒体访问控制器，MDIO 是 Management Data Input/Output 的缩写，即管理数据输入/输出模块。EMAC+MDIO 用于为以太网物理层 (PHY) 器件提供接口，其中，EMAC 为接口以太网 PHY 提供数据通路，MDIO 为接口以太网 PHY 提供管理信息通路。

TMS320DM643 的网络接口原理框图如图 2 所示。图 2 描述了 EMAC+MDIO 与 DSP 中间有一个 EMAC 控制模块。它主要包含一些必备的、使 EMAC 更加有效使用 DSP 的存储空间，控制其复位、中断的一些逻辑。这些寄存器的地址空间为：0x1C800000 ~ 0x1C803FFF。

网络接口控制模块

本系统用 Broadcom 公司的 BCM5221 作为 10/100Base-TX 以太

网收发器，BCM5221 的 MII 接口与 TMS320DM643 的 MII 接口对接。具体接口如图 3 所示。RJ45 连接器选用 AMP 公司的 406549-1，其上带两个 LED 指示

灯，右边的 LED 为绿色，用作指示连接状态。左边的为黄色，正常情况下用来指示数据传输。

电源模块

系统包括 4 组电源：系统外接稳压电源，把 220V 的交流电源电压转换成 5V 直流电压；PLD 模块电源由两种电源供电，分别是 3.3V 和 1.5V；TMS320DM643 需要两种电源，分别为 CPU 核心和周边的 I/O 接口供电。周边 I/O 电压要求 3.3V，CPU 核心电压只要 1.4V；网络接口控制模块采用 3.3V 电源供电。

系统软件设计

系统的软件设计主要是通过 TCP/IP 网络开发包 NDK 来实现的。该开发包支持 TCP/IP 协议，并占用较少的系统资源。NDK 仅用 200kB~250kB 的程序空间和 95kB 的数据空间即可支持常规的 TCP/IP 服务。所以，NDK 很适合目前嵌入式系统的硬件环境，是实现 DSP 网络开发的重要工具。

系统软件的框图如图 4 所示。

具体流程：系统配置主要在初始化函数中完成，此初始化函数将在 .cinit 初始化后，并在 DSP/BIOS

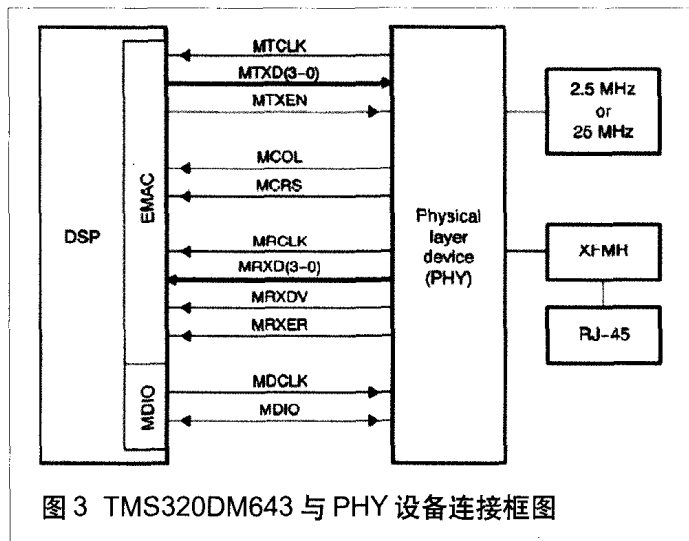


图 3 TMS320DM643 与 PHY 设备连接框图

初始化和 main 函数之前调用。系统配置需要开启 INT8 中断，也就是 EDMA 传输中断，并设置 GPIO7 引脚为高电平，从而使 PLD 模块始终处于初始状态。TCP/IP 协议配置在任务线程中完成，主要实现服务器 IP 地址和网关的配置。当其完成后，系统就会触发一个软件中断，在软件中断程序中，服务器会产生一个用于侦听的端口，并开始侦听网络上的请求。此时，服务器已经处于待命状态，等待客户机的传输请求。

当客户机的传输请求到来时，系统首先会使 GPIO7 引脚变为低电平，PLD 模块开始发送数据。当其接收到一个完整的传输流数据包后，就会发一个中断给 DSP，DSP 启动 EDMA，用 ping-pong 的方式接收数据进入特定的存储器，当接收完一个完整的传输流数据包后，会产生硬件 EDMA 中断，中断程序主要是设置特定的标志位为 1，然后退出硬件中断，重新回到软件中断程序。当软件中断程序检测到特定的标志位为 1 时，就会开始传输在存储器中的传输流数据包给客户机。当一个数据包传输完毕后，特

INDUSTRIAL ANALYSIS
IC DESIGN
COMMUNICATIONS & COMPUTER
AUTOMATION & MEASUREMENT
SYSTEMS
TECHNOLOGIES
IC PRODUCTS

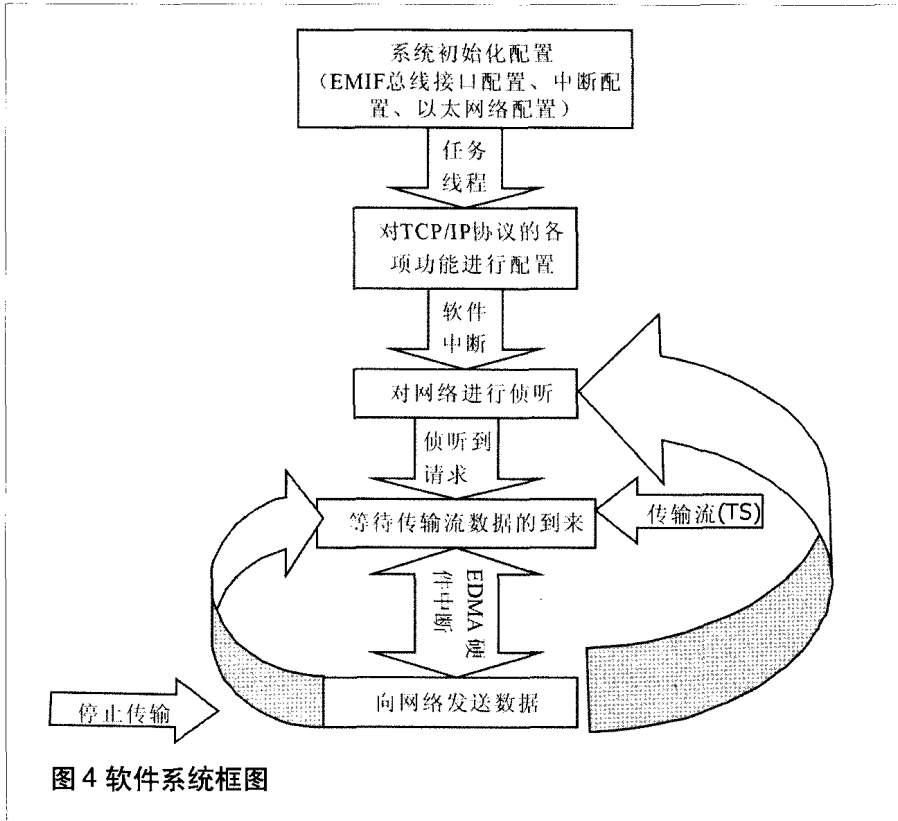


图4 软件系统框图

定的标志会被置0，系统等待下一个数据包的到来。

当客户机要求停止传输的请求到来时，系统会重新使GPIO引脚变为高电平，PLD模块回到初试状态。此时，系统也会处于待命状态，继续侦听网络。

系统初始化

初始化配置主要包括EMIF总线配置、中断配置和底层网络配置3个部分。初始化工作首先在DSP/BIOS的全局参数配置窗口进行设置，然后调用初始化函数进行配置。

在DSP/BIOS的全局配置窗口主要设置了DSP的工作时钟频率为600MHz，选择使用的片级支持库CSL为DM643的库，选用小端访问模式，片内256kB的SRAM全部用于Cache，并调用初始化函数dm643_init()。

TCP/IP 协议配置

初始化程序dm643_init()完成后，系统将进入各个线程。首先，系统会触发任务线程TSK0，在TSK0任务线程中执行函数StackTest()，其首先调用NC-SystemOpen()函数，完成协议栈及其所需内存的初始化，然后新建一个系统配置句柄hCfg = CfgNew();并实现服务器IP地址和网关的配置。在本系统中，IP地址配置为"192.168.0.2"；子网掩码为"255.255.255.0"；网关地址为"192.168.0.1"。配置好之后，系统会触发一个软件中断，并做好侦听网络的准备。

网络侦听

前面在任务线程中已经配置了IP地址和网关，下面就要在软件中断中设置端口并进行侦听。首先，在开始使用报路之前，必须分配一个文件环境fdOpenSession(TaskSelf())给这个报路。接着就可以创建一个报路对象stcp =

socket(AF_INET, SOCK_STREAM, IPPROTO_TCP)，并设置端口sin1.sin_port = htons(1000)，在这里设置端口号为1000，当然也可以设置其他的端口号。然后把端口号与报路对象绑定bind(stcp, (PSA) &sin1, sizeof(sin1)。最后进入侦听状态listen(stcp, 1)。

数据的接收

当客户端要求传输数据的信号到来后，系统会使GPIO7引脚变为低电平，PLD模块开始发送数据。DSP通过EDMA方式来接收数据。EDMA可以在没有CPU参与的情况下，由EDMA控制器完成DSP存储空间内的数据搬移。系统主要采用EDMA的ping-pong方式来连续接收数据。用ping-pong方式的目的是为了接收操作和发送操作分开进行，增强程序的操作性和可读性。

限于篇幅，网络发送部分不再赘述。

结语

本系统的硬件和软件功能已经实现，网络传输的速度为2MBps。按照此速度，假设传输流中的空包百分比为40%，可以传输5MBps的传输流数据，至少可以传输2~3路的TS流节目。因此，可以证明本系统的设计方法合理、有效。■

参考文献

1. 王明臣, 姜秀华, 张永辉. 数字电视与高清晰度电视[M]. 北京: 中国广播电视出版社, 2003
2. 李方慧, 王飞, 何佩琨. TMS320C6000系列DSPs原理与应用(第2版)[M]. 北京: 电子工业出版社, 2003
3. Texas Instruments TMS320C6000 TCP/IP Network Developer's Kit. Revision 1.60.303, 12-Jun-03
4. Altera Cyclone FPGA EVALUATION BOARD SOCKET User Guide[S], 2004