基于 DSP 的超声检测系统高速数据采集压缩卡设计

Design of High Speed Sampling and Compression Card Based on DSP in Ultrasonic Detecting System

£ 晔 赵兴群 (东南大学生物科学与医学工程学院、江苏 南京 210096)

摘要

首先以 A 型超声检测系统为例介绍了超声检测的基本原理及对数据压缩的需求,并指出由逻辑电路构成的数据采集 压缩部分存在的缺点、针对于此设计了以 TMS320F2812 DSP 芯片为核心的高速数据采集压缩卡,并使用模拟信号进行了 验证,获得了良好的效果。

关键词:A型超声检测系统,数据压缩,DSP,TMS320F2812

Abstract

This paper introduces the theory and the requirements to data compressing of ultrasound detector system firstly, with Amode ultrasound detector system as an example, and indicates the limitation of the Data Sampling and Compression part, which is constructed by logic circuit. A High Speed Data Sampling and Compression Card with TMS320F2812, a DSP chip is designed, as its core, and designed experiment to test this card. Good effect has been achieved.

Keywords: A-mode ultrasonic detector system, data compression, DSP, TMS320F2812

1 超声检测系统对数据采集压缩的需求

根据扫描和成像方式的不同,可以分为A型、B型、M型。以 A型(A-mode, amplitude modulation mode) 超声检测为例, 它利用超声波的反射特性来获得检测物内部的信息。工业上,常 用于金属材料的无损检测,即检测金属内部可能存在的气泡,裂 缝等缺陷,称为超声探伤仪。本文所设计的数据采集压缩卡即为 工业用超声探伤仪的一个组成部分。

传统的 A 型超声检测系统为模拟系统,通过示波器看到随 时间(深度)变化的回波信号,无需进行数据压缩。但随着数字技 术的发展, 传统的 A 超模拟系统与数字技术结合产生了模数结 合的 A 超系统,此类系统通常是在完成模拟检波之后,即通过 ADC 芯片将回波的电信号模拟量转换为数字量,并对其进行压 缩处理后提交给 CPU 在 LCD 屏上绘制出随时间(深度)变化的 回波信号的图像。而数字技术的优势在于,可以对采集到的 A 超 波形数据进行存储,分析和复杂处理。

由于使用 LCD 来显示回波, 而 LCD 在时间轴上只能显示 有限个位点,如256位。因此就必须对采集到的数字回波信号进 行压缩处理以适应 LCD 显示屏的显示要求。同样的问题也会出 现在使用 LCD 显示屏的数字化 B 超成像系统中,通过波束合成 所产生的每条波束的数据量远高于 LCD 所能显示的位点数,无 法全部显示,因此必须进行数据压缩。

现有产品(如东南大学研制的超声探伤仪 CUD2080)的压 缩部分完全是通过硬件数字逻辑电路来实现的。在实际应用中 发现,由于采用单极性压缩算法,因此在压缩后会失去波谷处的 信息。波谷信息的丢失产生的最大问题是降低了系统检测的分 辦率,这不利于区分多个缺陷。并且由于采用的完全是硬件数字 逻辑电路来实现压缩功能,故无法对现有算法进行有效的改进。 高性能的嵌入式微处理器则为此提供了解决之道、本文所设计 的高速数据采集压缩卡正是嵌入式微处理器(DSP,数字信号处 理芯片)应用于超声检测系统的一次尝试。

2 数据采集压缩卡设计

2.1 TMS320F2812 芯片简介

TMS320F2812 是 C2000 系列 DSP 芯片中性能最好的一

种,采用了高性能的静态 CMOS 技术,最高频率为 150MHz, DSP 核电压为 1.9V, I/O 口电压为 3.3V, 处理速度可达 150MIPS 指令周期为 6.67ns。采用了 8 级流水线的工作方式,结构上采用 哈佛总线结构,程序与数据空间分开,可同时访问,并且可以在一 个指令周期内完成一次乘法和加法。主要片上资源有:

1)128K * 16 位片上 FLASH、18K * 16 位片上 SRAM、4K *16 位片上 BootROM;

2)外部存储器接口合计高达 1M,可编程的等待状态和读/ 写选通脉冲时序,以及三个完全独立的片选信号;

3)支持 PLL 系数的动态修改,拥有片上振荡器和看门狗模块; 4)可支持 45 个外部中断的外部中断扩展模块;

5)电机控制外设:2个事件管理器;

6)多种标准的串白外设:1个 SPI 同步串口、2个 UART 异 步串口、1个增强型 CAN 总线接口、1个 McBSP 同步串口;

7)12 位 A/D 转换器:16 通道、双采样/保持器、2*8 多路 切换器;

8)独立的可编程、复用型、通用 1/O 口多达 56 个。 2.2 数据采集压缩卡设计

由于 ADC 的采样频率高达 40MHz, TMS320F2812 芯片的 主频为 150MHz,故只能实现准实时的数据采集压缩,因此该数 据采集压缩卡设计的核心就在于提高系统运行效率,尽可能地 降低时间消耗。其系统结构如图1所示。



图 1 数据采集压缩卡结构原理图

在图 1 中,ADC 部分选用 8 位高速模数转换芯片作为核 心,其最高转换频率高达 100MSPS,完全可以满足 40MHz 的 AD 采样要求。在双端口 RAM 的选取上,应首先考虑的是芯片 存取速度,由于 AD 采样时钟的频率高达 40MHz,即采样周期 为 25ns,因此,双端口 RAM 的最小存取时间应小于 25ns。系统 采用 IDT70V08 (64KB * 8) 芯片作为原始数据存储器, IDT70V05 (8KB * 8) 芯片来存储压缩后的数据以及压缩率数 据,这两种芯片的最小存取时间可以达到 15ns,满足 40MHz 时 钟下同步存取的要求。根据超声信号在钢铁中的传播速度(C= 5900m/s)以及采样频率(f=40MHz),如果要达到性能上所要求 的 8m(设为 s)以上的检测深度,则回波信号经 AD 转换后的数 据量至少为:

 $\frac{f \times s}{c} = \frac{40 \times 10^6 \text{ Hz} \times 8m}{5900 \text{ m/s}} = 54237.28 \approx 53 \text{KB}$

因此原始数据存储器容量选为 64KB。而压缩结果数据和压 缩率数据在存储时最多只需消耗 768B 的空间 (两块 256B 的压 缩结果缓存区以及一块 256B 的压缩率存储区),故选择了满足最 小存取时间要求的双端口 RAM 中容量最小(8KB * 8)的一种。

在配置 TMS320F2812 芯片的片外存储区的地址时,为了 提高压缩采集卡的运行效率,在硬件设计上,系统将两片双端口 RAM (IDT70V08 和 IDT70V05)的地址均编入 XINTF Zone2 (0x080000~0x0FFFFF,0.5M * 16)内,从而避免了数据在跨区 域存取时不必要的时间消耗。其中,IDT70V08 的地址空间为: 0x09000~0x09FFF,全部用于原始数据的存取,IDT70V05 的地 址为:0x0A0000~0x0A1FFF,其中 0x0A0100~0x0A01FF, 0x0A0300~0x00A03FF 为两块 256B 的压缩结果缓冲区,在系 统运行时,两块压缩结果缓冲区交替地进行压缩结果他写入存 储和读取显示,从而提高了系统的运行效率。而 256B 的压缩率 数据则分配在 0x0A1000~0x0A10FF 的存储空间内,DSP 芯片 只在初始化和压缩率更新标志位为1时,读取这一部分的数据 并存储于片内 RAM,以消除读取片外数据的时间消耗。

为了进一步提高运行效率,系统使得 CPLD 在 64KB 双端 口 RAM 完成了第一个数据的存储之后即向 DSP 发出中断信 号,开始进行数据压缩。压缩后的数据存储于一块已确定的压缩 结果缓冲区内。由于 ADC 的转换速度高于压缩速度,因此,在完 成一帧原始数据的采集存储后,有可能尚未完成压缩,此时 CPLD 将停止原始数据的存储,等待压缩的完成。

在完成最后一个位点的压缩并进行存储时,CPLD产生一个中断信号向超声探伤仪的 CPU 来取压缩结果数据,同时,该 信号也作为一个启动信号,启动下一帧数据的采集和压缩,由于 AD9283 启动后第四个数据才是有效数据,因此,地址 0x0000 将在启动后保持四个时钟周期,并在完成了第一个原始数据的 存储后,向 DSP 发出中断信号启动 XINT2 的压缩中断服务。

经上述优化设计后,系统完成一帧数据压缩的时间分配如 图 2 所示。



图 2 数据采集压缩时间分配图

25

在算法上,针对单极性压缩算法上存在的问题,对其进行了 改进。压缩卡先采集一帧数据,通过比较获得一帧数据的最大值 和最小值,求取平均值作为回声信号的基线,基线以上的取最大 值作为压缩值,基线以下的取最小值作为压缩值,横跨基线两端 的即取基线值作为压缩值。这样就可以保证压缩后能取到所有 的极大值和极小值,称之为双极性压缩。软件压缩流程如图3所 示。压缩处理主要是在 XINT2 中断服务程序内完成,XINT1 的中 断服务只进行压缩率更新标志位的设置。之所以这样设计,是因 为 XINT1 中断的优先级高于 XINT2,可以在压缩过程中随时设 置压缩率更新标志位,从而使得压缩率的更新和数据的压缩可 以同时进行。



3 实验与射频信号测试

3.1 实验设计

为了对整个采集压缩卡的设计进行验证,向采集卡的输入 端输入了一个正弦波信号(f=400KHz,Vp-p=1V,OFFSET= 0.18V)。将压缩率全部设置为 10。完成压缩后读取两片双端口 RAM 中的数据进行验证。



图 4 射频信号采集压缩结果

27

输模式且缓存要尽量大。本系统选择 EF6, 配置 EP6CFG = 0xE0, 即使其工作在 IN-BULK 模式,并将缓存尺寸设置为 4x512。在 OUT 方向上(PC 向 DSP 发送控制命令),本系统选择了 EP2, 配置 EP2CFG=0xA2, 使其工作在 OUT-BULK, 2x512 的缓存尺寸模式。

EPxFIFOCFG 的 WORDWIDE 位控制相应寄存器的数据线 是 8 位还是 16 位。当 WORDWIDE(EDxFIFOCFG.0)=1 时数据 线为 16 位,占用 B(FD[0~7])和 D(FD[8~15])端口,此为缺省 状态;当 WORDWIDE=0 时数据线为 8 位,占用 B 端口。如果 4 个端口中有一个设置为 16 位数据线模式,端口 D 也只能用作 数据线端口。由于采集的数据为 12 位,因此本系统选择 16 位的 数据线,即配置 EP6FIFOCFG.0=1。由于 AUTO-IN 模式可以在 内核不参与的情况下自动将数据提交给 SIE,可以大大提高传 输效率,故使能 AUTOIN 位。

3.3 状态引脚的选择及配置

FLAGA、FLAGB、FLAGC 三个管脚报告了 FX2 的 FIFO 的状态。分别配置 PINFLAGSAB 和 PINFLAGSCD,使 FLAGA 表征端点 2 是否空,FLAGB 表征端点 6 是否满,FLAGC 表示端 点 6 为空。配置 PORTACFG = 0x40,使 PORTA.0 工作于 I/O 使其工作于 I/O 模式, PORTA.7 工作于 SLCS 模式。

4 DSP 系统的配置及软件设计

本系统中,F2812 的读写使能、片选、地址线都直接连接到 FX2 对应的管脚上,数据线与 FX2 的 FD[0:15]直接相连。地址 线的低两位(XAO 和 XA1)与 FX2 的 FIFOADR[1:0]连接,EP2、 EP4 对应的地址空间为 0x002000~0x002001,EP6、EP8 对应 地址空间为 0x002012~0x002013,以便利用地址线 XA4 对使 能。F2812 直接对 4 个地址读写数据即是对 FX2 的 4 个端点读 写数据。除此之外,F2812 的 GPIOA 的低 3 位 (GPIOA2-GPIOA0) 设置为普通输入口,连接 FX2 的 FLAGA,FLAGB, FLAGC; 配置 GPIOA 的第 8 位为普通输出口,用于输出 PK-TEND 信号。

系统在初始化阶段,需要完成对 ZONE0AND1 和 ZONE2 的 ACTIVE、LEAD 和 TRAIL 的占用时钟周期数进行配置,以满 足对 FIFO 的读写时序要求;配置 GPIOA,使其工作在上述模式 下;初始化并配置中断向量表,完成 ADC 及 USB 中断响应函数 的配置,并使能相应中断。初始化 ADC 模块,完成对 ADC 模块

(上接第25页)

由于原始数据量达 64KB 无法全部读入 DSP 芯片,因此测 试时只从原始数据中任意连续读取了 1024 个数据进行验证。

理论上,64KB的 RAM 中可以存储 655.36 个正弦波的数据,其中任意连续的 1024 个字节的 RAM 中包含 10.24 个正弦 波数据,由于压缩率为 10,压缩后应得到 25.6 个正弦波。

实际压缩生成的正弦波的个数与理论值完全相同,并且双 极性压缩可以有效得到原始数据中的最大值和最小值,满足设 计要求。

3.3 射频信号采集压缩测试

将超声回波接收电路与该卡相接,并为超声发射电路提供 一个 1kHz 的重复激发脉冲,使用中心频率为 4MHz 的超声探 头,在压缩率为 5 的情况下进行压缩,图 4(a)为 90Byte 的原始 信号数据,压缩后得到 18Byte 的压缩数据,如图 4(b)所示。

4 结束语

在实验中,该数据采集压缩卡已完全实现了原有数字压缩

的初始配置。

当初始化完成后,软启动 ADC 转换,系统进入无限循环。其运行流程如图 2 所示。



5 系统测试结果

用 VC6.0 编写的上位机程序,测得如下数据:

测试通道数分别选用了 1、4、8 和 16 四种不同情形。从测试结果可以看出,系统最大单通道采样速率为 1700KSPS,16 通道时最大单通道采样率为 128KHz。

本系统中,由于 DSP 要不断的响应 AD 中断并读取数据, CPU 消耗很大,这也是采样率的主要瓶颈所在。

参考文献

- [1]聂东,张红兵.USB2.0 规范与 EZ-USB FX2 高速外设控制器[J]. 国 外电子元器件,2002,7(7):37-41
- [2]TI TMS320F2812 Digital Signal Processors.Data Manual [Z]. 2003
- [3]TI TMS320x281x DSP External Interface (XINTF) Reference Guide
- [4]TI TMS320x281x DSP System Control and Interrupts Reference Guide
- [5]TI TMS320x281x DSP Analog -to -Digital Converter (ADC) Reference Guide
- [6]Cypress EZ-USB FX2 Technical Reference Manual (Version 2.1)[Z].2001 [收稿印期:2007.4.30]

电路的全部功能,双极性压缩算法也得到了验证。但是,由于 DSP 软件编程使用的是 C 语言,因此其软件的运行效率尚可进 一步提高。例如,可以考虑使用汇编语言来编写压缩算法程序, 以提高运行效率。

该采集压缩卡采用的是 40MHz 的采样时钟,可直接对超声 回波射频信号进行采集和压缩,这在射频信号采集压缩测试中 也得到了验证。并且由于该卡拥有丰富的外部寄存器扩展,因此 将来可以增加数字滤波和频谱分析等数字信号处理功能,以适 应 B 型或其他类型的超声设备的检测要求,提高超声检测系统 的检测性能,并实现超声设备更高程度的数字化和小型化。

参考文献

- [1] 白净.医学超声成像机理[M].北京:清华大学出版社,1998
- [2]顾本立.医学成像原理和技术(续)[M].南京:东南大学生物医学工程系,1993
- [3]苏奎峰,吕强,耿庆锋,等.TMS320F2812 原理与开发[M].北京:电子 工业出版社,2005 [收稿日期:2007.5.31]