基于IPTV终端的视频监控系统的设计

魏靖凯[1],王汝传[2],李致远[2]
(1. 南京邮电大学物联网学院,江苏省南京市 210003;
2. 南京邮电大学计算机学院,江苏省南京市 210003)

摘　要:IPTV视频监控技术是未来三网融合最有特色的应用技术之一,同时家庭视频监控正成为监控行业的一个新领域。文中给出了一种基于IPTV终端的家庭视频监控系统的设计方案,该方案是基于C/S模式的构架,视频数据的压缩编码采用达芬奇技术实现,为了保证传输的质量,网络传输采用了RTP协议和基于丢包率的拥塞控制方法。最后,在2 Mb/s的ADSL宽带接入网络下进行测试,结果表明用户可以随时随地登陆到家庭视频监控系统中查看家庭情况。系统的时延控制在0.3 s之内。

关键词:IPTV;DM6446;RTP;视频监控
中图分类号:TN94;TN919.5

0 引　言

IPTV作为数字新媒体日益被用户所看重,是"三网融合"的最大切入点,已成为不可阻挡的大趋势。同时,IPTV以其丰富的互动业务和良好的用户体验,可充分满足用户个性化、便捷化、交互式的业务需求,如今在很多国家获得了巨大发展。鉴于越来越多的用户家中配备了IPTV终端的设备,如果能将视频监控作为附加增值功能添入其中,既可以丰富运营商的业务内容,也可实现对家庭安全的发现和预防,体现对客户家庭的关爱,提升用户的满意度,节省用户的开支。利用低功耗的IPTV终端设备,通过笔记本或PC机随时随地的、方便快捷地通过网络查看家中的情况,相比传统的家庭视频监控系统来说,优势非常明显,具有良好的市场潜力和应用前景。

1 系统的总体框架

本系统使用的IPTV终端硬件平台是基于TI公司推出的TMS320DM6446[1-2]的图像压缩系统。整个平台由ARM与DSP双核处理结构,视频处理子系统和其他外围电路组成,它不仅吸收了DSP和RISC技术的优点,而且拥有强大的MontaVista Linux操作系统的支持,丰富的用户接口和较高的信号处理能力。ARM侧重保证操作系统的运行,管理外围接口并协调DSP工作。DSP利用其强大的高速实时信号处理功能,完成复杂的视频压缩算法[3]。同时,该平台还拥有丰富的外设和硬件接口,如视频和图像加速器,用于声音编解码器界面和通信的串口,IDE硬盘接口,USB2.0接口以及10/100 Mb/s以太网接口等。

本系统使用Linux操作系统中的V4L2库来采集原始视频数据,在本地屏显的同时,调用IPTV终端TMS320DM6446平台中的DSP核编码MPEG-4视频帧;在数据传输过程中,采用Librtp库控制数据流的收发;在客户端,本系统使用开源的xvidcore库,进行MPEG-4视频帧的解码;同时调用跨平台的SDL显示库,用于视频数据显示。系统的整体构架图如图1所示。

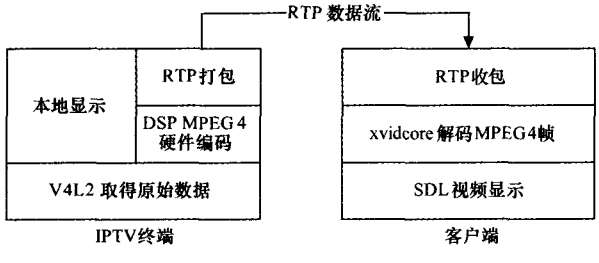

图1　系统的整体构架图

2 系统的具体实现

基于IPTV终端的家庭视频监控系统主要包括3个模块:视频采集编码模块、网络传输模块和客户端模块。

2.1 视频采集编码模块

IPTV终端的硬件开发平台DM6446的视频输入驱动器服从V4L2驱动的标准。在IPTV终端创建4个线程来完成视频采集编码工作,如图2所示,4个线程分别为:Capture线程、Video线程、LocalDisplay线程和SendPacket线程。

收稿日期:2010-08-16;修回日期:2010-09-29。
基金项目:省级现代服务业发展专项资金项目(sj210001)。

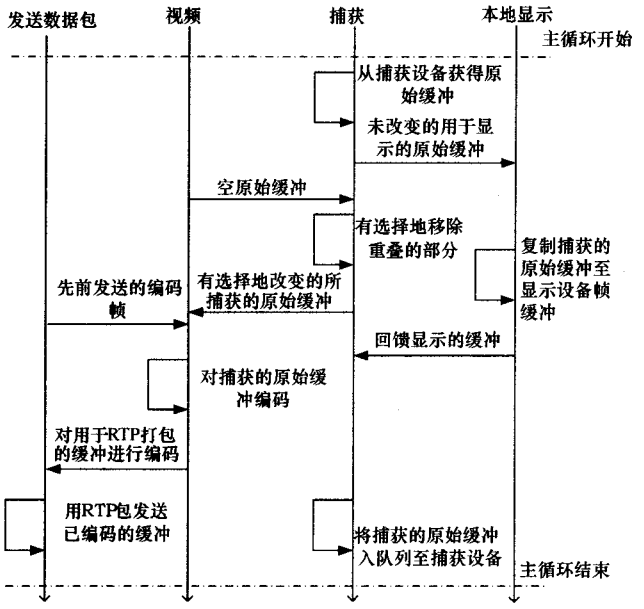

图2　IPTV终端视频采集编码模块流程图

4个线程的交互过程为:Capture线程使用ioctl函数发送一个VIDIOC_DQBUF命令给设备驱动,从VPSS前端设备驱动获取raw captured buffer(原始捕获数据缓冲)队列,其中VPSS是达芬奇数字平台的一个执行多相滤波的硬件,用于实现视频缩放。为了在编码的同时显示视频帧的预览,我们调用达芬奇数字平台开发包的API函数FifoUtil_put()给LocalDisplay线程传递一个指向captured buffer的指针,然后Capture线程从video线程取得一个空的raw buffer。用已经移除重叠部分后的数据填充它,这个buffer随后被发送到Video线程用于编码。Video线程使用FifoUtil_get()从SendPacket线程取得I/O buffer,并将编码后的视频数据写回I/O buffer。当LocalDisplay线程使用VPSS resizer模块和Rszcopy_execute()函数拷贝captured raw buffer到FBDev帧缓冲设备中显示时,Video线程正使用VIDENC_process()调用DSP core对相同的captured buffer进行编码。当DSP的video编码器完成编码,captured buffer随后被写入I/O buffer,I/O buffer被FifoUtil_put()发送到SendPacket线程。SendPakcet线程将I/O buffer打包成RTP数据包通过网络发送出去。

2.2　网络传输模块的设计和实现

本系统采用开源的Librtp库来实现基于RTP协议[4]的实时数据传输。Librtp提供了实现RTP协议的大部分接口函数,我们只需要将其编译成静态库放置IPTV终端的文件系统中,便可以像调用C的标准函数库一样,轻松实现设置读取RTP和RTCP数据包的信息,发送接收RTCP包的统计信息。使用RTP协议实现数据传输时的工作流程如图3所示。

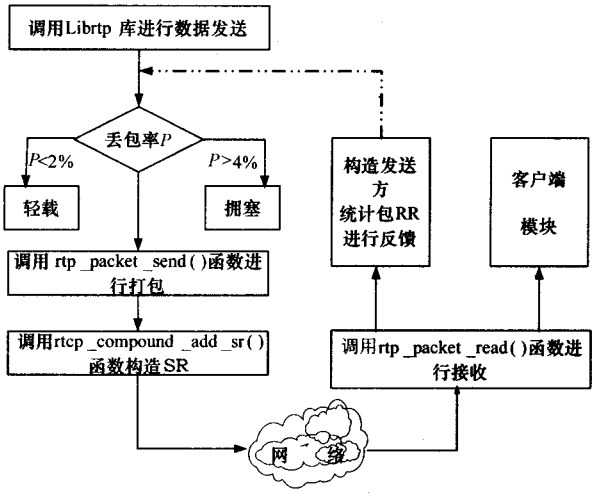

图3　网络传输模块的流程图

IPTV终端按照RTP协议的标准,调用rtp_packet_send()函数将数据打包成RTP数据包,进行发送后调用rtcp_compound_add_sr()函数构造发送方报告包SR,统计自己的发送情况以通知客户端。客户端调用rtp_packet_read()函数进行接收,计算RTP数据包的接收量,同时根据接收的IPTV端的SR统计包,统计接收的丢包率、时延、抖动等信息以构造发送方统计包RR,向IPTV终端反馈网络的情况,使其根据反馈信息调整发送RTP包的速率,以免发生网络拥塞。

本系统采用类似TCP的基于丢包率的拥塞控制方法,根据网络的拥塞情况,进行流量控制。丢包率p=丢失的包数/实际发送的包数;实际发送的包数可以通过RTP包头的序列号字段进行计算,丢失的包数为实际发送的包数减去实际接收的包数。实际接收的包数可以在接收端设置计数器进行统计。设置丢包率p的阀值,根据阀值将网络状态分为轻载、满载、拥塞。设定阀值T_1、T_2,并且$0<T_1<T_2<1$,当丢失率$p<T_1$时表示轻载,可以逐渐增加数据传输,直到网络状态成为满载或发送方的发送能力达到最大;当丢失率$p>T_2$时则表示拥塞,必须迅速减小数据传输,直到网络状态变为满载;当$T_1\leq p<T_2$时表示当前网络状态可以接收,继续维持这一状态。T_1应取较低的值以避免QOS振荡的影响,T_2的选取标准是丢失分组的程度虽然已经影响了数据的传输但解码后的视频效果在可以接收的范围内。经过多方面的权衡,选定T_1取值为2%,T_2取值为4%。

2.3　客户端模块的设计和实现

客户端模块创建2个线程,一个线程负责读取RTP包中的MPEG-4视频帧。为了消除网络延迟等原因造成的视频图像抖动,先将一定数量的MPEG-4视

频帧先拷贝到预定义大小的缓存中,待填满后,调用 xvidcore 库函数 xvid_decore( )解码 MPEG-4 帧,xvid_decore( )循环取出缓存中存放的每一帧数据,对收到的 MPEG-4 视频帧进行解码。xvidcore 库中的所有解码工作都是由 xvid_decore 实现的,xvid_decore 函数声明如下:

int xvid_decore(void * handle, int opt, void * param1, void * param2);

其中 opt 为解码所要做的操作,opt 有以下 3 种操作:

1) XVID_DEC_CREATE:创建一个新的解码器,则 param1 为 XVID_DEC_PARAM,handle 为新编码器的句柄;

2) XVID_DEC_DECODE:解码一帧数据,则 param1 为 XVID_ENC_FRAME;

3) XVID_DEC_DESTROY:关掉解码器,不返回任何句柄。

对于另一个线程 SDLDisplay,从 xvid_decore 中提取出 MPEG-4 视频帧解码后图像的参数,获取图像的宽度 XDIM 和高度 YDIM,调用 SDL 库中的函数 SDL_CreateYUVOverlay(int width, int height, Uint32 format, SDL_Surface * display),同时设置图像的编码格式,使用 XviD 库中定义的 SDL_YV12_OVERLAY 宏,该宏表示图像采取的是 YV12 的编码格式。我们使用 out_buffer 指向解码后的缓存。为了在显示界面上绘制出该图像,需要获取图像的 YUV 参量的位置,如式(1)~式(3)[5]所示:

$$outy = out_buffer; \quad (1)$$

$$outu = out_buffer + XDIM * YDIM; \quad (2)$$

$$outv = out_buffer + XDIM * YDIM * 5/4; \quad (3)$$

其中:outy、outu、outv 分别指向 YV12 图像中 Y、U、V 参量的读取位置。提取出图像的 YUV 数据后,就可以在屏幕上按照像素点逐点描绘出来。这样便完成单视频帧的显示。循环做解码 MPEG-4 帧和图像绘制显示就可以流畅的播放接收到的实时视频监控数据流。

3 系统测试

为了测试基于 IPTV 终端的家庭视频监控系统的实际性能,我们使用了 2 Mb/s 的 ADSL 宽带接入业务,使得 IPTV 终端能够接入互联网,测试人员在外地下载监控客户端进行连接,相应的监控页面如图 4 所示。

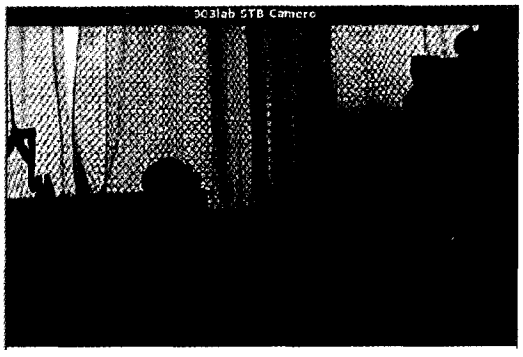

图 4　监控客户端的画面

从实际的运行效果来看,本系统具有良好的图像显示质量,播放流畅,测试时略有抖动,延迟时间基本控制在 0.3 s 以内,能够满足家庭用户的需求。

4 结束语

本文提出一种在 IPTV 终端上实现家庭视频监控功能的方法,使用 V4L2 库采集视频数据,采用 IPTV 终端 TMS320DM6446 平台中的 DSP 核编码 MPEG-4 视频帧;为了保证网络传输的质量,采用 Librtp 库控制数据流的收发;在客户端,本系统使用开源的 xvidcore 库,进行 MPEG-4 视频帧的解码;同时调用跨平台的 SDL 库,用于视频数据显示。经过测试,监控系统运行良好,能够满足家庭视频监控的要求,同时还具有高度可靠稳定性,以及功耗低、投资小等优点,具有广阔的市场应用前景。

参 考 文 献

[1] 赵勇, 袁誉乐, 丁锐. DAVINCI 技术原理与应用指南[M]. 南京:东南大学出版社,2008:1-82.

[2] 方进. 面向数字视频达芬奇技术[EB/OL]. http://www.ti.com/davinci, 2006:1-2.

[3] TALLA Deepu, GOLSTON Jeremiah. Using DaVinci Technology for Digital Video Devices[J]. Computer-IEEE Computer Society,2007(10):53-61.

[4] SCHULZRINNNE H, CASNER S, FREDERICK R, et al. RFC 3550 RTP: a transport protocol for real time applications [S/OL]. http://www.ietf.org/rfc/frc3550.txt.

[5] 江达秀, 许建龙, 孙树森. 应用 SDL 及 GTK + 实现视频多路回放[J]. 浙江理工大学学报,2009,26(6):20-23.

魏靖凯(1987-),男,硕士研究生,主要研究方向为基于通信网络的计算机软件技术。

(下转第 48 页)

3 结束语

利用FPGA采用直接频率合成技术设计的信号发生器采用了不同于传统频率合成方法的全数字结构，输出分辨率较高，相位累加器在基准时钟频率和相位累加器的位宽达到一定要求时，输出分辨率可以很小。可达到微赫兹级；频率变化快，频率控制字的传输时间以及器件响应时间很短，使得系统的频率切换时间可达纳秒级；频率变化时输出相位连续，频率的改变只是改变频率控制字，不需改变原有的累加值。所以，采用FPGA器件进行DDS设计是一种高效和便捷的方法，而基于FPGA IP核的设计方法比传统方法进一步减少了程序代码量、节约了FPGA的逻辑资源，并且具有很好的可移植性，为基于FPGA的DDS开发提供了一个新的设计思路，有着广阔的应用前景。

参考文献

[1] 潘松，黄继业. EDA技术实用教程[M]. 2版. 北京：科学出版社，2005.

[2] 黄仁欣. EDA技术实用教程[M]. 北京：清华大学出版社，2006.

[3] 徐志军. CPLD/FPGA的开发与应用[M]. 北京：电子工业出版，2002.

[4] 王振红. VHDL数字电路设计[M]. 北京：机械工业出版社，2003.

[5] 黄智伟. FPGA系统设计与实践[M]. 北京：电子工业出版社，2005.

[6] 全国大学生电子设计竞赛组委会. 第五届全国大学生电子设计竞赛获奖作品选编[M]. 北京：北京理工大学出版社，2003：2-48.

张 浪(1985-)，男，硕士，主要研究方向为信息网络与多媒体技术。

Design of DDS Based on IP Core and Its Application on the Signal Generator

ZHANG Lang

(College of Communication and Information Engineering, Nanjing University of Posts and Telecommunications, Nanjing 210003, China)

Abstract: This paper introduces the basic principles of DDS and theoretically analyzes various components of DDS. We use VHDL language to describe the behavior of DDS on the platform of ISE 7.1 and use ModelSim to simulate and realize the IP core that can be reframed. The consequent system could generate sine, triangle, sawtooth and square signals with arbitrary frequency. This paper detailedly explains the whole design framework, submodule and the simulation results.

Keywords: DDS; IP core; FPGA; signal generator

(上接第45页)

Design of Video Surveillance System Based on IPTV Terminal

WEI Jingkai[1], WANG Ruchuan[2], LI Zhiyuan[2]

(1. Institute of Internet of Things and Sensor Networks, Nanjing University of Posts and Telecommunications, Nanjing 210003, China; 2. College of Computer, Nanjing University of Posts and Telecommunications, Nanjing 210003, China)

Abstract: IPTV video surveillance technology is one of the most distinctive of applied technologies in future triple play, while home video surveillance is becoming a new area of the monitor industry. In view of this, this paper presents a IPTV terminal-based home video surveillance system design and implementation process. The program is based on C / S model framework ,uses the DaVinci technology to achieve the video data compression encoding, In order to ensure the quality of transmission, network transport module uses RTP protocol and packet loss rate-based congestion control method. Finally, the system is tested in the 2Mb / s for ADSL broadband access network, Test results show that users can login to the home video surveillance systems, and view the family situation at any time and any place. The system latency is controlled in 0.3 seconds.

Keywords: IPTV; DM6446; RTP; video surveillance