基于 DSP 的 1553B 总线系统设计与实现

黄长春[1,2], 徐抒岩[1], 胡 君[1]
(1.中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033;2.中国科学院 研究生院, 北京 100039)

摘要:在研究 1553B 总线协议特点的基础上,提出了一种基于 DSP 的 1553B 总线接口设计方案,详细描述了硬件电路的实现及软件驱动程序的编写。在电路中采用 DSP TMS320F2812 为核心处理单元,BU-64843 为 1553B 协议执行元件,采用 FPGA 实现地址译码和逻辑控制功能。为了保证 1553B 总线消息处理的实时性,直接由下位机 DSP 控制 1553B 协议芯片,负责消息的读取、处理、写入和 1553B 协议芯片的初始化,通过对 BU-64843 寄存器的配置,使系统工作在 BC/RT/MT 模式。通信协议处理模块严格按照通信协议收发周期性消息,时间误差精度小于 1 μs。

关键词:1553B; 总线接口; DSP; FPGA; TMS320F2812
中图分类号:TP368.1 **文献标识码**:A **文章编号**:1674-6236(2010)08-0004-04

Design and realization of 1553B bus system based on DSP

HUANG Chang-chun[1,2], XU Shu-yan[1], HU Jun[1]
(1. *Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun* 130033, *China*; 2.*Graduate School of the Chinese Academy of Sciences, Beijing* 100039, *China*)

Abstract: In view of characteristics of 1553B bus protocol, the design plan of 1553B bus interface based on DSP was proposed. The implementation of hardware circuit and accomplishment of software drivers were described specifically. In the interface circuit, the DSP TMS320F2812 was used as the core processing unit. BU-64843 accomplished 1553B protocol function. The circuit of address decoder and logical control were implemented by FPGA. To ensure real-time of 1553B messages processing, DSP was responsible for controlling and initiating 1553B protocol chip, reading, processing and writing messages. The system can work in mode of BC/RT/MT by configuring the registers of BU-64843.Protocol processing module transmits and receives periodic messages according to communication protocol severely, the accuracy of time error is less than 1μs.

Key words: 1553B; bus interface; DSP; FPGA; TMS320F2812

航空电子综合化是一种在苛刻的空间限制条件下,对密集型的航空电子子系统集合进行信息综合和功能综合的技术。以 MIL-STD-1553B 为代表的子系统联网接口标准构成了目前航空电子综合系统中信息交换的主干道。1553B 总线接口电路是实现航空电子综合化系统的关键部件,其作用是在 1553B 总线与现有的其他总线技术之间搭建一座桥梁,使得不同制式的信息流能够实时、准确地进行相互转换[1]。在 1553B 总线接口的研制过程中,复杂而苛刻的环境对中央处理器的实时性与可靠性提出了很高的要求,而 DSP 芯片以其优良的高速性能为中央处理器的选择提供了一个较为理想的解决方案[2]。

随着 MIL-STD-1553B 总线协议标准的颁布,许多公司开发了总线与 CPU 之间的硬件接口芯片。在实际的 1553B 总线工程中使用最为广泛的是 DDC 公司生产的接口芯片,这些芯片完全实现了 1553B 总线的电气特性协议,而且与 CPU 或存储器连接非常简单。本文探讨基于 TMS320F2812(以下简称 F2812)和 DDC 公司的 BU-64843 协议芯片的 1553B 总线接口的硬件设计和软件驱动编写要点。

1 1553B 总线

1553B 总线是一种时分制指令/响应式多路传输数据总线,具有很高的可靠性和良好的实时性。1553B 总线由 4 种基本硬件组成:传输介质、总线控制器(BC)、远程终端(RT)、总线监视器(MT)[3]。

1553B 总线采用异步、半双工方式传输,传输速率 1 MB/s。1553B 总线传输协议规定的传输过程为::BC 向某一终端发送一个接收/发送指令,RT 在规定的响应时间内发回一个状态字并执行消息的接收/发送。在操作过程中 BC 始终掌握总线的控制权,总线上任何时候只有一个 BC,但可以最多挂 31 个 RT 或 MT。在总线的数据传输过程中,MT 按要求监视总线上的数据,并将这些数据输出或者存盘以便实时地监测这些

收稿日期:2010-03-29 **稿件编号**:201003142
基金项目:国家自然科学基金资助项目(60507003)
作者简介:黄长春(1986—),男,湖南永州人,硕士研究生。研究方向:航空电子系统的信息传输与处理。

数据的传输状态或便于后续分析。1553B 采用双冗余总线,有 2 个传输通道,保证了良好的容错性和故障隔离。如果当前总线的数据传输出现错误或故障,数据可以自动从冗余总线上传输。1553B 总线的传输介质为屏蔽双绞线。其总线结构简图如图 1 所示。

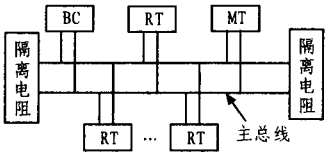

图 1　1553B 总线结构简图

Fig. 1　Framework of 1553B bus

2　系统设计方案

该系统以 F2812 为控制核心,与外围辅助电路构成微计算机系统;由 BU-64843 协议芯片完成 1553B 总线的功能,BU-64843 提供了丰富的资源,为软件的设计提供了极大的灵活性和可靠性;控制和译码信号利用 FPGA 实现,FPGA 器件电路连接简单,使用方便,使用功能强大的 VerilogHDL 语言编程,可提高系统的维护性和扩展性。

F2812 负责消息的读取、处理、写入和 BU-64843 协议芯片的初始化。通过对 BU-64843 的相关寄存器进行相应的配置,就可以使本接口卡工作在 BC 模式、RT 模式或 MT 模式。接口卡在 BC 模式下实现 1553B 总线消息的接收,BU-64843 协议芯片每接收完一个消息,就向 F2812 发送一次中断申请,由 F2812 响应中断并从相应的 RAM 区读取接收到的消息进行相应处理,F2812 同时完成与上位机的通讯,并把接收到的数据发送出去。与上位机的通讯是利用 F2812 的串行通信接口(SCI),本系统采用 MAX485 实现的。

3　接口电路的硬件设计

系统的硬件电路主要包括:DSP 模块、1553B 总线接口模块、逻辑综合模块。系统的结构框图如图 2 所示。

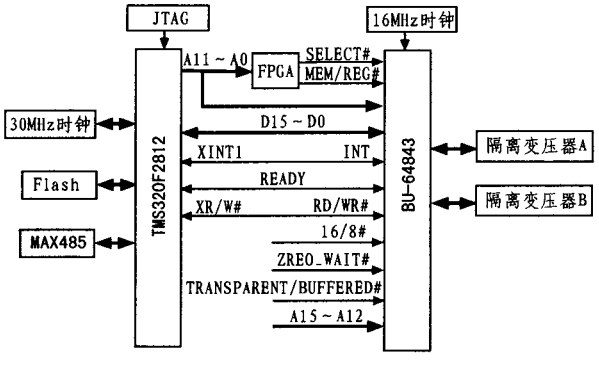

图 2　1553B 总线接口系统的结构框图

Fig. 2　Block diagram of 1553B bus interface system

3.1　DSP 模块

DSP 芯片功能强、体积小、使用方便灵活,被众多领域广泛应用。F2812 是 TI 公司推出的采用高性能静态 CMOS 技术的 32 位定点数字信号处理器,器件上集成了多种先进的外设,为现代控制领域应用提供了良好的控制核心。F2812 的地址线为 19 位,数据线为 16 位。其特点有:1)采用高性能静态 CMOS 技术,其供电电压为 3.3 V,采用哈佛总线结构和流水线操作,具有 150 MIPS 的运算能力,可单周期执行 32 位×32 位的乘和累加操作(MAC)或双 16 位×16 位 MAC 运算;2)片上存储器包括 128 k×16 Flash 存储器、18 k×16 的片内 RAM、4 k×16 的 Boot ROM 大容量的片内 RAM 可满足大多数设计要求,无需扩展片外存储器,既降低了成本又使硬件设计变得简洁;3)具有外部中断扩展(PIE)模块,可支持多达 45 个外部中断,最多可达 56 个的可编程通用输入/输出(GPIO)引脚,带有丰富的接口模块包括 2 个串行通信接口(SCI)、串行外设接口(SPI)和多通道缓冲串口(McBSP),为建立信号处理平台提供基础[4]。

3.2　1553B 接口电路

传统的 1553B 接口卡设计时采用 BU-61580 接口芯片,采用 70 引脚的双列直插式组件(DIP)封装,5 V 供电,考虑到本系统的 DSP 芯片 F2812 的 I/O 是 3.3 V 电平,所以 1553B 总线接口电路采用 DDC 公司的首款全 3.3 V 的 1553B 接口芯片 BU-64843,无需电平转换,简化了硬件电路设计,采用该芯片 80-pin 陶瓷扁平封装更加方便用户进行硬件电路设计。BU-64843 内部还集成了双收发器逻辑、编解码器、协议逻辑、内存管理和中断控制逻辑,支持 BC/RT/MT 模式,还提供了一个 4 kB 的内部共享静态 RAM 和与处理器总线之间的缓冲接口[5]。

BU-64843 与微处理器或外部存储器接口非常灵活,可与 8 位、16 位多种微处理器相连接,并且可以实现无缝连接或者只需很少的粘和逻辑电路。BU-64843 有 2 种工作模式:透明模式(TRANSPARENT)和缓冲模式(BUFFERED)。透明模式时芯片可以寻址 64 KB,即可以寻址到其外部的 RAM,这时需要为其配置外部 RAM。一般应用透明模式时,在 BU-64843 协议芯片和 CPU 之间配置双口 RAM,而在二者的数据总线和地址总线之间需要使用隔离器。缓冲模式时只寻址其内部的 4 KB 字的 RAM,地址单向,可直接由 CPU 驱动,不需要使用总线隔离器。另外,BU-64843 还根据微处理器是否具有 READY(握手信号)选择零等待和非零等待方式。非零等待是指在微处理器对 BU-64843 进行并行总线(读、写)操作时,BU-64843 内部逻辑电路若有操作时,微处理器需要等待 BU-64843 准备好。当 BU-64843 准备好时,就输出 READY 信号。在这种情况下,应将 BU-64843 的 READY 信号接到微处理器的 READY 信号上,并设置微处理器的等待方式受 READY 控制。16 位缓冲模式是最常用的接口形式,提供一个与 16 位或 32 位微处理器共享 RAM 的缓冲器接口,在这种接口中,BU-64843 的内部地址/数据缓冲器使其与微处理器的地址/数据隔离。一般在传输数据量比较少,BU-64843 内的 4 KB RAM 足够用时,可选用 16 位缓冲非零

等待模式。在该模式下将引脚 16/8# 置为高电平,TRANSPARENT/BUFFERED# 置为低电平,ZERO_WAIT# 置为高电平。工作在缓冲方式下,占用 16 位数据总线和 12 位地址总线,其所有的控制信号由 FPGA 的译码电路产生,通过中断方式与 F2812 通信,因此 BU-64843 的中断引脚 INT 与 F2812 的外部中断 XINT1 连接;BU-64843 总线接口有 2 个数据通道,通道 A 和通道 B,这是为了保证通信的可靠性而采取的冗余设计,在实际的工程中也使用 2 个通道,通过软件选择任意通道进行数据传输。BU-64843 通过 2 个耦合变压器 PM-DB2755 与外部的屏蔽双绞线连接;16 MHz 有源晶振作为时钟输入[6]。

3.3 逻辑综合电路

BU-64843 和 F2812 之间的逻辑综合电路由 FPGA 完成。本系统的可编程逻辑器件采用 Xilinx 公司 Spartan-3 系列的 FPGA 芯片 XC3S400,该芯片的 I/O 口供电电压为 3.3 V、系统门数为 40 万、最大可用 I/O 数为 264 个。逻辑综合电路包括:地址译码电路、逻辑控制电路。地址译码电路功能是对接口卡所使用的 F2812 存储器和 BU-64843 存储器进行地址选择、译码。译码程序在 Xilinx ISE 9.2i 环境下用硬件描述语言 VerilogHDL 编写。选用 FPGA 作为逻辑综合电路的另一个优点是: VerilogHDL 程序的烧写通过 JTAG 接口完成,除了一条烧写线外不需要任何附加的硬件电路,因此只要硬件连接正确,其余的工作均由软件完成,便于以后的系统升级。VerilogHDL 程序根据 F2812 的地址总线、数据总线和片选信号,经逻辑译码产生 BU-64843 的片选信号 SELECT#,寄存器和缓冲区选择控制信号 MEM/REG#。

逻辑控制电路功能是产生 BU-64843 所需要的控制信号以及给 F2812 提供中断信号、握手信号、插入等待信号。由 F2812 和 BU-64843 向 XC3S400 提供地址线、数据线、中断申请线、中断响应线以及读、写信号线。

4 驱动软件的设计

驱动程序的编写采用 C 语言与汇编语言混合编程的实现方法,兼顾二者的优点,使程序既有 C 语言较好的可读性和可移植性,又有汇编语言较高的效率。驱动程序的功能主要是实现 BU-64843 协议芯片的初始化、RAM 空间的自检、与上位机的通信、中断响应、总线数据的读取和发送。驱动程序从本质上说,就是根据上位机的命令和要求,控制接口卡的工作,实现系统的启动、停止、自检以及自检结果的返回等,在系统启动后主要实现 1553B 总线数据的接收和发送。整个驱动程序的组成如图 3 所示。

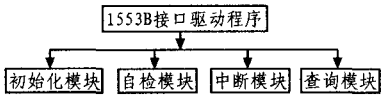

图 3 接口驱动程序结构框图

Fig. 3 Structure diagram of interface drivers program

4.1 初始化模块设计

在驱动程序编制中,初始化模块是非常重要的一部分,作为整个程序的入口,初始化模块完成整个接口卡的初始配制,该模块主要功能为:

1) 完成对 F2812 初始化,设置其相关寄存器,主要是设置有关中断和串口的寄存器,包括中断标志寄存器(IFR)、中断使能寄存器(IER)、中断控制寄存器(ICR)、SCI 通信控制寄存器(SCICCR)、SCI 控制寄存器 1(SCICTL1)、波特率设置寄存器(SCIBAUD)等,以确定中断源和串口的波特率、停止位等。其具体操作为:①使 IFR = 0x0000,IER = 0x0000,关闭所有的中断;②使 IER = 0x0101,开启中断 SCITXRXINT 和中断 XINT1;③使 ICR=0x001F,将中断模式设置为下降沿触发中断 XINT1;④使 SCICCR = 0x0007;设置发送和接收中使用 1 bit 停止位,8 bit 字符长度;⑤使 SCICTL1 = 0x0003;使能发送器 TX、接收器 RX;⑥使 SCIBAUD=0x01E7,系统时钟 SYSCLK 的频率为 150 MHz,低速外设时钟频率 LSPCLOCK 为 37.5 MHz 时,异步串行口数据传送波特率为 9 600 b/s。BRR 的数值可由下面的公式得到:

$$异步波特率=\frac{LSPCLOCK}{(SCIBAUD+1)\times 8}; \quad (1)$$

⑦SCICTL1 = 0x0023,使 SCI 退出复位。

2) 完成对 BU-64843 协议芯片内部寄存器(主要包括开始/复位寄存器、配置寄存器 1、配置寄存器 2、配置寄存器 3、中断屏蔽寄存器)的初始化设置,使其能够正确实现 BC 模式的功能。BU-64843 对片内功能寄存器的设置顺序有严格要求,如果顺序不正确将会引起芯片初始化失败。BU-64843 工作在 BC 模式下的有关寄存器的配置顺序如下:①将开始/复位寄存器配置为 0x0001,即可对 BU-64843 进行软件复位;②如果用到 BU-64843 增强模式,将配置寄存器 3 配置为 0x8000;③将中断屏蔽寄存器设置为 0x0001,使消息完成中断使能;④将配置寄存器 1 设置为 BC 模式;⑤将配置寄存器 2 设置为 0x0008,使中断方式为低电平中断;⑥将开始/复位寄存器配置为 0x0002,启动 BC 传输模式。

通过对以上寄存器的配置,即可完成 BC 模式的操作。其初始化流程图如图 4 所示。

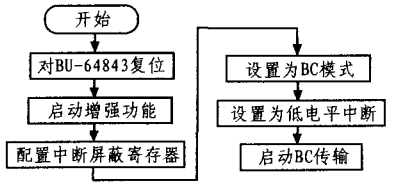

图 4 BU-64843 初始化流程图

Fig. 4 Flow chart of BU-64843 initialization

4.2 自检模块

自检模块主要完成对 BU-64843 的 4 kB RAM 空间的检查,看是否出现错误。实现方法是向该内存空间写入连续的数据,然后读出来比较看是否相等,若不相等则表示有错,记

录下所有的错误数并把这个错误数通过串行口发送给上位机。

4.3 中断模块

驱动程序的中断模块分为2部分:1)用于接收1553B总线到来的数据,响应1553B总线数据的中断,利用F2812的XINT1,XINT1采用脉冲下降沿触发中断方式;2)用于接收上位机向DSP发送的命令,接收上位机的命令是通过F2812的串行通信接口(SCI)来进行的,利用F2812的SCITXRXINT中断。在XINT1中断服务子程序中设置"读总线数据标志",在异步串口中断服务子程序中设置"读串口数据命令标志"。在查询模块中,可以通过查询这两个标志,来判断是否有总线数据到来以及是否有上位机的命令到来。

4.4 查询模块

在查询模块中,当"读总线数据标志位"有效时,F2812就从BU-64843的命令堆栈相应地址处开始依次读4个地址单元的内容,分别为数据块状态字、时间标志字、数据块指针和接收到的命令字,根据命令字和数据块指针到数据堆栈读取总线数据,然后将接收到的总线上的数据转发出去。

当"读串口数据命令标志位"有效时,RX接收上位机的命令,根据不同的命令实现相应的功能。为了能够保证与上位机实现可靠的握手,在查询程序中设置了一个数据缓冲区,在查询程序中对缓冲区中的数据进行判断,看是否收到一帧完整的命令。若收到一帧完整的命令,则根据不同的命令设置系统的启动、停止、自检等相应标志,并将缓冲区中的数据依次向前移动一帧,数据指针也向前移动一帧[7]。

5 结　论

本文对1553B总线协议及其接口芯片BU-64843的功能、配置进行详细说明,并介绍了定点DSP TMS320F2812的基本性能和特点。在此基础上实现了基于F2812和BU-64843的1553B总线接口的硬件电路和软件的设计。BU-64843作为全3.3 V供电的1553B总线终端之一,方便与DSP芯片F2812连接。BU-64843芯片功能强大,同时设置也很复杂,因此,对接口芯片的掌握,不但要从硬件接口上入手,还要熟悉其内部寄存器的相关配置。基于DSP的1553B总线接口设计方案有效解决了通讯实时性要求高的问题,对地面电子检测系统的应用具有参考价值。

参考文献:

[1] 吴勇,朱建民,朱培申,等.航电综合化系统总线接口板研究设计[J].火力与指挥控制,2001,26(3):27-31.
WU Yong,ZHU Jian-min,ZHU Pei-shen,et al.Design of bus interface board to the integrated avionics system [J] .Fire Control & Command Control,2001,26(3):27-31.

[2] 林强,熊华钢,张其善.DSP在1553总线接口技术中的应用[J].微计算机应用,2004,25(3):339-342.
LIN Qiang,XIONG Hua-gang,ZHANG Qi-shan.Application of DSP in the design of 1553 interface[J]. Microcomputer Applications,2004,25(3):339-342.

[3] DDC Corporation.MIL-STD-1553 designer's guide[Z].6th Ed. 2003.

[4] 苏奎峰,吕强,常天庆,等.TMS320X281x DSP原理及C程序开发[M].北京:北京航空航天大学出版社,2009.

[5] DDC Corporation.ACE/Mini-ACE series BC/RT/MT advanced communication engine integrated 1553 terminal user's guide [Z].2005.

[6] 郑先成,张国俊,张晓斌.基于TMS320F2812和DSP_BIOS的1553B总线接口设计[J].测控技术,2008,27(7):53-54.
ZHENG Xian-cheng,ZHANG Guo-jun,ZHANG Xiao-bin. Design of 1553B bus interface based on TMS320F2812 and DSP /BIOS[J]. Measurement & Control Technology,2008,27 (7):53-54.

[7] 史国庆,高晓光,吴勇,等.基于DSP的1553B总线接口卡设计与实现[J].计算机测量与控制,2005,13 (12):1392-1394.
SHI Guo-qing, GAO Xiao-guang, WU Yong, et al.Design and realization of 1553B bus interface board based on DSP [J].Computer Measurement & Control,2005,13 (12):1392-1394.

征　稿　启　事

《**电子设计工程**》(月刊)以其创新性、实用性、前瞻性,全面提升自身的学术水平和国际化程度。主要栏目为:测控与仪器仪表;网络与通信工程;图像分析与多媒体;数字信号处理;嵌入式系统;计算机应用;工业自动化;传感器技术;电源技术应用;信息安全;电力控制;汽车电子;集成电路;移动商务技术;消费电子;新特器件应用等。《电子设计工程》质优、实用、时效性强。敬请广大业界人士积极关注,踊跃投稿!

投稿信箱:editor@ieechina.com

在线投稿:http://mag.ieechina.com　　《**电子设计工程**》杂志社