基于 DSP/BIOS 的 FIR 数字滤波器设计与实现

张 凯[1], 皮之军[1], 张树团[1], 李 静[2]
(1. 海军航空工程学院 山东 烟台 264001; 2.山东商务职业学院 山东 烟台 264000)

摘要:用可编程 DSP 器件实现数字滤波,通过修改滤波器参数可方便地改变滤波器的特性。以 TMS320F2812 数字信号处理器为核心,将滤波器算法作为 DSP/BIOS 的任务来实现,可方便地实现多任务系统。详细介绍一种基于 DSP/BIOS 的软件开发过程,并在 DSK2812 平台上实现数字滤波器的开发实例,对需进行数字信号处理的多任务软件开发具有一定的参考价值。

关 键 词: TMS320F2812; BIOS; FIR 数字滤波器;
中图分类号: TN911 **文献标识码:** A **文件编号:**1674-6236(2009)10-0042-02

Design and implementation of FIR digital filter based on DSP/BIOS

ZHANG Kai[1], PI Zhi-jun[1], ZHANG Shu-tuan[1], LI Jing[2]
(1. *Naval Aeronautical and Astronautical University*, *Yantai* 264001, *China*;
2.*Shandong Business Institute*, *Yantai* 264000, *China*)

Abstract: Through the programmable DSP chip realizes digital filter.The features of filter can be convenient changed through modifying its parameters.In this paper,the system uses TMS320F2812 as the core,the realization of filter algorithm is treated as a task of DSP/BIOS,the multitask syetem can be easily realized.A software development process based on DSP/BIOS is also introduced,and the example of implementing the digital FIR filter in the DSK2812 platform is given. This paper has a certain reference value to the multitask software development which needs digital signal processing.

Key words: TMS320F2812; BIOS; FIR digital filter;

1 引言

数字信号处理器(DSP)拥有强大的数字信号处理能力,与其配套的集成可视化开发环境 CCS (Coder Composer Studio)更方便了 DSP 应用程序的开发[1]。DSP/BIOS 是 CCS 的重要组成部分,它实质上是一种基于 DSP 平台的规模可控的实时操作系统内核。这里主要研究在 DSP 上利用 DSP/BIOS 实现 FIR 数字滤波器的方法。

2 TMS320F2812[2]及 DSP/BIOS 内核介绍

TMS320F2812 是基于 TMS320C2XXX 内核的定点数字信号处理器,具有数字信号处理及强大的事件管理和嵌入式控制功能,适于有大批量数据处理的控制系统,其性能可用于数字滤波器设计。

TMS320F2812 采用高性能的静态 CMOS 技术,时钟频率达 150 MHz;低功耗(内核电压 1.9 V,I/O 口电压 3.3 V);采用哈佛总线结构,片上集成许多片上外设,可实现更多功能。开发环境是集成开发环境 CCS,支持 C/C++/汇编嵌入式实时操作系统 DSP/BIOS,JTAG 调试接口。

DSP/BIOS 内核是一个尺寸可伸缩的实时内核,它是为实时信号处理应用而设计的, 主要包括:(1)DSP/BIOS 配置工具。该工具可用来创建和配置在应用程序中使用的 DSP/BIOS 内核对象,也可使用该工具配置存储器,线程优先权以及中断处理;(2)DSP/BIOS 实时分析工具。CCS 中的分析工具使用户可测试和分析目标 DSP 上应用程序的运行,包括监测 CPU 负荷、日志、线程执行情况等;(3)DSP/BIOS API 函数。用户在 PC 端采用 C、C++或汇编语言编写调用 DSP/BIOS API 函数的应用程序;(4)器件支持库。提供许多宏和函数,用来简化片上外设的配置和管理。

3 数字滤波器分析

数字滤波器[3-4]根据冲激响应持续时间可分为有限冲激响应滤波器(FIR)和无限冲激响应滤波器(IIR)。其中 FIR 滤波器能够保证严格的线性相位特性,且不存在稳定性问题[5-6]。窗函数法和频率采样法等是设计 FIR 数字滤波器的常用方法。窗函数法在时域中进行,其原理简单,易于实现,但存在在相同设计指标下滤波器的阶数通常会偏大的问题。频率采样法对于只有少数几个非零值采样的窄带选频滤波器较有效。这里分析如何在 DSK2812 板上利用 CCS 本身所带的操作系统实现一种通过窗函数法实现的 FIR 滤波器。FIR 滤波器的各项指标可以通过现有的表查找,其设计步骤如下:

(1)给定所要求的理想频率响应函数 $H_d(e^{j\omega})$;(2) 对理想频率响应函数进行反傅里叶变换,则得到系统单位脉冲响

收稿日期:2009-05-07 **稿件编号:**200905007
作者简介:张 凯(1974-),女,山东济宁人,硕士,讲师。研究方向:电力电子、计算机测控。

应为:$h_d(n)$=IDFTFT[$H_d(e^{jw})$];(3)根据过渡带及阻带衰减最小的要求查表,可选定窗$\omega(n)$的形状及除数 N 的大小,一般 N 的值要做几次试探才能最终确定;(4) 得到所设计的 FIR 滤波器的单位抽样响应(该响应逼近理想):$h(n)=h_d(n)\omega(n)$,$n=0,1\cdots,N-1$;(5)求 $H(e^{jw})$=DTFT[$h(n)$],检查是否满足设计要求,若不满足,则需重新按照上述步骤设计。

4 数字滤波器的实现

要实现的低通 FIR 滤波器:通带边缘频率ω_p=10 kHz,阻带边缘频率ω_s=22 kHz,阻带衰减δ_2=75 dB,采样频率f_s=50 kHz。根据对滤波器的分析可求得系统的差分方程。所求得的 $h(n)$ 在程序设计过程中可用一个数组存放。$X(n)$是 A/D 转换器采样值,让其逐项相加,再输出即可。

实现滤波器所采用的硬件平台为 DSK2812,实现流程如图 1 所示。

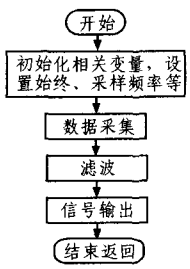

图 1 滤波器实现流程图

(1)启动 CCS,新建一个工程,命名为 FILTER。

(2)新建一个 DSP/BIOS 的配置文件,命名为 Filter.cmd,并将其加入该工程中。在配置文件中设置所用到的硬件中断,它对应 A/D 采样的硬件中断。还需设置一个软件中断,用来对 A/D 转换模块采集到的数据滤波。因为滤波器处理数据需一定时间,所以将其放到软件中断中,通过 BIOS 的任务调度实现对信号的滤波。

(3)配置系统时钟,系统有基于 PLL 的时钟模块,为器件及各种外设提供时钟信号。在 X1/XCLKIN 和 X2 两个引脚间连接一个 30 MHz 的晶体振荡器(可采用外部时钟),将输入的时钟信号直接接到 X1/XCLKIN 引脚, 而 X2 引脚悬空,这种情况下,不使用内部振荡器。然后经 PLL 倍频后,为系统提供时钟。通过 PLLCR 寄存器的值可配置 15~150 MHz 的时钟。则 TMS320F2812 得到 SYSCLKOUT,通过配置高速外设时钟 HISPCP 和慢速外设时钟 LOSPCP 控制外设, 从而实现整个系统的时钟系统控制。这里设置系统的时钟 HSPCLK 为 150 MHz。

(4) 数字滤波器通过 EVA1 模块设置采样频率。首先将该模块配置为连续增计数模式。当周期寄存器和定时器的值相等时,产生一个外设中断请求,选择其启动 A/D 转换器,则在中断标志位置位的同时将 A/D 转换启动信号送至 A/D 转换模块。故只需配置定时器的周期值,便可改变 A/D 转换器的采样频率。滤波器的通用定时器采用内部 CPU 时钟(HSPCLK)作为时钟源,而内部时钟源可通过时钟预定标参数寄存器设置。这里设置的内部高速外设时钟为系统时钟。

(5)A/D 转换模块的配置。A/D 转换模块的 A/D 转换器有 16 个通道,可配置为 2 个独立的 8 通道模块,分别服务于事件管理器 A 和 B。两个独立的 8 通道模块也可级联构成一个 16 通道模块。尽管在模数转换模块中有多个输入通道和两个排序器,但仅有一个转换器。将其配置为两个独立 8 通道模块,让 EVA 事件管理器 A 触发 A/D 转换器、信号从 ADINA0 引脚输入,从 ADCRESULT0 结果寄存器中读取转换结果。

(6)处理采集到的数据,即是对采集的信号进行滤波。首先根据信号通过滤波器设计过程进行运算,得到系统差分方程的系数,用一个数组存放该系数,以方便计算。主程序的数据采集即硬件中断所要完成的工作。

为验证所设计滤波器的滤波效果,将其应用于某电路实验的实测信号滤波,滤波前后波形如图 2 所示。由图 2 可看出,滤波效果较好。

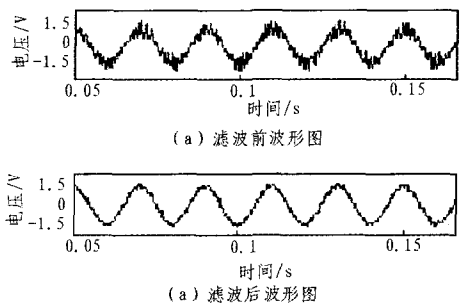

图 2 滤波实验波形图

5 结论

所设计的滤波器滤波效果理想, 达到了设计要求。在 DSP/BIOS 多任务的调度下,不但可在滤波算法的基础上添加新任务,实现多任务系统,而且还能较好地满足需进行滤波处理的系统开发。

参考文献:

[1] 彭启琮,管 庆.DSP 集成开发环境[M].北京:电子工业出版社, 2004.

[2] 徐科军,张 瀚,陈智渊.TMS320XF281x DSP 原理与应用[M].北京:北京航空航天大学出版社,2006.

[3] 程佩青.数字信号处理教程[M].北京:清华大学出版社,2002.

[4] 胡广书.数字信号处理—理论算法与实现[M].北京:清华大学出版社,1998.

[5] 田新广,高立志,孙春来,等.基于窗函数法的非选频型 FIR 数字滤波器优化设计[J].数据采集与处理,2008,23(2):228-232.

[6]李泉溪,黄全振,陈素霞.基于 DSP 的 FIR 数字滤波器的实现[J].河南科学,2008,26(2):190-193.