维普资讯 http://www.cqvip.com

文章编号:1008-0570(2007)05-2-0187-02

基于 CPLD 的 TMS320F2812 硬件平台设计

The Design of TMS320F2812 Hardware Platform Based On CPLD

(河北工业大学)马 军 张彦敏 黄华伟 李志军
MA JUN ZHANG YANMIN HUANG HUAWEI LI ZHIJUN

摘要:本文介绍了32位定点数字信号处理器芯片TMS320F2812的主要特点,以及TMS320F2812的相关外部芯片扩展情况,并着重探讨了CPLD在TMS320F2812硬件开发中的应用,设计了一种CPLD+DSP的硬件平台,此设计将DSP较强的数据运算能力与CPLD的高集成性、硬件可重复编程性结合在一起,使系统的设计过程更加的合理、紧凑和简化。

关键词:TMS320F2812;CPLD;硬件结构
中图分类号:TP332 **文献标识码**:A

Abstract: This paper introduced a 32 bit fixed-point digital signal processor chip (TMS320F2812) and investigated the outer extended chips related to TMS320F2812 . It focused on the discussion of the CPLD applied on the development of TMS320F2812 hardware and designed a hardware platform of CPLD+DSP. This design makes the high number operation capability of DSP and the high integration quality, hardware reprogrammed quality of CPLD hang together, and these make the design course more reasonable, compact and simple.

Key words:TMS320F2812,CPLD,hardware structure

1 引言

TMS320F2812是美国德州仪器公司(T I 公司)推出的C2000家族中最新一代产品。先进的内部和外设结构使得该处理器主要用于大存储设备管理、高性能的控制场合。在F2812构成的应用系统中,需要设计一些逻辑控制电路来保证系统正常有序地工作。这里,我们采用CPLD来设计外围电路的译码及逻辑控制,使DSP系统达到小型化、集成化和高可靠性。

2 CPLD在TMS320F2812系统中的应用

2.1 TMS320F2812介绍

TMS320F2812数字信号处理器是在F24X的基础上开发的高性能定点芯片。能够运行24x开发的代码程序,并且F2812采用32bit操作大大提高了处理能力。它的主要特点如下:

* 采用高性能的静态CMOS技术,主频可以工作在150 MHZ(时钟周期可达6.67ns);
* 高性能的32位中央处理器,可以进行16位X16位以及32位X32位的乘且累加操作;
* 片内大容量存储器,128 K × 16 bits的Flash和18 K × 16 bits的数据/程序存储器;
* 高速外设接口,最多可扩展1.5 M × 16 bit存储器;
* 3个32-bit CPU定时器,其中CPU定时器1和CPU定时器2被保留用作实时操作系统OS。CPU定时器0可供用户使用,作为独立的,全局性的定时中断控制;
* 具有12-bit的ADC流水线变换时间最小60 ns,单变换200 ns;可选择两个时间管理器触发功能;
* 改进的eCAN 2.0B接口模块;
* 多种串行通信接口(2个UART、1个SPI及1个MCBSP);
* 高性能低功耗,采用1.8V内核电压和3.3V外围接口电压;

2.2 硬件结构介绍

我们采用Alter公司的EPM7064S芯片来完成内部逻辑管理及与总线接口工作。该芯片采用快闪存储技术(FastFLASH),功耗较低。宏单元数达到64个,完全满足设计的逻辑要求。引脚到引脚的延时为4ns,计数器频率可达151MHZ。其输出电压为3.3V或5V,可以通过设置VCCIO引脚来选择不同的输出电压。I/O引脚可接受5V、3.3V和2.5V的混合电压输入,在多电源混合系统中,这一特性非常有用,可以节省大量的电平转换器。

TMS320F2812应用系统需要外扩一些必要的电路,包括支持内部程序运行的RAM和EEROM,以及D/A转换电路等,其系统结构框图如图1所示:

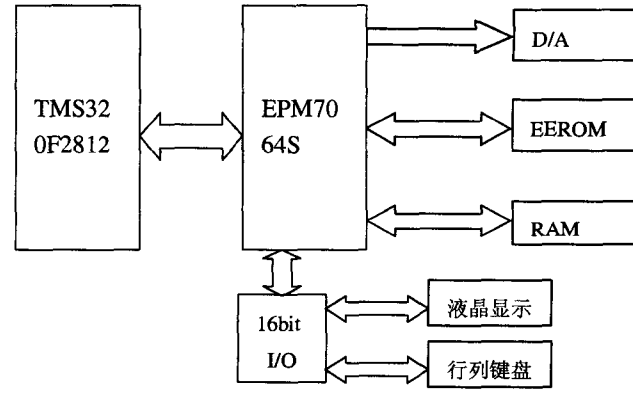

图1

2.2.1 数模转换器的应用

在TMS320F2812中,片外扩展是通过TMS320F2812中的外设接口XINTF来实现的。它类似于C240X的外部接口,但也做了改进:

(1) 在C240X中,程序存储空间、数据存储空间和I/O空间

马 军:工程师

维普资讯 http://www.cqvip.com

映射在相同的地址(0000~FFFF),对它们的访问通过控制线($\overline{DS}$,$\overline{PS}$,$\overline{IS}$)来区分;而在 F2812 中,外部存储器接口分成了 5 个固定的存储映像区域,可寻址 1MB 的片外存储器空间,具有独立的地址,没有了控制线($\overline{DS}$,$\overline{PS}$,$\overline{IS}$)。

(2) 每个 F2812 的 XINTF 区都有一个片选信号。其中,有的区域的片选信号在内部是"与"在一起的,组成了一个共享的芯片选择,比如 $\overline{XZCS0}$ 和 $\overline{XZCS1}$ 共享一个片选信号,$\overline{XZCS0AND1}$,$\overline{XZCS6}$ 和 $\overline{XZCS7}$ 共享一个片选信号 $\overline{XZCS6AND7}$。在这种方式下,同一个存储器可被连到两个区或者我们可以用外部译码逻辑来区分这两个区。

(3)5 个固定的存储映像区域的每一个区还可以分别指定等待状态数,选通信号的建立时间,激活时间和保持时间。

这些特征使得接口与外部存储器及外设脱离了联系,可以灵活独立地进行外部扩展。在本次设计中,除了液晶显示模块和键盘外,所有的外扩寄存器和存储器全部映射在 XINTF ZONE 2 (0x080000~0x0FFFFF) 译码的空间内。我们使用了 DAC7625 作为数模转换芯片,该芯片为 4 通道 12 位双缓冲的 DAC 芯片,工作电压可以是 +5V 或 -5V ~ +5V 的模拟电压。输出电压是 0 ~ 3.3V 的直流电压。功能框图如图 2 所示:

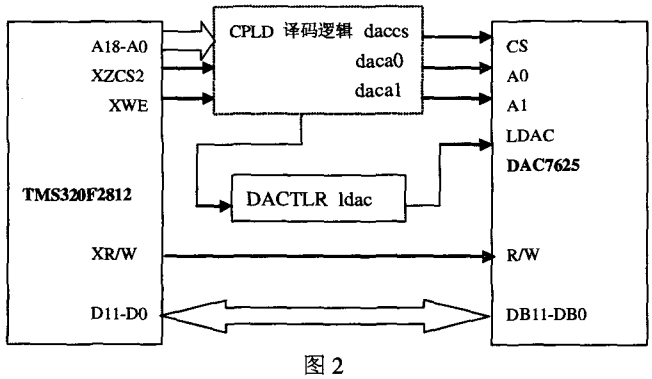

图 2

其中,DAC7625 芯片中 LDAC 引脚为载入 DAC 引脚,当为低电平时,所有寄存器为透明,保持寄存器里的数据送到转换器输出通道;A1、A0 引脚为寄存器选择引脚,CPLD 根据地址总线译码选通不同的 A1、A0 组合,从而将 1 ~ 4 通道的保持寄存器映射到 0xC0000~ 0xC0003 的地址空间。此外,我们还设计了传送寄存器(DACTLR),映射地址为 0xC0004,这个寄存器的所有数据位都无效,既不可读也不可写。对这个寄存器执行任何读或写操作都会产生一个内部信号,将 LDAC 引脚置为低电平,启动转换器工作。其中,整个译码逻辑都是由 CPLD 芯片完成。下面介绍译码逻辑的部分 VHDL 语言描述:

```
process(reset,xzcs2)
    begin
    if(reset=' 0' ) then
    daccs<=' 1' ;daca0<=' 1' daca1<=' 1' ; -- 复位状态
    -- 选通 0xC0000 ~ 0xC0003
    elsif(xzcs2='0' and a18='1' and a17=' 0'  and a16=' 0'  and
a3=' 0'  and a2=' 0' ) then
    daccs<='0';
    case  a1_a0(1downto 0) is
    when  "00"=>dac_a1_a0<="00";-- 选择 A,B,C,D 数据保持
通道
    when  "01"=>dac_a1_a0<="01";
    when  "10"=>dac_a1_a0<="10";
    when  "11"=>dac_a1_a0<="11";
    when others=>null;
    end case;
    -- 选通传送寄存器
    elsif  (xzcs2='0' and a18='1' and a3=' 0'   and a2=' 1' and
a1_a0=" 00" ) then
    daccs<='0';
    ldac<=' 0' ;
    end if;
    end if;
    end if;
    end process;
```

2.2.2 串行非易失型存储器 X25650 芯片的应用

在这里,我们外扩了 SPIOER 寄存器来控制 DSP 与 X25650 的 SPI 接口,它的作用是连通或割断 DSP 与 X25625 的连接。当需要 F2812 的 SPI 接口与 SPI515(SPI 接口型)仿真器连接,实现仿真操作时,可以通过寄存器屏蔽 SPI 对 X25650 的操作。SPI-OER 控制寄存器的地址为 0xC0002, 使用了外部总线来对其进行读写,它的使用:

7	1	0
保留	SPIOE	

SPIOE位:当 SPIOE 位为"1"时,DSP 与 X25650 各引脚接通;当为"0"时各个引脚断开,此时,DSP 上的 SPI 引脚为高阻态,可以连接其他设备。上电复位时为"1"。该寄存器由 CPLD 内部编程构成。

在 F2812 中,SPI 模块支持 125 种不同的波特率,通过向波特率寄存器(SPIBRR)写入设定值,可以与不同速率要求的外设通信。其波特率设定如下:

当 SPIBRR=3-127 时, SPI 波特率 =LSPCLK/(SPIBRR+1)。当 SPIBRR=0,1,2 时, SPI 波特率 =LSPCLK/4

在这里:LSPCLK= 设备的低速外围时钟频率。SPIBRR= 主 SPI 设备中 SPIBRR 的内容。

这里,通过配置低速外设时钟预定标器寄存器(LOSPCP)和 SPI 波特率寄存器 (SPIBRR) 中的内容,使 DSP 的波特率达到 5MHZ,满足 X25650 的要求。

2.2.3 字符型液晶显示器的应用

本系统将字符型液晶显示器 MDL (S)16263 作为 DSP 的一个慢速显示设备,映射在 XZCS6 区域。该模块共有 11 条信号线,RS 是寄存器选择,低电平选择指令寄存器,高电平选择数据寄存器。R/W 是读写控制端,低电平写显示模块,高电平读显示模块。E 为允许输入信号线(数据读写操作允许信号),高电平有效。DB0~DB7 为数据线。

但是相比较 DSP 而言,LCD 是慢速设备,在设计器件时要考虑时序匹配问题,加入合适的等待状态。该液晶模块读写周期 Tcyc 最小为 1000ns,脉冲宽度 Pw 最小为 450ns,读写操作数据保持时间最小为 10ns,而 F2812 的 XINTF 外设接口的读写访问默认情况下为最大值,为 26 个 XTIMCLK 周期(XTIMCLK 默认为 SYSCLK/2,13ns.),也就是说最大读写周期为 346ns,其中读或写访问的建立阶段默认为 6 个 XTIMCLK 周期、激活阶段默认为 14 个 XTIMCLK 周期、跟踪阶段默认为 6 个 XTIMCLK 周期。因此,读写周期需要加入等待状态。 (下转第 176 页)

维普资讯 http://www.cqvip.com

对于McBSP接口来说,接收来自可编程逻辑器件的数据信号，发送数据给可编程逻辑器件，所需的CLKX、CLKR、FSX、FSR控制信号均由可编程逻辑器件给出,因此不必对McBSP接口内部采样率发生器进行配置。

4 混合电压系统的设计

A/D转换器为5.0V单电源供电,输出的数据位为'1'时,电平值为5.0V,而CPLD和DSP芯片的I/O电压采用的是3.3V逻辑电平。工作电压为3.3V的器件可以驱动工作电压为5.0V的器件，但是用工作电压为5.0V的器件驱动3.3V的器件会对后者将产生损害，如当5.0V的器件输出高电平时将通过3.3V的器件向它的供电电源充电,这个持续的充电电流将引起使用3.3V电源器件的损坏。通常在不同工作电压的器件之间需要插入一级缓冲器件来实现电平转换。因此,需要在A/D转换器的数据输出端加上电平转换芯片,设计时选用了74ALVC164245,它可以将5V电平转换为3.3V,也可以将3.3V转换为5V。

5 总结

本文作者创新点：由于CPLD和TMS320VC5509的McBSP接口都具有灵活的可编程性,可以在CPLD端完全地模拟McBSP接口与之通信，不必对McBSP接口内部采样率发生器进行配置。通过实际工作证明其工作可靠,效果达到设计要求。

参考文献

[1]FLEX10K, Embedded Programmable Logic Device Family. Altera Corporation. March,2001

[2]TMS320VC5509, Fixed-Point Digital Signal Processor. Sep,2004

[3]TMS320VC5501/5502/5503/5507/5509/5510 DSP Multichannel Buffered Serial Port(McBSP) Reference Guide,April,2005

[4]ADS7818, 12-Bit High Speed Low Power Sampling ANALOG-TO-DIGITAL CONVERTER. Burr-Brown Corporation. May,2000

[5]何苏勤,何家艳.基于定点DSP语音录放系统的设计[J]微计算机信息,2006,9-2:148-150。

作者简介:薛延侠(1970.9),女,汉族,硕士,讲师,西安邮电学院电子与信息工程系,主要研究方向:数字信号处理,EDA技术的应用。

Biography: Xue YanXia(1970.9), female, Han nationality, master, lecturer, Department of Electronic and Information Engneering, Xi´an University of Post and Telecommunications, Major study field: digital signal processing, EDA technology and application.

(710121 陕西西安 西安邮电学院 电子与信息工程系)薛延侠

(Department of Electronic and Information Engneering,Xi´an University of Post and Telecommunications, Xi´an, 710121) Xue YanXia

通讯地址:(710065 西安 西安市雁塔区电子正街唐园小区365#信箱)薛延侠

(收稿日期:2007.3.23)(修稿日期:2007.4.25)

(上接第188页)

当对DSP的XREADY引脚采样为低电平时,激活阶段将扩展一个XTIMCLK周期,在下一个XTIMCLK周期期间,XREADY再次被采样。这一个过程一直被采样,直至XREADY采样为高,正常地完成访问。这里,我们利用CPLD芯片将DSP的XREADY信号置为低电平,保持50个XTIMCLK周期,从而产生合适的等待状态。如图3所示：

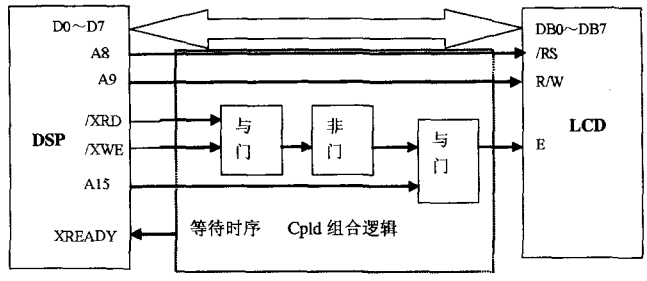

图3

3 结论

本系统的开发采用了DSP+CPLD的结构,这种结构将DSP较强的数据运算能力与CPLD的高集成性、硬件可重复编程性结合在一起,使系统的设计过程更加的合理、紧凑和简化。并且,该系统经过扩展后可以应用在工业控制的多种场合，具有一定的实际参考价值。

本文作者创新点:本文设计的硬件系统将DSP较强的数据运算能力与CPLD的高集成性、硬件可重复编程性结合在一起,使系统的设计过程更加的合理、紧凑和简化。并且,该系统经过扩展后可以应用在工业控制的多种场合,具有一定的实际参考价值。

参考文献

[1]C281x C/C++ Header Files and Peripheral Examples,Texas Instruments[Z].2003

[2]TMS320F2810, TMS320F2811, TMS320F2812 TMS320C2810, TMS320C2811,TMS320C2812 Digital Signal Processors Data Manual,Texas Instruments[Z].2003

[3]何明星,郑琼林.max7000系列可编程器件在DSP系统设计中的应用.微计算机信息.2003,(6).21-23.

[4]张雄伟,曹铁勇. DSP芯片的原理与开发应用. 电子工业出版社,2001

作者简介:马军(1969-),女(汉族),天津人,工程师,从事励磁研究工作。张彦敏(1983-),女(汉族),河北邢台人,硕士研究生,控制理论与控制工程专业。E-Mail: min9701@163.com

Biography: Ma jun(1969-), lady(the Han nationality), Tianjin, engineer, engaged in excitation study. Zhang Yan-min(1983-),lady(the Han nationality), Hebei Xingtai, graduate student, Control theory and control engineering specialty. E-Mail: min9701@163.com

(300130 天津 河北工业大学)马军 张彦敏 黄华伟 李志军

(Hebei University of Technology, Tianjin 300130)Ma Jun Zhang Yan-min Huang Hua-wei Li Zhi-jun

通讯地址:(300130 天津市 河北工业大学电工厂)马军

(收稿日期:2007.3.23)(修稿日期:2007.4.25)

微计算机信息杂志 旬刊

每册定价:10元 一年订价:360元

地址:北京海淀区皂君庙14号院鑫雅苑6号楼601室
微计算机信息杂志收 邮编:100081
电话:010-62132436 010-62192616(T/F)