[文章编号] 1003－4684(2010)05-0032-03

基于 CPLD 的 TMS320F2812 外部资源扩展

袁晓洲
(湖北职业技术学院机电系，湖北 孝感 432000)

[摘　要] 完整设计出基于 EPM1270T144C5N 型 CPLD 芯片的 TMS320F2812 外部资源扩展解决方案. 该系统以 TMS320F2812 作为主控芯片，EPM1270T144C5N 作为外部资源扩展芯片. 通过将 TMS320F2812 的 16 位地址总线及数据总线及 CS, W/R, RD, WE 信号线与 EPM1270T144C5N 上设定的相应功能端口相连以实现 TMS320F2812 与 EPM1270 之间数据的无隙访问，达到扩展 TMS320F2812 外部资源的目的.

[关键词] 复杂可编程逻辑器件；EPM1270；TMS320F2812；资源扩展
[中图分类号] TH122　　[文献标识码]: A

TMS320F2812 是 TI 公司推出的 32 位定点 DSP(Digital Signal Processing 数字信号处理器)控制器，是目前控制领域最先进的处理器之一[1]. 在控制系统开发及工程实际应用中，TMS320F2812 的强大运算及数字信号处理能力. 使其在运动控制系统开发及生产过程控制方面备受关注和重视. 不过，在面对具有多路信号处理任务、多伺服电机驱动需求以及多节点双向通信需要的控制任务时，TMS320F2812 难以顺利完成给定控制任务，其原因通常在于 TMS320F2812 提供的资源接口不够充足. 本文提出并设计了以 TMS320F2812 为主控芯片，EPM1270 为外部资源扩展芯片的控制系统解决方案以弥补 TMS320F2812 外部资源接口不足.

1　硬件组成

系统硬件组成如图 1 所示.

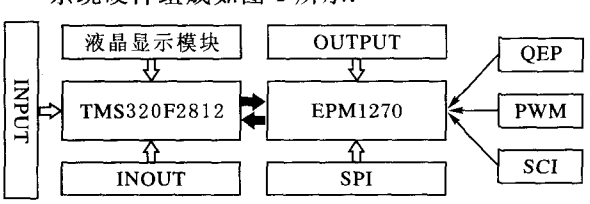

图 1　系统硬件图

主要硬件组成为：主控芯片、资源扩展芯片以及外围电路器件.

主控芯片采用 TMS320F2812，它具有极强的数字信号处理能力，同时集成了电机 PWM 驱动、数字量输入输出、A/D 转换、事件(EV)捕捉、正交编码计数、SCI、SPI 等外部资源[1].

外部资源扩展芯片选用 Altera 公司推出的 MAXII 系列的 EPM1270 型 CPLD，其包含 1 270 个 LE 相当于 40000 门数、980 个等效宏单元数、8K 用户可用 flash 比特数[2].

2　通信总线设计

TMS320F2812 外扩 EPM1270T144C5 的接线方案如图 2 所示：TMS320F2812 的 XA0～XA15 地址线与 EPM1270T144C5 的 XA0～XA15 对应，XD0～XD15 数据线与 EPM1270T144C5 的 XD0～XD15 对应. XZCS2 连到 EPM1270 的 PIN16 引脚，作为片选信号，当 TMS320F2812 内程序访问 XZCS2 数据区域时，XZCS2 将变为低电平以选中 EPM1270 并进行相应数据读写操作. XRD，XR/W，XWE 引脚分别为读取操作、读写使能、写入操作信号.

TMS320F2812 的高位地址线 XA16、XA17、XA18 暂留不用，在系统升级时可利用三八译码器增加外部资源扩展芯片，最多可达 8 块.

EPM1270T144C5 的时钟信号由 TMS320F2812 的 XCLKOUT 引脚引出，方便通过修改 TMS320F2812 内程序改变 EPM1270T144C5 工作频率.

[收稿日期] 2010－04－22
[作者简介] 袁晓洲(1964－)，男，湖北汉川人，湖北职业技术学院副教授，工程硕士，研究方向为机械设计与产品开发

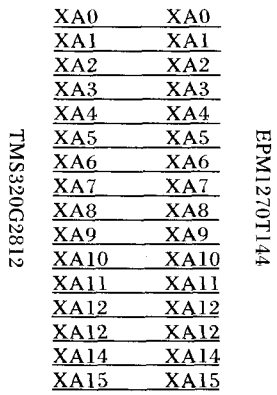

图 2　接线方案

TMS320F2812 通过 16 数据总线及 16 地址总线读取 TMS320F2812 控制指令，执行指令操作并返回相应寄存器值，实现 2812 外部资源的扩展. 其总线操作实现过程如下：

```
//EPM1270 数据总线操作模块
always @ (negedge CLK)
begin
if(~RD)
begin
case(ADDR)//总线数据读取模块
16'b0000_0001_0000_0010 : DATA_REG
<= QEP1_COUNT;//读取 QEP1 的计数值
default
begin end
endcase
end
else if(~WE)
begin
case(ADDR)//总线数据写入模块
16'b0000_0011_0000_0010 : OUTPUT1_BUFF <= DATA[0];//
OUTPUT1 端口写入待发送数据
16'b0000_0100_0000_0010: begin DIN_1
<= DATA[7:0];WREN_1 <=0;PulseFlag=1; end
//SCI_1 写入待发送数据
default begin end
endcase
end end end
assign RESET = ( (~CS) && (~WE) && (ADDR == 16'
b1010_1010_1010_1010) ) ? 1'b0: 1'b1;
//RESET to CPLD 复位代码为 AAAA
assign DATA = ( RW && (~CS)) ? DATA_REG : 16'bZZZZ_
ZZZZ_ZZZZ_ZZZZ; //Data Bus to DSP
```

通信过程除 16 位地址总线以及 16 位数据总线之外还用到以下几条控制线：CS，R/W，RD，WE. 其中：CS 为 EPM1270 片选信号；R/W 为读写使能信号；RD 为芯片读数据操作信号；WE 为芯片写数据操作信号.

3　CPLD 外部资源编写

CPLD(Complex Programmable Logic Device，复杂可编程逻辑器件)是从 PAL 和 GAL 器件发展出来的器件，相对而言规模大、结构复杂，属于大规模集成电路范围. 是一种用户根据各自需要而自行构造逻辑功能的数字集成电路. 其基本设计方法是借助集成开发软件平台，用原理图、硬件描述语言等方法，生成相应的目标文件，通过下载电缆(“在系统”编程)将代码传送到目标芯片中，实现设计的数字系统[3]. 利用 CPLD 的可编程逻辑特性可编写出较为复杂的传统芯片功能，实现 TMS320F2812 所需外部资源，如：输入端口、输出端口、PWM 模块、SCI 通信模块、SPI 通信模块、QEP(正交编码脉冲)计数模块、AD 采样. 以下分别为 OUTPUT(数字量输出端口)、INPUT(数字量输入端口)、PWM(脉冲宽度调制)实现：

```
//OUTPUT
always @ (negedge clk or negedge reset or negedge io_output_reset)
begin if(~reset||~io_output_reset)
begin
output_port <= 0;
end
else begin
output_port <= output_buff;
endend
```

OUTPUT 模块实现具体过程是通过在每个输入时钟的下降沿、系统复位信号下降沿或该模块专用复位信号的下降沿检测相应信号线(reset、io_outpu、t_reset)电平，判别当前事件触发的信号源并作出复位或者将寄存器 output_buff 的电平信号更新至 output_port 引脚.

```
//INPUT
module io_expand_input(clk,input_port,input_reg);
input input_port,clk;
output reg input_reg;
always @ (negedge clk)
begin
input_reg = input_port;
end
endmodule
```

INPUT 模块具体实现方法与 OUTPUT 模块实现相比减少了复位部分，所做的工作仅是在每个时钟的下降沿将 input_port 引脚的电平信号锁存至 input_reg 寄存器.

```
//PWM
always @ (posedge clk)
beginif(counter > 1999) counter <=0;
else counter <= counter+16'b1; end
always @ (posedge clk)
begin if(counter > pwm_width)
pwm_out <= 1;
else pwm_out <= 0; end
```

PWM 的实现过程分为两部分，第一个部分是一个 2000 长度的循环计数过程，在每个时钟的上升

沿 counter 自增 1，当 counter 大于 1999 时 counter 自动重置为 0，第二部分是一个比较输出过程，在每个时钟的上升沿将 pwm_width 与 counter 进行比较，若 counter 大于 pwm_width 则 pwm_out 端口输出高电平，否则 pwm_out 端口输出低电平. 这样便实现了在一个 2000 的周期计数信号的时间范围内控制 pwm_out 端口的输出为一列占空比为 (2000-pwm_width)/2000 的标准 PWM 波.

4 外围电路设计

4.1 INPUT，OUTPUT，PWM

输入端口、输出端口及 PWM 输出模块的输入输出信号采用 SN74ALVC164245 实现 3.3V 电平与 5V 电平的双向转换，其电平转换方向由相关信号引脚电平决定.

4.2 SCI，SPI

该类模块为通信类资源，其中 SCI 由于电平(3.3 V)达不到 RS-232 标准串口电平标准而需使用 MAX3232 进行电平转换. 而 SPI 由于通常用于芯片之间的通信故无需任何外围电路.

4.3 QEP

从编码器输出的两路脉冲信号经过两次取反滤波(采用芯片为 HD74HC14P)及一次电平转换(采用芯片为 SN74ALVC164245，5V 电平转换为 3.3V)后送入 EPM1270T144C5 中进行正交编码脉冲计数.

4.4 AD

考虑到 TMS320F2812 自带的 AD 采样精度不高误差较大，本系统使用 MAXIM(美信)公司生产的 MAX192 专用 AD 芯片，其主要特点包括：1)具有八通道单端或四通道差分输入能力；2)133 kHz 采样频率，10 位采样精度，内部4.096 V电压参考；3)单+5 V 工作电压，低功耗内部采样/保持；4)四线串行接口，兼容 SPI，QSPI. 其四线信号线分别为 SCLK(时钟信号)，CS(MAX192 片选信号)，DIN(串行数据输入)，DOUT(串行数据输出)

5 结果与结论

该套系统已应用于武汉大学机器人代表队开发竞赛机器人的备赛过程中. 其强大的信号处理能力及丰富的外部资源使得机器人设计可具有更复杂精细的机械结构及更高动作自由度，可同时驱动 14 个伺服电机运转，分别控制和接收 3 个 SCI 设备，同时与 6 个支持 SPI 协议的标准外设通信，接收 8 路正交编码脉冲信号，并可采用并行方式驱动一块液晶显示屏.

因此，以 TMS320F2812 为主控芯片，EPM1270 为外部资源扩展芯片的控制系统能弥补 TMS320F2812 外部资源接口的不充足.

[参 考 文 献]

[1] TI 公司. TMS320F/C24X DSP Controllers CPU and Instruction Set ReferenceGuide [S]. Texas Instruments，2000.

[2] 文 雯，李 宏. 基于 CPLD 数字电子技术实验平台的设计与实现[J]. 宁波大学学报(理工版)，2008，21(4)：505－509.

[3] 董秀洁，杨艳，周游. FPGA/CPLD 选型与设计优化[J]. 化工自动化及仪表，2009，36(3)：60－63.

Design of TMS320F2812 Chip's External Resources Expand Based on CPLD

YUAN Xiao-zhou

(Dep. of Mechanical and Electrical Engin., Hubei Vocational Technical Colg., Xiaogan 432000, China)

Abstract: This paper conducts the research of TMS320F2812 chip's external resources expanding based on CPLD. A high speed interface board on TMS320F2812 chip based on CPLD is designed. The key of the system is TMS320F2812 Chip as master device, and CPLD Chip as device of external resources expand. It uses 16-bit address bus and data bus TMS320F2812 chip, signal lines of CS, W/R, RD, WE. The whole structure of the system and the principle are given. The result of tests shows the data transmission is easy to expand. Thus it can be widely applied.

Keywords: CPLD(Complex Programmable Logic Device); EPM1270; TMS320F2812; resources expand

[责任编校：张 众]