

●应用与设计

基于 TMS320DM642 的多路视频采集 处理板卡的硬件设计与实现

熊 炜

(武汉大学 电子信息学院 DSP 研究室, 湖北 武汉 430079)

摘要:针对构建高稳定性、高鲁棒性的多媒体数字监控系统设计并实现了一款基于 TMS320DM642 型数字信号处理器的四路实时 MPEG-4 视频采集兼压缩处理 PCI 板卡。详细介绍 TMS320DM642 的硬件架构、板卡的硬件构成和核心模块的实现,分析板卡设计中的难点及关键技术。实验结果表明,该板卡在降低视频质量的前提下能够满足对 4 路 CIF 分辨率的视频图像进行采集、实时编码和通过 PCI 接口传输的要求,为远程视频监控提供有效的硬件支持,具有广阔的市场前景。

关键词: TMS320DM642; 多路视频采集; 多路视频处理; PCI 板卡

中图分类号: TP336

文献标识码: A

文章编号: 1006-6977(2006)06-0008-05

Hardware design and implement of multi-channel video capturing and processing PCI board based on TMS320DM642

XIONG Wei

(DSP Laboratory, School of Electronic Information, Wuhan University, Wuhan 430079, China)

Abstract: Aiming at the needs of high stable and robust multimedia digital surveillance system, a four-channel real-time MPEG-4 video capturing and processing PCI board based on TMS320DM642 is designed and implemented. The hardware architecture of TMS320DM642 DSP, the hardware structure of the PCI board and implementation of core module sections are described. The difficulty and key technique during the PCB design are analyzed. Experiment simulation shows that the PCI board can fulfill the demands of four-channel video image capturing, real-time encoding and data transmission via PCI interface without decreasing of video quality. It provides the hardware support for remote surveillance system and has a comprehensive market prospect.

Key words: TMS320DM642; multi-channel video capturing; multi-channel video processing; PCI board

1 引言

视频监控系统是安全防范系统的重要组成部分,也是一种防范能力较强的综合系统。视频监控系统以其直观、方便、信息内容丰富而广泛应用于许多领域。近年来,随着计算机、网络及图像处理、传输技术的飞速发展,视频监控技术也得到长足的进步,集多媒体技术、数字图像处理和远程网络传输等最新技术为一体的多媒体数字监控系统正在逐步取代传统的模拟视频监控系统。目前,市场上专用的视频压缩电路只能实现一种压缩算法,灵活

性和可扩展性较差,基本不具备在此基础上进行二次开发的能力;各种基于 ISA、PCI 等总线的图形采集卡也能在市场上买到,但价格较贵,且处理功能简单,二次开发效率低,不能很好地满足用户的特殊需要。

为了适应多媒体通信技术的发展,美国德州仪器公司推出一款针对视频和图像解决方案的 TMS320DM642 型高性能数字媒体处理器,它是 TI 公司 C6000 系列 DSP 中最新的定点 DSP,其核心是 C6416 型高性能数字信号处理器,具有极强的处理性能、高度的灵活性和可编程性,同时外围集成了

非常完整的音频、视频和网络通信等设备及接口,特别适用于机器视觉、医学成像、网络视频监控、数字广播以及基于数字视频/图像处理的消费类电子产品等高速 DSP 应用领域。笔者针对市场客户的需求,设计并实现了一款以 TVP5150 为视频输入解码器、以 PCM1801 为音频输入采集电路、以 TMS320DM642 型 DSP 为核心处理器的多路视频采集兼压缩处理 PCI 板卡,并将其应用于构建高稳定性、高鲁棒性的多媒体数字监控系统,取得了较好的社会效益和经济效益。

2 TMS320DM642 的硬件架构

TMS320DM642 采用第二代高性能、先进的超长指令字 *velocity*TI.2 结构的 DSP 核及增强的并行机制,在 720 MHz 的时钟频率下,其处理性能为 5 760 MI/s,使得该款 DSP 成为数字媒体解决方案的首选产品。它不仅拥有高速控制器的操作灵活性,而且具有阵列处理器的数字处理能力。TMS320DM642 的外围集成了非常完整的音频、视频和网络通信接口,主要包括:

3 个可配置的视频端口 (VPORT0-2),能够与通用的视频编、解码器实现无缝连接,支持多种视频分辨率及视频标准,支持 RAW 视频输入/输出、传输流模式;

1 个 10/100 Mb/s 以太网接口 (EMAC),符合 IEEE 802.3 标准;

1 个多通道带缓冲音频串行端口 (McASP),支持 FS、DIT、S/PDIF、IEC60958-1、AES-3、CP-430 等音频格式;

2 个多通道带缓冲串行端口 (McBSP),采用 RS232 电平驱动;

1 个 VCXO 内插控制单元 (VIC),支持音/视频同步;

1 个 32 位、66 MHz、3.3 V 主/从 PCI 接口,遵循 PCI2.2 规范;

1 个用户可配置的 16/32 位主机接口 (HPI);

1 个 16 位通用输入/输出端口 (GPIO);

1 个 64 位外部存储器接口 (EMIF),能够与大多数异步存储器 (SRAM、EPROM) 及同步存储器 (SDRAM、SBSRAM、ZBT SRAM、FIFO)无缝连接,最大可寻址外部存储器空间为 1 024 MB;

1 个具有 64 路独立通道的增强型直接内存访问

控制器 (EDMA);

1 个数据管理输入/输出模块 (MDIO);

1 个 I²C 总线模块;

3 个 32 位通用定时器;

1 个符合 IEEE 1149.1 标准的 JTAG 接口及子板接口等。

有关 TMS320DM642 的详细性能介绍请参照其数据手册^[1]。

3 多路视频采集处理板卡硬件设计

基于 TMS320DM642 的多路视频采集处理板卡的主要硬件功能模块包括视频输入解码模块、音频输入采集模块、核心 DM642 型 DSP 模块、外部存储模块、PCI 总线驱动控制模块及电源管理模块等。基本工作原理是由 CCD 摄像头采集输入的模拟视频信号,经过视频解码器转换成数字视频信号,由拾音器采集输入的模拟音频信号经过音频采集电路转换成数字音频数据,送到 DM642,DM642 再将采集的音、视频数据用 MPEG-4 标准编码压缩后通过 PCI 接口传送到 PC 上位机,构成数字监控系统。本板卡的总体设计功能框图及接口信号示意图如图 1 所示,主要由 1 个 TMS320DM642GDK (DSP)、4 个 TI 公司的 TVP5150AM1 (视频解码器)、2 个 TI 公司的 PCM1801U (音频采集电路)、2 个 Hynix 公司的 HY57V283220TP-6 (SDRAM)、1 个 SN74CBT16233 DGGR (PCI 总线桥接电路)以及 AMS1085CM 和 AMS1086CD (电源管理电路)等组成。

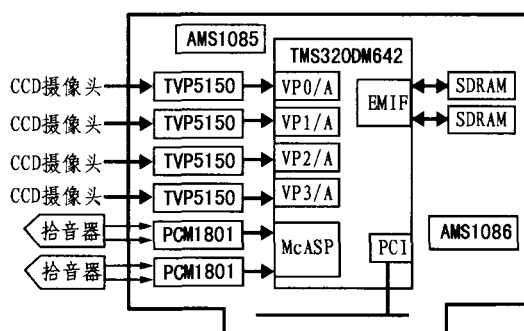


图 1 总体设计功能框图及接口信号示意图

3.1 视频输入解码模块

视频输入解码模块由 4 个 TVP5150 型视频解码器及外围电路组成,主要功能是将每一路 CCD 摄像头采集输入的标准 PAL 制电视模拟信号发送到视频解码器,完成视频图像的箝位及抗混叠滤波等

预处理、模拟数字化转换及亮度/色度、水平/垂直同步等信号的分离,实现模拟视频信号转换为数字并行信号 BT.656 码流格式。TVP5150 可将基带模拟 NTSC、PAL 及 SECAM 视频信号转换成数字分量视频信号,正常工作时的功耗仅为 115 mW,售价比同系列 TI 产品更低,并且具有业界最小尺寸的 32 引脚超薄方型扁平封装(TQFP)。TVP5150 支持 2 个复合端子或 1 个 S 端子输入,可输出 ITU-R BT.656,并支持 Macrovision 复制保护及高级 VBI 功能。

DM642 视频口 0、1 中的一部分(VP0/A、VP1/A)及视频口 2 (VP2/A、VP2/B) 分别挂接 1 个 TVP5150,视频采集的数据格式为 YUV4:2:2,分辨率为 CIF(352×288)大小。视频输入解码模块接口电路原理功能框图如图 2 所示。系统将 2 个电路的 I²C 总线接口 SCL 和 SDA 分别互连,TVP5150 的视频输出口 YOUT[0-7]和 DM642 VPOR 口的 VPOD[9-2] 相连,TVP5150 的系统时钟 SCLK 和 DM642 VPOR 口的 VPOCLK0 相连。由于采用 ITU-R BT.656 码流格式,图像的水平同步、垂直同步、场同步等同步信号已内嵌在视频数据流中,并且考虑到 DM642 每个 VPOR 口预留的 3 个用以接收同步信号的 VPOCTL[0-2]控制引脚,只能满足一路视频同步信号的要求,所以在设计过程中省略同步信号线的连接。

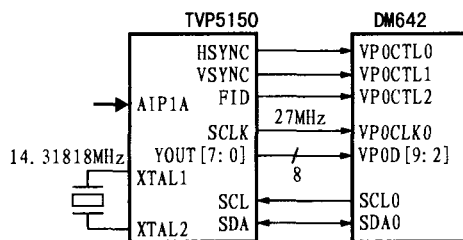


图 2 视频输入解码模块接口电路功能框图

TVP5150 虽然不支持缩放(Scaling)功能,但是可以截取屏幕的一部分再传输给 DM642 作后续的压缩处理。具体操作是在对应的寄存器中选择视频流的起始行和结束行,控制图像的纵向长度,选择单行的起始位置和结束位置并利用图像的 AVID 功能控制图像的水平宽度。

DM642 对 TVP5150 内部寄存器的访问通过 I²C 总线实现,在与 TVP5150 应答过程中需要从器件 TVP5150 的地址 0x101110X1,其中 X 代表 0 或者 1,并可以在系统上电时配置。TVP5150 在上电

时会根据 YOUT[7]上的电位高低决定 X 代表 0,还是 1。这样,TVP5150 作为从器件的地址只有 2 个:0x10111001 和 0x10111011。DM642 要与 4 个 TVP5150 通信,一路 I²C 总线是不够的,需要通过 GPIO 接口利用软件模拟 I²C 总线时序,配置另外两个 TVP5150。

采集输出的数字视频数据送入 DM642 VPOR 端口的 5 120 Bytes 大小的缓冲区。TVP5150 在本地时钟的控制下通过 EDMA 通道自动向 DM642 VPOR 端口缓冲区单元发送数据,当采集完一场数据时产生 DMA 中断,并在 DMA 中断服务程序中根据实际需要完成相应的视频处理,经过实时编码压缩后的视频数据存储到外部 SDRAM 中。硬件电路需要提供 TVP5150 所需要的 14.31818 MHz 时钟频率,DM642 可通过 I²C 总线对 TVP5150 的参数进行设置。

3.2 音频输入采集模块

音频输入采集模块由 2 个 PCM1801U 型音频采集电路及其外围电路组成,主要功能是对由拾音器采集输入的模拟音频信号进行采样,然后将其转换为 DSP 可以处理的数字音频数据格式。PCM1801U 是采用 5V 工作电压的双声道 16 位音频模/数(A/D)转换器,包括 1 个单端-差分模拟前端、1 个 5 阶 Δ - Σ 调制器(64 倍重复取样)、1 个内部高通数字均分滤波器。

DM642 视频口 0、1 中的剩余部分(VP0/B、VP1/B)配置为 McASP,与 1 个 PCM1801U 连接,实现音频的输入采集功能。用 PCM1801U 的左、右 2 个 16 位音频声道获取 4 路音频通道的数字化数据,音频采集的数据格式为每路单声道、44.1 kHz 采样率,每个采样数据用 8 位量化。采集输出的数字音频数据通过 McASP 传给 DSP 的输入缓冲区单元,当设定用于存放音频采样数据的缓存器满时产生 DMA 中断,并在 DMA 中断服务程序中根据实际设定情况处理音频数据,经过实时编码压缩后的音频数据存储到外部 SDRAM 中。DSP 通过 I²C 总线实现对音频采集电路的编程,以控制采样速率、音频源、音量等具体参数。硬件电路需要提供音频采集电路需要的工作时钟,笔者使用的时钟是 11.2896 MHz。音频输入采集模块接口电路原理功能框图如图 3 所示。

3.3 核心 DM642 DSP 模块

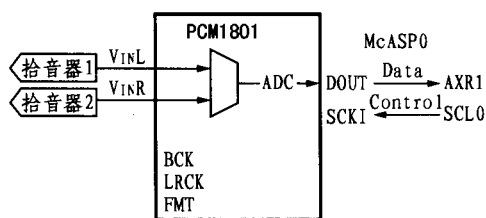


图3 音频输入采集模块接口电路原理功能框图

核心 DM642 DSP 模块由 1 个 TMS320DM642 型数字媒体处理器及其外围电路组成,主要对采集到内部输入缓存的数字音、视频数据流进行处理及压缩。视频图像信号的压缩一般属于有损压缩,同时系统又必须满足编码的实时性,所以采用定点 DSP 可较好地满足整个压缩系统对精度和速度的要求。该板卡设计采用的 DM642 是专门为图像视频领域的应用而设计的,有完备的片外接口,能够比较方便地扩展片外存储器等外设。

C64xx 系列 DSP 有大量的字节可设定的地址空间,程序代码和数据可被存储在统一标准的 32 位地址空间的任何位置。表 1 所示的内存映射显示了本板卡采用的 DM642 处理器的地址空间。在默认状态下,内部的寄存器从 0x00000000 地址空间开始存储。一部分存储器由软件重新映射为 L2 高速缓存。

DM642 的 EMIF 有 4 个独立的可设定地址的区域,称为电路使能空间(CE0-3)。本板卡合并形成了 64 位长的外部存储器端口,将地址空间分割成 4 个电路使能区,允许对地址空间进行 8 位、16 位、32 位和 64 位的同步或不同步的存取。目前,板卡使用电路使能区 CE0,并将其分配给 64 位的 SDRAM 总线。CE1-3 的电路使能区暂不使用,可以作为今后的扩展,以便分配给 8 位 Flash、UART、FPGA 和子板接口等使用。

本板卡在 CE0 空间连接了 64 位的 SDRAM 总线,与 2 个 HY57V283220TP-6 相连以构成 SDRAM。每个 HY57V283220TP-6 均为 32 位数据总

线的 SDRAM,其中,高 32 位存储在 1 个 SDRAM 中,低 32 位存储在另 1 个 SDRAM 中,从而满足 DM642 64 位数据总线的要求。32 MB 的 SDRAM 空间用来存储程序、数据和视频信息。总线由外部 PLL 驱动设备控制,运行在 133 MHz 的最佳状态。SDRAM 的刷新由 DM642 自动控制。

DM642 可配置 EMIF 时钟的原始值。本板卡的 ECLKIN 引脚选用默认值,也可通过分频 CPU 时钟控制 EMIF 的时钟频率。在初始化时通过对 E-CLKINSEL0 和 ECLKINSEL1 引脚的操作进行设置,它们与 EA19 引脚和 EA20 引脚共同分享 EMIF 的地址空间。

3.4 PCI 总线驱动控制模块

PCI 总线驱动控制模块由 1 个 SN74CBT16233 型 PCI 总线桥接电路及其外围电路组成。本模块中的信号按照功能可以分为系统信号、地址数据复用信号和接口控制信号等。系统信号包括 CLK 和 RST,为系统提供时钟和复位。对地址数据复用信号来说,在总线传输操作周期中,1 个 PCI 总线周期由 1 个地址段和紧随其后的 1 个或多个数据段组成,其中 AD[0-31]是地址数据复用总线,可为 PCI 接口电路提供地址和数据信号;复用引脚 PCBE[0-3]为 PCI 接口电路提供总线命令信号和字节允许信号。接口控制信号主要由 FRAME、TRDY、IRDY 和 DEVSEL 等信号组成,其中,FRAME 信号是总线周期构成信号,由当前总线中主设备驱动,表明 1 个总线周期的开始和延续;TRDY 是目标设备就绪信号,在写操作中,TRDY 有效表明从设备已准备好接收数据,而在读操作中,TRDY 有效则表明 AD[0-31]上已有有效数据;IRDY 表明驱动设备已准备好数据;DEVSEL 为设备选择信号,当其有效时,说明驱动它的主设备已将其地址译码作为当前操作的目标设备,该信号作为输入信号时,DEVSEL 用来表示总线上已有目标设备被选中。其他 PCI 总线所需但本系统不用的信号则可用高阻态代替。PCI 总线驱动控制模块接口电路原理功能框图如图 4 所示。

本板卡使用 DM642 型 DSP 片内集成的 1 个主/从模式的 PCI 接口与 PCI 总线相连,该接口支持 PCI 2.2 规范,通过 PCI 总线能够实现 DSP 与 PCI 主机的互连。主机可以通过 DM642 的 PCI 接口访问整个片内 RAM 及外部存储器。DSP 的 EMIF 通过 EDMA 将数据传输到 DSP 的内存中,EMIF 支持同

表 1 DM642 寄存器映射

地址	DM642	功能
0x00000000	内部存储器/高速缓存	
0x00040000	保留的空间或外设寄存器	
0x80000000	EMIF CE0	SDRAM 总线
0x90000000	EMIF CE1	
0xA0000000	EMIF CE2	
0xB0000000	EMIF CE3	

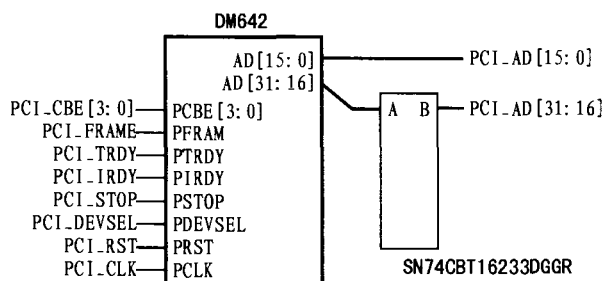


图4 PCI总线驱动控制模块

步FIFO,为了能够使PCI总线实时读出视频压缩数据流,并及时地传送给主机,本系统采用了中断机制。当FIFO满时,DSP产生一个中断信号,通知PCI接口模块启动DMA,需传输的数据经FIFO由DSP利用DMA传输方式在计算机和板卡间实现视频压缩码流的高速传输,在提供高速传输接口的同时不影响其他DMA操作。

3.5 电源管理模块

本板卡通过PCI插槽供电,选用AMS1085和AMS1086提供板卡正常工作时的稳压电源。AMS1085、AMS1086均为3端可调节稳压集成电路,AMS1085输出电流为3A、输出电压为1.5V/3.3V/5.0V,AMS1086的输出电流为1.5A、输出电压为1.5V/1.8V/3.3V/5.0V。它们比较容易使用,而且都有短路电流保护以及过热保护等防护措施,具有高精度的输出电压及工作稳定性。设计时,内部+5V输入电源被整流为+1.4V、+1.8V和+3.3V,其中,+1.4V电压提供给DSP处理器,+1.8V电压提供给TVP5150,+3.3V电压提供给DSP内的I/O和板卡上其他电路。3.3V和1.4V电源之间应连接肖特基二极管,保证给DM642内核和外部端口同时供电。

4 板卡设计的难点及关键技术

本设计方案中,处理器的主频高达720MHz,SDRAM的最高频率为133MHz,这对信号完整性及电磁兼容性都是极大的挑战。在多路视频采集处理板卡的PCB设计中突出体现以下难点:

一是时序问题,工作频率的提高和信号上升/下降时间的缩短,首先会使设计系统的时序余量缩小甚至出现时序方面的问题。

二是传输线效应导致的信号振荡、过冲和下冲都会对设计系统的故障容限、噪声容限及单调性造

成很大的威胁。

三是信号沿的时间下降到1ns后,信号之间的串扰成为很重要的问题。

四是当信号沿的时间接近0.5ns时,电源系统的稳定性和电磁干扰(EMI)也十分关键。

多路视频采集处理板卡PCB的设计策略如下所述:

(1) 高速数字电路设计

为了更快地推出更高性能的产品,电路板设计按6层板考虑,在元器件布局及布线过程中严格遵守高速电路设计原则,为确保系统功能的实现及整机性能指标达到检测标准,在PCB布线时需要特别注意串接电阻降低高速电信号反射的影响及保证同一组数据同步到达。由于信号在顶层、底层与中间层的传输阻抗和传输速率不一样,因此应尽量将接到同一器件的信号线分布在同一层上,并使导线长度相等。

(2) 电源设计

电源是系统正常工作的基础,一般来说,只要电源工作正常,都可以通过JTAG口将程序下载到DM642中,进而调试其他的模块。在设计中,应使用足够多的电源层和地层,对AVDD、DVDD、AGND、DGND分层设计,并将模拟地与数字地单点接地,这样可以避免模拟电路与数字电路相互影响。

5 结束语

笔者在引进和消化TMS320DM642的多媒体数字处理技术的基础之上,成功研发了这款多路视频采集处理板卡。本板卡结构紧凑、功能完善、性能可靠、音/视频效果优异、系统升级方便。目前,业内的主流还是基于CIF分辨率的监控记录,今后高分辨率(D1)的监控记录以及采用H.264技术的编码压缩产品的市场需求将逐渐增加,给算法优化及处理器能力的提升提出了新的课题,这将是下一步关注的重点。

参考文献:

- [1]TMS320DM642 Video/Imaging Fixed-Point Digital Signal Processor Data Manual[Z].Texas Instruments, 2004.
- [2]TMS320DM642 Evaluation Module with TVP Video Decoders Technical Reference[Z].Spectrum

●应用与设计

基于 TS101 型 DSP 链路口的多通道高精度 数据采集电路设计

李恩群, 苏涛, 赵洋浩

(西安电子科技大学 雷达信号处理国家重点实验室, 陕西 西安 710071)

摘要:介绍一种基于数字信号处理器(DSP) TS101 链路口的多通道高精度数据采集电路的设计方法,详细阐述利用多个 ADS8361 型 A/D 转换器进行数据采集,并经 TS101 链路口传输数据的 FPGA 和 DSP 设计实现,讨论如何提高 A/D 转换精度的问题。

关键词:TS101; 链路口; ADS8361; 采样精度

中图分类号: TP273

文献标识码: A

文章编号: 1006-6977(2006)06-0013-04

Circuit Design of multichannel and high-precision data sampling based on TS101 link port

LI En-qun, SU Tao, ZHAO Yang-hao

(Key Lab of Radar Signal Processing, Xidian University, Xi'an 710071, China)

Abstract:A method of circuit design of multichannel and high-precision data sampling based on TS101 link port is introduced. The successful design of FPGA and DSP is described in detail, using the A/D converter ADS8361 to sample signal and TS101 link port to collect data. The problem of how to improve the A/D accuracy is also explored.

Key words: TS101; link port; ADS8361; sampling precision

1 引言

在信号处理领域, DSP 技术的应用越来越广泛, 基于 DSP 的信号采集处理平台不断出现。常见的 DSP 信号采集处理平台利用总线进行数据采集, 总线上多个设备的数据传输经常相互冲突。ADI 公司的 Tiger SHARC101 型 DSP(简称 TS101)只有总线和链路口可以与外设通信, 基于缓解总线冲突的目的

的, 笔者设计了一种以现场可编程门阵列(FPGA)作为数据接口缓冲器, 避开总线, 经 TS101 的链路口将多个 A/D 转换器采集到的数据传送到 TS101。由 FPGA 完成多个多路 A/D 转换器采集数据的缓冲排序, 并形成符合 TS101 链路口传输协议的数据流, 送到 TS101 的链路口。该设计实现了链路口与其他非链路口外部设备的通信, 减少了 TS101 总线上的数据传输量, 缓解了总线竞争的问题。

Digital, Inc., 2004.

Advanced Monolithic Systems, Inc..

[3] TVP5150APBS Ultralow Power NTSC/PAL / SE-CAM Video Decoder with Robust Sync Detector Data Manual[Z]. Texas Instruments, 2003.

[6] AMS1086: 1.5A Low Dropout Voltage Regulator

[4] PCM1801: Single-Ended Analog-Input 16-Bit Stereo, Audio ADC (Rev. B)[Z]. Texas Instruments, 2004.

[Z]. Advanced Monolithic Systems, Inc..

作者简介:熊炜(1976-), 男, 湖北宜昌人, 武汉大学博士研究生, 主要研究方向为嵌入式 DSP、多媒体数字信号处理、3S 与通信系统集成。

[5] AMS1085: 3A Low Dropout Voltage Regulator[Z],

收稿日期: 2005-11-22

咨询编号: 060602