

●应用与设计

基于 DSP 的多路音/视频采集处理系统设计

王建平, 季学锋, 穆道明

(合肥工业大学 电气与自动化工程学院, 安徽 合肥 230009)

摘要:采用 TI 公司的 TMS320DM642 型数字媒体数字信号处理器(DSP)设计多路音/视频采集处理系统, 实现实时处理 4 路模拟视频和音频输入、1 路模拟/数字视频和 1 路模拟音频信号输出的功能, 该系统可适应 PAL/NTSC 标准复合视频 CVBS 或分量视频 Y/C 格式的模拟信号和标准麦克风或立体声音频模拟输入, 具有 PAL/NTSC 标准 S 端子或数字 RGB 模拟/数字信号输出和标准立体声音频模拟输出。并给出软/硬件设计原理和电路。

关键词: TMS320DM642; 图像采集处理; PAL/NTSC 制式; 数字信号处理器

中图分类号: TN941.2

文献标识码: A

文章编号: 1006-6977(2006)06-0027-04

A multi-video and audio gathering and processing system based on DSP

WANG Jian-ping, JI Xue-feng, MU Dao-ming

(School of Electric and Automation Engineering, Hefei University of Technology, Hefei 230009, China)

Abstract:The multi-video and audio processing system with digital signal processor TMS320DM642 which produced by TI company is designed, disposing 4-channel video and 4-channel audio analog input signals, one channel video analog or digital output signal and one channel audio analog output signal. This system can processing analog input signal with PAL/NTSC standard, composite video CVBS and video component Y/C format, it can process analog or digital output signal with PAL/NTSC standard, S-video and digital RGB, it also can process microphone or stereo analog input and stereo analog output. In this paper, the design principle of software and hardware and circuit are given.

Key words: TMS320DM642; image gathering and processing; PAL/NTSC format; DSP

1 引言

当前,在数字图像处理中,由于数据量大、算法难度高,因此实时性成为技术难点之一。如果采用专用电路实现,虽然实时性得到保证,但系统的灵活度大大降低。因此,寻求一种高速通用数字信号处理系统成为当务之急。

TI 公司推出的 TMS320DM642 (以下简称 DM642) 型数字信号处理器可实时处理 4 路模拟视频和音频输入、1 路模拟/数字视频和 1 路模拟音频信号输出, 适应 PAL/NTSC 标准复合视频 CVBS 或分量视频 Y/C 格式的模拟信号输入, 可适应 PAL/NTSC 标准 S 端子或数字 RGB 模拟/数字信号输出,

可适应标准麦克风或立体声音频模拟输入及标准立体声音频模拟输出, 具有对多路采集数据进行实时处理和分析的功能, 可实现数据和图像叠加显示。

2 DM642 简介

DM642 型数字信号处理器可采用 500 MHz 或 600 MHz 的工作频率, 每秒最多可完成 4.8 G 次操作, 具备在线编程功能, 带有的丰富外围接口可以与多种存储器相连, 可以直接与网络连接, 是高速图像处理的优选器件。

DM642 的 CPU 采用第二代 VelociTI.2 内核结构, 含有双数据通路、8 个运算单元, 每周期可执行

8条 32-bit 指令,支持 4 个 16-bit 和 8 个 8-bit 连乘加 MAC 指令,有 64 个寄存器,取数/存数的数据通道为 64-bit。

DM642 采用带 2 级存储器的完全存储器分层体系结构,2 级存储器中的 Cache 控制器可以自动完成分层存储器体系结构的管理和调度,外部存储器访问和片上外设的访问通过 EDMA 完成。

DM642 有 3 个视频输入输出和多路音频信号的输入输出串口。外部存储器接口 EMIF 提供了 64-bit 宽度的外总线数据接口,支持与各种器件的无胶合接口。DM642 还具有主机并行接口、外围设备互联口、多通道缓存串口和通用 I/O 端口。

3 系统功能与硬件电路设计

3.1 系统总体结构

系统总体结构如图 1 所示,图像采集和预处理单元主要完成图像信号的输入,具有多路信号复用功能,对输入的模拟视频信号进行数字化及格式的转变。FPGA 控制系统的逻辑和图像数据的流向,并且可对 DM642 输出的图像数据进行加工,进而输出到图像编码单元。图像处理单元采用 DM642 进行高速数据处理和分析。图像编码单元对图像数据进行编码,形成标准的模拟视频信号,可以直接输出到显示设备上。

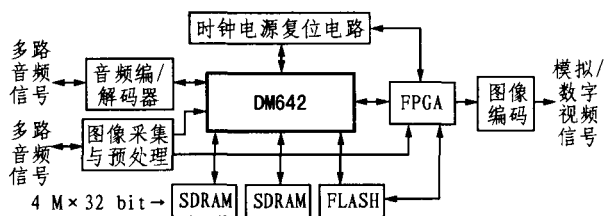


图 1 系统总体结构框图

对于 4 路视频和 4 路音频信号,CPU 在 1 个时刻只能处理 1 路数据,DM642 片外位于 EMIF 的 CEO 地址空间扩展了 2 个 4 Mx32 bit 的 SDRAM,可分别存放图像采集数据和图像处理数据,以提高数据采集和存储速度。

3.2 视频口接口设计

DM642 有 3 个视频口,每个都可以配置为上下 2 个通道,但 2 个通道必须同时为视频输入或输出口。结合实际应用,DM642 带了 4 路模拟视频输入(cif 格式,分辨率为 352x288)和 1 路模拟视频输出。

VP0 A 通道配置为 8-bit BT.656 视频输入或输出口,接第一通道视频输入或视频输出。VP1 A 通道配置为 8-bit BT.656 视频输入口,接第二通道视频输入。VP2 A 和 B 通道配置为 2 个 8-bit BT.656 视频输入口,接第三和第四通道视频输入。VP0 和 VP1 的 B 通道配置为 McASP,接 4 个音频 Codec。

TVP5150 型视频编码器支持 PAL/NTSC、CVBS 或 Y/C 模拟视频输入,8-bit BT.656 数字视频数据流输出。SAA7105 型视频解码器支持 8-bit BT.656 数字视频数据流输入,PAL/NTSC CVBS 或 Y/C 模拟视频输出。通过 DM642 的 I²C 总线对视频编/解码器的内部寄存器进行编程,实现不同的输入输出。DM642 和 TVP5150 的对应引脚功能见表 1。

表 1 DM642 和 TVP5150 引脚功能

DM642	TVP5150	功 能
引脚(x=0,1,2)	对应引脚	
VPxD[9:2]	YOUT[7:0]	数字视频数据流数据总线
VPxCLK0	SCLK	输入时钟
VPxCTL0;CAPEN	GPCL	视频采集使能
VP2D[19:12]	YOUT[7:0]	数字视频数据流数据总线

视频编解码器的参数通过 I²C 总线配置,由于 TVP5150 的 I²C 从地址只有 2 种选择,因此需要用 CBT3257 型 2 选 1 转换开关来切换。

作为视频输入口时,视频数据的行/场同步又包含 BT.656 数字视频数据流中的 EAV 和 SAV 时基信号控制,视频口只需视频采样时钟和采样使能信号(控制采样起始),TVP5150 用系统时钟 SCLK 提供采样时钟,用可编程引脚 GPCL 提供采样使能。作为视频输出口时,视频口要为 SAA7105 提供时钟和行/场同步信号。

在视频输出电路中,J1、J2、J3 可配置成 RGB 输出信号,J2、J3 可连接 S 端子,J1、J2、J3、J4、J5 可直接输出到电脑的显示器上。具体接口电路如图 2 和图 3 所示。DM642 与 SAA7105 的对应引脚功能见表 2 所列。

3.3 多通道音频串口的接口设计

笔者采用了 4 路模拟音频输入和 1 路模拟音频输出,采用 TLV320AIC23B 型音频编/解码器,它支持麦克风/立体声模拟输入/输出和数字音频数据流输出/输入。

PLL1708 型可编程视频/音频同步数字锁相环

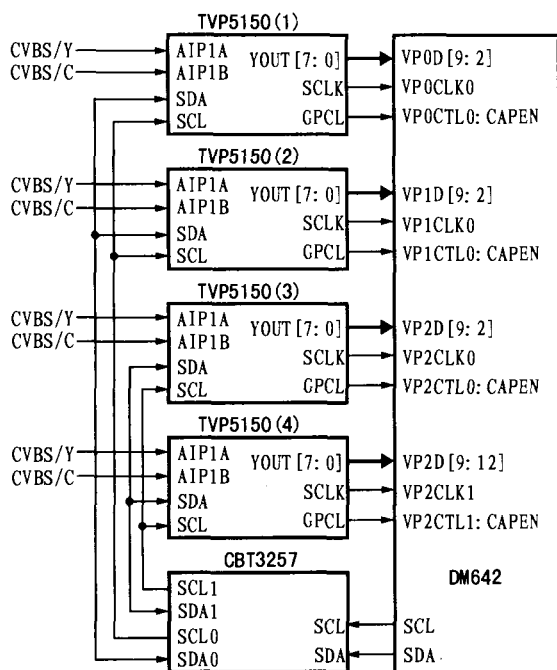


图 2 DM642 的视频接口输入电路

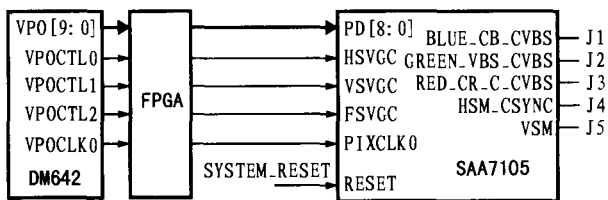


图 3 DM642 的视频接口输出电路

表 2 DM642 和 SAA7105 引脚功能

DM642 引脚	SAA7105 对应引脚	功能
VPOD[9:2]	PD[8:0]	视频数据流数据总线
VPOCTL0	HSVGC	行同步
VPOCTL1	VSVGC	帧同步
VPOCTL2	FSVGC	场同步
VPOCLK0	PIXCLK0	时钟信号

给 McASP 和 TLV320AIC23B 提供时钟信号, SCK02 端口接 McASP 的 AHCLKX, SCK03 端口接 TLV320AIC23B 的主时钟 MCLK。PLL1708 的时钟输入为 27 MHz。DM642 与 TLV320AIC23B 的对应引脚功能见表 3。

AIC23B 数据口配置为从, McASP 的 8 个收/发引脚配置为 4 收/4 发, 分别接 4 个编解码器的 Dout/ Din。McASP 的接收帧同步配置为输出, 同时给 4 个编解码器的 LRCout。McASP 的发送帧同步配置为

表 3 DM642 和 TLV320AIC23B 引脚功能

DM642 引脚	AIC23Bx (x = 1, 2, 3, 4) 对应引脚	功能
AXRx (x = 0, 2, 4, 6)	Din	音频数据流输入
AXRx (x = 1, 3, 5, 7)	Dout	音频数据流输出
AFSX	LRCin	接收帧同步
AFSR	LRCout	发送帧同步
ACLKX	BCLK	接收位时钟信号

输出, 同时给 4 个编解码器的 LRCin。McASP 的发送位时钟 ACLKX 配置为输出 (由 AHCLKX 分频), 同时给 4 个编解码器的 BCLK。AIC23B 的控制口配置为 I²C, 由 CBT3257 型 2 选 1 开关来切换。具体电路如图 4 所示。

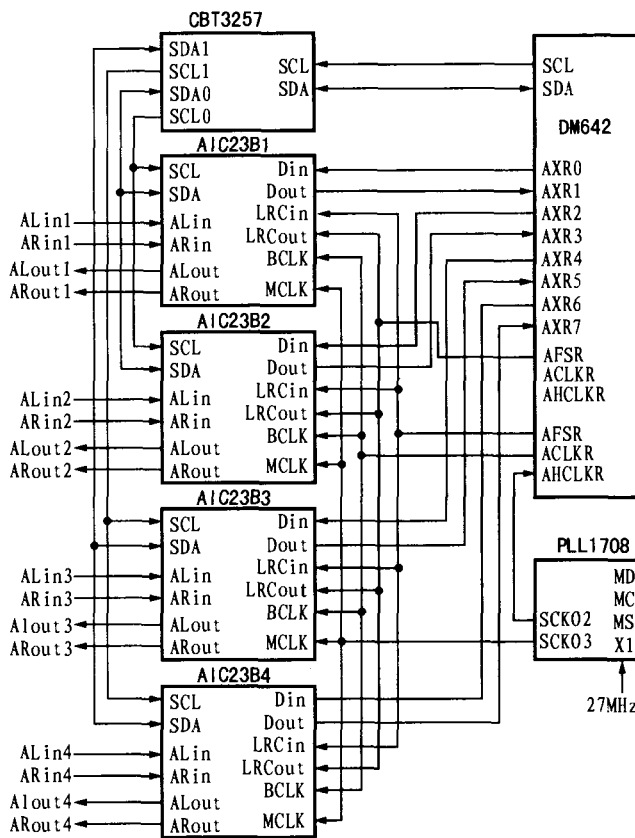


图 4 DM642 的音频接口电路

另外, 给 DM642 供电时应注意 CPU 的上电次序: CPU 内核应先于 I/O 上电, 后于 I/O 掉电, CPU 内核与 I/O 应尽可能同时供电, 二者的时差不能太大 (<1 s), 否则会影响器件的寿命或损坏器件。用可编程时钟电路可很好地解决整个电路的时钟问题。

4 系统软件设计

系统软件包括系统初始化设置、图像处理算法和屏幕叠加程序,具体软件流程如图5所示。

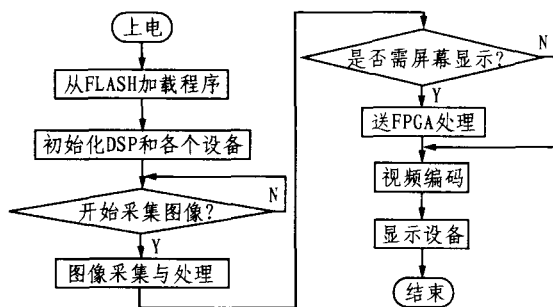


图5 系统软件流程

4.1 系统初始化设置程序

对整个硬件系统进行初始化,其中包括DM642的上电初始化、DM642的寄存器和系统配置引脚的设置、利用I²C总线对TVP5150和SAA7105进行寄存器设置。

DM642的引导模式为从EMIFA引导,把引脚AEA[22:21]设置为11,其他配置引脚的初始化设置为默认值。外围配置寄存器(PERCFG)用于对控制视频口、多通道缓冲串口、多通道音频串口进行配置,初始化为0x0000 0079h。设备状态寄存器(DEVS-TAT)用于控制电路各个外围设备的状态:EMAC、HPI、PCI、CPU时钟频率选择模式、电路引导模式、EMIFA输入时钟的选择,初始化为0x0000 005Ch。

4.2 图像处理程序

对采集的图像数据进行处理和分析,对视频流进行格式转换,可以是复合视频或分量视频,也可以压缩存储以便于此后的浏览。

4.3 屏幕叠加程序

把FPGA内部FIFO中的数据和视频口输出的数据混和完成屏幕显示的功能。屏幕叠加有几种方式,背景为透明的、半透明的、不透明的,叠加的位置也可任意设置,只需修改叠加图像的起始点坐标,把相应的图像信息加到对应的视频图像队列中。

4.4 视/音频信号采集存储与图像数据读取程序

对于4路视频信号和4路音频信号,CPU在1个时刻只能处理1路数据,因此在DM642片外扩展了2个4Mx32bit的SDRAM,在系统工作的任一时刻,一个用于图像的采集,采集部分向该存储区写

图像数据,另一个用于外部对图像数据的读取,DSP可以读取该存储区中的图像数据。双SDRAM结构的重要特点是DSP对存储区的数据操作是来回切换的。当A/D转换数据写满SDRAM-1时,FPGA会向DSP发出中断信号,此时,在DSP读取SDRAM-1中数据的同时,A/D转换数据写入SDRAM-2,当SDRAM-2中的数据写满时,FPGA向DSP发出中断信号,此时DSP读取SDRAM-2中的数据,同时,A/D转换数据写入SDRAM-1,如此交替,实现数据的写入与读取同时进行。由于DSP读取SDRAM中数据的速度远远大于A/D转换写入数据的速度,因而允许采集与外部访问同时进行,采用2个存储区操作的乒乓式切换满足数据实时交换的要求。

由于DSP对存储区的数据操作是来回切换的,因此需要采用中断来实现取数。具体实现是在DSP内部设置中断,这里选用INT6作为中断触发引脚。当外部中断信号到来时,则相应中断服务程序执行中断响应。

5 结束语

本系统能够同时处理4路CIF格式的数字视频,并且可以动态切换,总采样速率可达100帧/秒,每路速率为25帧/秒,可以完全保证图像实时采集。

对图像的叠加有多种方法,叠加的位置也可通过修改叠加图像的起始点坐标来进行任意设置。DM642还具有网络接口,可以对输出的视频信号进行压缩并由网络实时传输。

基于DM642的图像采集处理系统能广泛应用于机顶盒、IP可视电话、网络视频会议等领域。

参考文献:

- [1] 张晓飞,袁祥辉.基于DSP成像系统的视频图像采集部分的实现[J].压电与声光,2002,24(3):247-250.
- [2] 杨朋林,张晓飞.FPGA控制实现图像系统视频图像采集[J].计算机测量与控制,2003,11(6):451-454.
- [3] 刘德良,刁修民.多分辨率图像实时采集系统的FPGA逻辑设计[J].电子技术应用,2003,(3):69-72.
- [4] TMS320DM642 Video Imaging Fixed-Point Digital Signal Processor[Z].Texas Instruments,2002.

●应用与设计

USB-CAN-RS232 总线转换电路设计及实现

吴志伟, 丁铂

(西安科技大学 机械工程学院, 陕西 西安 710054)

摘要: 阐述 3 总线转换电路的简单结构和实用功能。在设计中, 应用了 Maxim 公司的 MAX232 型电平转换器、Philips 公司的 SJA1000 型 CAN 总线控制器以及 National Semiconductor 公司的 USBN9603 型接口等器件, 并提出了适应实际需要的完善方案。

关键词: 总线; 单片机; MAX232; SJA1000; USBN9603

中图分类号: TP336 **文献标识码:** A **文章编号:** 1006-6977(2006)06-0031-04

Design and implement of USB-CAN-RS232 bus conversion circuit

WU Zhi-wei, DING Bo

Abstract: In this paper, a three-bus conversion device is discussed. The device is simple in construction and strong in function. The MAX232, SJA1000 and USBN9603 produced correspondingly by Maxim, Philips and National Semiconductor are specifically applied in design, and a consummate project adapted to actual application is given.

Key words: bus; single-chip microcomputer; MAX232; SJA1000; USBN9603

1 引言

随着电子设备的大量出现及针对各种控制系统的实际需求, 各种通信网络相继产生。由于它们的总线结构、通信协议及传输特点各不相同, 给不同设备之间的连接带来很多麻烦, 因而急需各种总线之间的转换装置。目前较流行的现场通信网络有 RS-232、RS422/485、HART、Profibus、Dypline、CAN 和 LonWorks 等, 本文阐述了一种 USB-CAN-RS232 三总线转换装置。电路设计简单新颖, 并且携带方便, 实用性很强。

2 各种总线的特点

2.1 CAN (Controller Area Network)

CAN 是控制器局域网, 属于工业现场总线的范畴。与一般的通信总线相比, CAN 总线的通信具有突出的可靠性、实时性和灵活性, 具有较高的通信速率 (最高达 1 Mb/s), 较远的通信距离 (最远达 10 km), 良好的抗电磁干扰能力, 而且采用总线仲裁技术, 通信方式灵活, 越来越受到人们的重视。它在汽车领域的应用最为广泛, 一些著名的汽车制造厂商如 BENZ (奔驰)、BMW (宝马)、PORSCHE (保时捷)、ROLLS-ROYCE (劳斯莱斯) 和 JAGUAR (美洲豹) 等都采用 CAN 总线实现汽车内部控制系统与各检测和执行机构间的数据通信。

2.2 USB (Universal Serial Bus)

USB 即“通用串行总线”, 是一种应用在 PC 中的表型总线, 由 Intel、Microsoft、NEC 等公司共同提

业出版社, 2004.

作者简介: 王建平(1955-), 男, 河北藁城人, 合肥工业大学教授, 主要研究方向是智能测控技术、数字图像处理与识别。季学锋(1982-), 男, 江西永修人, 合肥工业大学硕士生。

- [5] TMS320C6000 CPU and Instruction Set Reference Guide[Z]. Texas Instruments, 2000.
- [6] 任丽香, 马淑芬, 李方慧. TMS320C6000 系列 DSPs 的原理与应用[M]. 北京: 电子工业出版社, 2000.
- [7] TMS320C6000 DSP External Memory Interface (EMIF) Reference Guide[Z]. Texas Instruments, 2005.
- [8] 周霖. DSP 算法设计与系统方案[M]. 北京: 国防工

收稿日期: 2005-11-15

咨询编号: 060607