

TMS320DM642 为核心的视频图像处理外围电路设计

刘洲峰¹, 徐庆伟¹, 朱亚伟²

(1. 中原工学院 河南 郑州 450007; 2. 郑州广电信息网络有限公司 河南 郑州 450007)

摘要:探讨以 TMS320DM642 为核心的实时视频数字图像处理器的总体结构。重点阐述图像处理器的外围电路设计, 包括其各部分功能以及所选用的主要器件, 同时针对视频图像处理算法的性质, 对视频图像处理过程中图像数据的存放位置给出了一定原则。该设计系统充分发挥数字信号处理器(DSP)TMS320DM642 的高性能特点。最后指出该设计系统的主要特点及其自身具有的优越性。

关键词:TMS320DM642; 实时视频; 数字图像处理器; 外围电路; 视频图像处理

中图分类号:TP368.1

文献标识码:B

文章编号:1004-373X(2008)14-167-03

Design of Peripheral Circuit for Video Image Processor with TMS320DM642

LIU Zhoufeng¹, XU Qingwei¹, ZHU Yawei²

(1. School of Electronic Information, Zhongyuan University of Technology, Zhengzhou, 450007, China;

2. Broadcast and Information Network Ltd., Zhengzhou, 450007, China)

Abstract: The total structure of real-time video digital image processor with TMS320DM642 is discussed in the paper, which presents the design of the peripheral circuits emphatically, functions of peripheral parts and main devices are included. Certain principles for the stored image data address are afforded according to the algorithmic property of video image processing. This system utilizes adequately high powered characteristics of DSP TMS320DM642. At last, the main characteristics of the systemic configurations are introduced in this paper, which includes the systemic configurations' own advantages.

Keywords: TMS320DM642; real-time video; digital image processor; peripheral circuits; video image processing

由于图像的数据量大, 同时系统要求实时地对图像进行处理, 所以解决处理的速度便是一个关键技术问题。高速 DSP 器件 TMS320DM642 的引入不仅会极大地提高视频图像处理的速度, 也将使算法的选择更为灵活和多样化。该器件拥有功能强大的外存接口(EMIF)和主机接口(HPI), 将使整个图像处理器的结构更简单、体积和功耗更小、实用化水平更高^[1]。

1 视频图像数字处理器的构成

采用 TMS320DM642 的实时视频图像数字处理器, 主要功能有: 视频采集(视频解码)、高速处理卡(DSP)、数/模转换(视频编码)、视频合成(复合视频、超级视频)^[2]。外围电路主要包括 CCD 高速摄像机、视频解码器、视频编码器、执行机构 CPLD 和 TMS320DM642 外部存储器接口(EMIF)连接的 SDRAM 图像帧存储器、FLASH 程序存储器, 及其他 DSP 外围电路(复位、电源连接、JTAG 调试端口)等。

图 1 为该处理器的结构图。

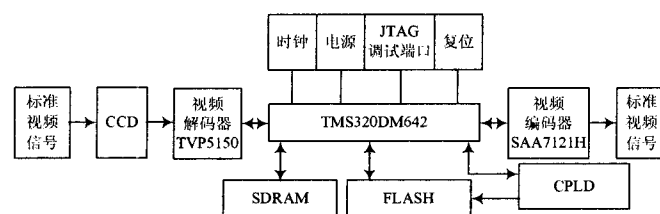


图 1 DSP 视频图像处理器结构图

2 TMS320DM642 芯片简介

TMS320C6000 系列 DSP 芯片是目前最先进、性价比最优的 DSP 芯片之一。采用 TMS320DM642, 高性能 32 位定点 DSP, 工作主频最高达 720 MHz, 处理性能可达 5 760 MIPS。可实时实现多路数字视频/音频的编码运算。其主要特点包括: 具有 VelociTI 先进 VLIW 结构内核; 片内集成大容量 SRAM; 16/32/64 b 高性能外部存储器接口(EMIF)提供与 SDRAM, SB-SRAM 和 SRAM 等同步/异步存储器的直接接口; 片内提供多种集成外设(多通道 DMA/EDMA 控制器、多通道缓冲串口 McBSP、多通道音频串口 McASP、32 b 通用计数器 Timer、支持多种复位加载模式 Boot); 内

收稿日期: 2007-11-20

基金项目: 河南省高校杰出科研人才创新工程项目
(2007KYCX0019)

置灵活的 PLL 锁相时钟电路^[3]。

3 视频图像处理器外围电路

3.1 视频采集与数/模转换电路

视频采集电路选用的主要芯片为解码器 TVP5150, 它可以接收 2 路复合视频信号 (CVBS) 输入和 1 路超级视频信号 (Y/C) 输入。如图 2 所示。

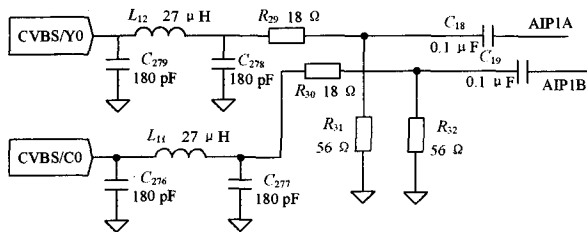


图 2 视频输入接线图

视频信号输入范围为 $0.75 V_{pp}$, 而外部视频信号输入范围一般为 $1 V_{pp}$, 所以外部视频输入与 TVP5150 视频输入之间串接 18Ω 和 56Ω 到地分压电阻网络, 使用前一定要将视频信号输入范围调整到 $1 V_{pp}$ 。

DM642 用通用 I/O 口 GP0[0] 控制 I²C 总线的切换, GP0[0] 为“0”时, 选通第 1 和第 2 通道 TVP5150, 而 GP0[0] 为“1”时, 则选通第 3 和第 4 通道 TVP5150。

数/模转换电路芯片为编码器为 SAA7121H, DM642 的 4 个 VP 口已经均被 TVP5150 所使用, 因此, SAA7121H 只能与其中的的一 TVP5150 复用一個 VP 端口, 这里选择 VP0A 端口。图 3 所示为视频输入输出接线图。

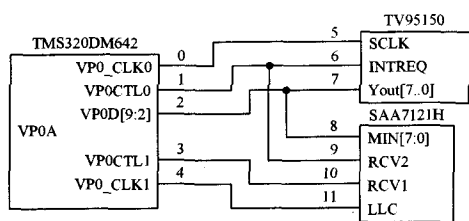


图 3 视频输入输出接线图

3.2 执行机构 CPLD

CPLD(复杂可编程逻辑器件), 是在传统的 PAL、GAL 基础上发展而来。凭借半导体工艺技术及 CAD 工具的发展, 如今 1 片 CPLD 可以代替几十乃至上百片 PAL, GAL, 可提供十万门以上的可用门。与 FPGA 相比, CPLD 比较适合计算机总线控制、地址译码、复杂状态机、定时/计数器、存储控制器、DMA 控制器、CACHE 控制器、图形控制器、数据压缩编码等 I/O 密集型应用, 且具备无需外部配置 ROM、时延可预测等特性。目前的 CPLD 普遍基于 E2 和 FLASH 电可擦

技术, 可实现 100 次以上擦写循环。考虑到该系统设计方案, 选用了型号为 CY37064P100 的复杂可编程逻辑器件, 工作电压为 $3.3 V$ 。

3.3 外部存储器接口 (EMIF) 电路

数据存储采用 SDRAM 有 2 个优点: 一是速度高, 由于同步存储, 存取时间可达 $6 \sim 7 ns$; 二是单片的容量大, 有利于减小整个图像处理系统的体积。注意并非所有的 SDRAM 器件都能够实现与 TMS320DM642 的无缝接口 (glueless interface)。只有那些 Precharge (Deactive) 管脚对应为 A10 的 SDRAM 才能与 TMS320DM642 的 EMIF 完全兼容^[4]。

其中 SDRAM 对应 DM642 上的 CE0 映射的地址空间, 使用 2 片 32 位数据总线的同步动态 RAM, 高 32 位存储在 1 片 RAM 中, 低 32 位存储在另一片 RAM 中, 满足 DM642 64 位数据总线要求。SDRAM 在 CE0 子空间的具体定位为: $0x80000000H \sim 0x81FFFFFFH$ 。

系统的代码固化在 FLASH 中, FLASH 在 CE1 子空间占据的具体空间定位为: $0x90000000H \sim 0x9007FFFFH$ 。DM642 只提供 20 根外部地址总线, 所以 CE1 子空间最大寻址范围为 $1 M \times 8 b$, SEED-VPM642 板上 CE1 子空间除了分配给 FLASH 以外, 还分配给状态/控制寄存器、UARTA、UARTB 等资源使用, 其中 FLASH 只占 CE1 子空间的前一半的寻址空间, 即最大可寻址范围为 $512 k \times 8 b$, 而 FLASH 的设计容量为 $4 M \times 8 b$, 所以采用分页技术实现对 FLASH 的访问, 即将整个 $4 M \times 8 b$ 的 FLASH 分成 8 个 $512 k \times 8 b$ 的页, 而页地址 PA21, PA20, PA19 则由页地址寄存器提供 (页地址寄存器位于 CPLD 中)。

TMS320DM642 有多种上电自举方式, 通过复位时 AEA[22:21] 引脚的状态来选择, 有 FLASH, HPI 或 PCI 三种自举方式。该电路默认方式为 EMIFA 通过 $8 b$ 的 FLASH 自举^[5]。

3.4 其他 DSP 外围电路

时钟电路为 TMS320DM642 提供时钟。输入时钟 CLKIN 为 $50 MHz$, CLKMODE[1:0] 上拉或下拉为 10, 即片内 PLL 设置为 $\times 12$, CPU 内核频率为 $600 MHz$ 。而片上外设总线、EDMA 传输和 L2 存储器的工作频率为 CPU 内核的 $1/2$, 即 $300 MHz$; 片上定时器工作频率为 $75 MHz$ 。

TMS320DM642 的核 (CORE) 电压为 $1.4 V$, I/O 电压为 $3.3 V$, 因为需要 2 种电源, 所以要考虑供电系统的配合问题。在加电过程中, 应当保证内核电源先上电, 最晚也应该与 I/O 电源一起加。关闭电源时, 先关闭 I/O 电源, 再关闭内核电源。

讲究供电次序的原因在于:如果仅 CPU 供电, I/O 对芯片不会产生损害,只是没有输入、输出能力而已;如果反过来,周边 I/O 得到供电,而 CPU 内核没有加电,那么芯片缓冲/驱动部分的晶体管将在一个未知状态下工作,这是非常危险的。

正因为如此,电路中设计了复位电路,它不仅提供系统上电、工作电压异常时的自动复位及人工控制复位,而且也方便调试电路。

TMS320DM642 的仿真接口为 JTAG 形式,能与各种形式的仿真器相连接。JTAG 端口为整个系统的仿真调试提供了方便,借助于 TI 公司的 CCS 开发环境以及与 JTAG 端口相连的硬件仿真器 C64xx XDS510 Emulator,可以实时监控 TMS320DM632 的内部工作状态。

4 视频图像处理过程中图像数据的存放

在由内部数据 RAM,片外数据 RAM 构成的 DSP 数据系统中,为了获得较快的处理速度,必须注意数据的存放位置。这里,针对视频图像处理算法的性质给出以下原则^[4]:

(1) 帧内处理算法,处理时所用到的只是当前帧的一部分数据。需要存放的数据量很小,此时待处理以及处理过的视频数据可以同时存放于片上 RAM;

(2) 帧间处理算法,涉及到的数据量超过 2 帧以上,则待处理的数据及处理过的数据均存于 SDRAM 上。片内 RAM 只存放运算的中间结果;

作者简介 刘洲峰 女,1962 年出生,河南新乡,博士,教授。研究方向为图像处理及模式识别。

徐庆伟 男,1980 年出生,硕士。研究方向为图像处理及模式识别。

(上接第 166 页)

和相位幅度转化电路的优化设计,与^[9]相比利用 FPGA 芯片将扫频信号源的硬件电路集成在一个片上系统,提高整个系统的工作频率,并减少了寄存器的占用数量。所有电路模块采用 Verilog HDL 语言进行 RTL 级描述,并完成逻辑综合、布局布线、时序仿真及硬件测试,最终在硬件电路上验证了整个系统设计的正确性。测试结果表明,该扫频信号源的时钟频率可以稳定的运行于 50 MHz,信号源的频率分辨率可以达到 0.1 Hz,扫频范围可以在 0~10 MHz 之间任意设定,完全满足在中低端扫频仪中应用的要求。

参 考 文 献

- [1] 姜田华. 实现直接数字频率合成器的三种技术方案[J]. 电子技术应用, 2004, 30(3): 1-3.
- [2] 刘抒珍, 童子权, 任丽军, 等. DDS 波形合成技术中低通椭圆

(3) 片上数据的存放应注意地址冲突问题。

5 结 语

该图像处理方案具有处理速度快、实时性相对较好的特点。使过去因运算量太大而无法实现的算法,在高速 DSP 系统上就可以实现,并且该系统控制灵活,有 HPI(PCI)以及通用异步串行接口,可以方便地与单片机连接。这样,许多系统级的控制工作就可由单片机来完成。目前, TMS320DM642 DSP 芯片超强的运算性能正日益受到重视,它的发展前景不可估量。

参 考 文 献

- [1] 张雪松, 倪国强, 周立伟. 带有 DSP 芯片的新型实时数字图像处理系统[J]. 光学技术, 1997, 4(4): 16-18.
- [2] Downton A, Crookes D. Parallel Architectures for Image Processing[J]. Electronics & Communication Engineering Journal, 1998, 10(3): 139-151.
- [3] 李方慧, 王飞, 何佩琨. TMS320C6000 系列 DSPs 原理与应用[M]. 北京: 电子工业出版社, 2003.
- [4] 任丽香. TMS320C6000 DSPs 的原理与应用[M]. 北京: 电子工业出版社, 2000.
- [5] 陆佩芸, 宋莹, 季晓勇. TMS320C6000 DSP 系统的引导设计[J]. 微型机与应用, 2004(3): 9-11.
- [6] 刘建, 关华. 基于 TMS320DM642 的 MPEG4 编码器的设计与实现[J]. 现代电子技术, 2007, 30(13): 68-70.
- [7] 陈伟宁, 秦十. 多相滤波器的原理及实现[J]. 清华大学学报, 2001, 41(1): 9-11.
- [8] 熊兴中, 杨平先, 吴治隆. 基于 Verilog HDL 的 DDS 相位累加器的一种优化设计[J]. 四川轻化工学院学报, 2004, 17(2): 49-53.
- [9] 王钊, 卓兴旺. 基于 Verilog HDL 的数字系统应用技术[M]. 北京: 国防工业出版社, 2006.
- [10] 袁俊泉, 孙敏琪, 曹瑞. Verilog HDL 数字系统设计及其应用[M]. 西安: 西安电子科技大学出版社, 2002.
- [11] 杜慧敏, 李宥谋, 赵全良. 基于 Verilog 的 FPGA 设计基础[M]. 西安: 西安电子科技大学出版社, 2006.
- [12] Uwe Meyer-Baese. 数字信号处理的 FPGA 实现[M]. 刘凌, 胡永生, 译. 北京: 清华大学出版社, 2003.
- [13] 张建文. 基于 DDS 的扫频信号发生器的研究与实现[M]. 西安: 西北工业大学出版社, 2005.

作者简介 王金州 男, 1967 年出生, 陕西宝鸡人, 工程师。从事学生科技创新的教学与研究工作。