

# SAR 图像融合处理机的并行接口设计与实现\*

张宏科, 邵根富, 陈华杰

(杭州电子科技大学 信息与控制研究所, 杭州 310037)

**摘要:**针对 SAR 图像进行高速实时处理的需要,提出了一种通用的、可扩展、可重构的多波段 SAR 图像的实时融合硬件平台,该平台的所有板卡都采用 CPCI 总线进行板间和板内互联,重点阐述了核心融合板卡采用专用 PCI 接口芯片 PCI-to-PCI 桥 PCI2050B 进行 CPCI 接口设计和实现的方法,最后给出了该接口的测试结果,表明该接口设计达到了并行处理的要求。

**关键词:**SAR 图像处理;双 DM642;PCI2050B;CPCI 总线

**中图分类号:**TN 911.7      **文献标识码:**A

## Design and Implementation of Parallel Interface of SAR Image Fusion Processor

ZHANG Hong-ke, SHAO Gen-fu, CHEN Hua-jie

(Institute Of Information & Control, HangZhou Dianzi University, HangZhou 310037, China)

**Abstract:** To meet the need of SAR Image Processing in real-time and High-speed, presents a universal, extensible, re-construct hardware platform for multi-band SAR image fusion in real-time. All of boards of the platform use CPCI bus to interconnect between inter-board and intra-board, emphatically explains the method for designing and implementing CPCI interface using dedicated PCI interface chip PCI-to-PCI bridge PCI2050B in core fusion board, Finally test result of the CPCI interface is given that has proved that the design of interface meet the need of Parallel processing.

**Key words:** SAR image processing; Dual-DM642; PCI2050B; CPCI Bus

## 0 引言

合成孔径雷达是一种新型的高分辨率雷达体制,具有全天候,全天时,远距离,高分辨率成像的工作能力,在军事和国民经济的许多领域有着重要的应用。目前,对 SAR 图像的滤波、配准以及融合等算法已经进行了大量的研究。由于 SAR 图像数据量大,某些处理算法相对耗时,在某些实时应用场合,需要考虑到 SAR 图像处理算法的硬件实现,尤其是对 SAR 图像信号进行实时并行处理;这方面的研究尚未成熟。

决定并行处理机性能主要有以下三个要素:处理单元,并行处理机网络结构,并行算法程序和任务分配方法<sup>[1]</sup>。其中处理单元之间的互联技术,即其网络结

构,直接决定了并行处理系统的整体性能。在不同的处理机规模时,共享总线和分布式并行系统分别能达到较高的加速比和并行效率,分布式并行系统更适合大规模并行系统,而共享总线式系统在小规模的并行处理机上可以得到较高的性能。本文就是基于共享总线式进行系统设计。

## 1 系统总体设计

本系统设计的目的是构建一个通用、可扩展、可剪裁的多波段 SAR 图像的去噪,融合,配准等功能的多 DSP 信号处理平台。整个硬件系统的主体由预处理板卡,融合处理板卡和主控板卡构成。其中预处理板卡主要完成去噪和配准等预处理功能;融合处理板卡是

收稿日期:2008-09-24

\* 基金项目:受国防预研项目资助

作者简介:张宏科(1983—),男,河南嵩县人,杭州电子科技大学信息与控制研究所硕士研究生,主要研究方向为 DSP 在 SAR 图像处理中的应用,(E-mail)hongkezhong@gmail.com。

系统的核心板卡,主要用来实现多波段 SAR 图像的融合,板上采用两片 DM642 构成并行系统;而主控板卡则用来对各个处理板卡和预处理板卡进行运行参数的设置和对融合处理结果的显示等功能。各个板卡之间和板卡内部 DSP 之间均通过共享总线形式进行互联。

目前基于总线形式的互联技术主要有:VME 和 CPCI。Compact PCI(Compact Peripheral Component Interconnect)简称 CPCI,是国际工业计算机制造者联合会(简称 PICMG)于 1994 年提出出来的一种总线接口标准。是以 PCI 电气规范为标准的高性能工业用总线,简言之,CPCI 总线 = PCI 总线的电气规范 + 标准针孔连接器(IEC-1076-4-101) + 欧洲卡规范(IEC297/IEEE 1011.1)。VME 总线标准于 1981 年提出,目前主流版本是 VME64,它理论上的最大传输速度是 80MB/s,而与此相比,CPCI 总线在速度上具有明显的优势,在 33MHz 时,理论最大传输速度 264MB/s;另外 CPCI 优良的机械结构和具有热插拔功能,使得 CPCI 在嵌入式和高速信号处理领域得到广泛的应用。

基于上述理由,本系统采用了 CPCI 并行总线。基于可扩展性以及方便性等考虑,上述的各个功能板卡采用统一的构成。图 1 给出了单个板卡的总线设计图,其中,基于 CPCI 进行板内和板间互联,板内通过 PCI 桥扩展总线分别连接 2 片 DM642,由于 DM642 内部已经集成 PCI 接口,PCI 桥可实现与 DM642 之间的无缝连接,板间则通过 CPCI 总线与其他板卡互联。

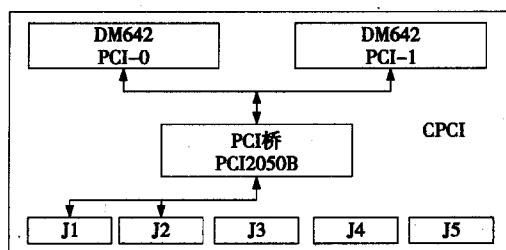


图 1 板卡 CPCI 总线设计图

## 2 PCI-to-PCI 桥设计

### 2.1 PCI-to-PCI 桥类型选择

设计 PCI 接口的实现通常有两种方法:一种是采用可编程器件 FPGA/CPLD,另一种是用专用的 PCI 接口芯片。用可编程逻辑器件能够比较灵活地实现所需要的功能,但需要做大量的逻辑验证和时序分析工作;采用 PCI 专用芯片,可以比较容易实现 PCI 接口大大缩短开发时间。本文采用专用 PCI 芯片 PCI-to-PCI

桥。

PCI 桥根据工作原理的不同,可以分为透明桥和非透明桥两种<sup>[3]</sup>。

透明桥:通常用于总线扩展。桥的二次侧的所有设备对一次侧的主系统是透明的。二次侧的所有设备只能由一次侧的主系统对其进行配置和控制。一次侧和二次侧的时钟必须同步,允许有固定的相位差。一次侧和二次侧的地址完全透明,在一次侧和二次侧之间的地址传递是直通模式,没有地址翻译。

非透明桥:通常用于嵌入式智能 IO 板卡。它连接两个独立的处理器域,二次侧的资源 and 地址对一次侧的主系统是不可见的。允许二次侧的本地处理器独立地配置和控制其子系统。一次侧和二次侧的时钟完全独立。一次侧和二次侧的地址完全独立,在一次侧和二次侧之间可以进行地址翻译。

由于本设计主要用 PCI 桥做总线扩展,要求桥的二次侧所有设备对一次侧的主系统是透明的,因此选择透明桥。

### 2.2 PCI 桥芯片的选型

在实际应用中,透明桥又大致可以分为两种情况:一种是在芯片的内部已经集成了 PCI 接口,常见 PCI 桥为 PLX 9054;另外一种是在芯片内部无实现 PCI 接口,常见桥为 PCI2050B。由于 DM642 内部已经集成了 32bit PCI 接口,所以选择德州仪器公司的 PCI2050B。

PCI2050B 是德州仪器公司的产品,在 2 个 32 位最高工作频率 66MHz 的 PCI 总线之间提供桥连接<sup>[4]</sup>。该桥支持突发模式,极大增加了数据的吞吐量,桥的总线数据路径独立工作。桥的主,从总线分别工作在 3.3V 或者 5V 的工作环境,而桥的核心逻辑却工作在 3.3V 以减少功耗。

主机软件通过内部寄存器对桥进行操作。通过内部寄存器既可以得到标准 PCI 的状态也可以对主,从总线进行控制。桥的 PCI 配置头只能通过主 PCI 接口来操作。

PCI2050B 带 9 个从总线,除了为每个从总线提供内部仲裁,也可以为系统提供外部仲裁<sup>[5]</sup>。PCI2050B 提供 10 个二次侧时钟输出。

## 3 CPCI 接口设计与实现

PCI 桥 PCI2050B 的主侧连接在 CPCI 的 J1 插件上,实现 32bit PCI 操作,PCI2050B 的从侧连接两个

DM642 的 PCI 接口,以实现 PCI 总线的扩展。DM642 的 PCI 接口符合 PCI 2.2 规范,支持 33/66MHz,32bit PCI 操作<sup>[6]</sup>,DM642 默认为 66MHz,32bit PCI<sup>[7]</sup>。

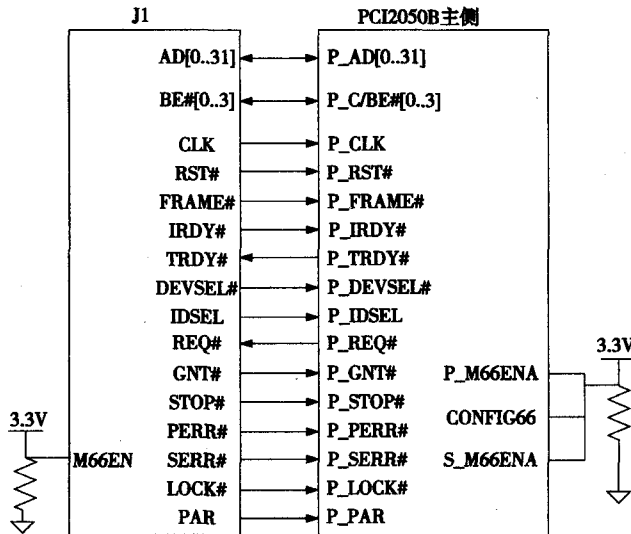


图 2 J1 接插件与 PCI2050B 主侧连接

### 3.1 PCI2050B 主侧与 J1 接插件连接

图 2 中,PCI2050B 的数据地址复用信号 P\_AD [0..31],时钟信号 P\_CLK,以及 P\_DEVSEL#, P\_FRAME#等控制信号分别与 J1 中相应信号相连。其中,M66EN 为 CPCI 总线工作在 66MHz 的允许信号,CONFIG66 为 PIC2050B 工作在 66Hz 模式下的选中信号,P\_M66ENA,S\_M66ENA 分别为 PIC2050B 主侧和从侧工作在 66MHz 的允许信号。设计中主侧和从侧全部工作在 66MHz,因此将这三个信号全部上拉到高电平。

### 3.2 PCI2050B 从侧与 DM642 PCI 总线连接

DM642 的 PCI 接口是与 HPI/EMAC 接口复用管脚的,DM642 默认为 HPI 接口,当管脚 PCI\_EN = 1 时,使能 PCI 模式,设计中设置 PCI 工作在 66MHz,因此置 PCI16# = 0(默认)。

从侧连接基本上与主侧一样,有所不同的是,由于 PCI/HPI/EMAC 是复用管脚,同时为了保证信号完整性和信号隔离方面的考虑,在 PCI2050B 从侧和 DM642 的 PCI 总线之间加入了缓冲隔离器,具体信号连接图如下图 3,4 所示。

数据/地址总线 AD[16..31]用同样的方法经过另外一片 CBTD16210DGGR 缓冲隔离。同理,图 4 中仅仅给出了一部分的控制信号,剩下的控制信号用另外一片 74CBT3245A 隔离。

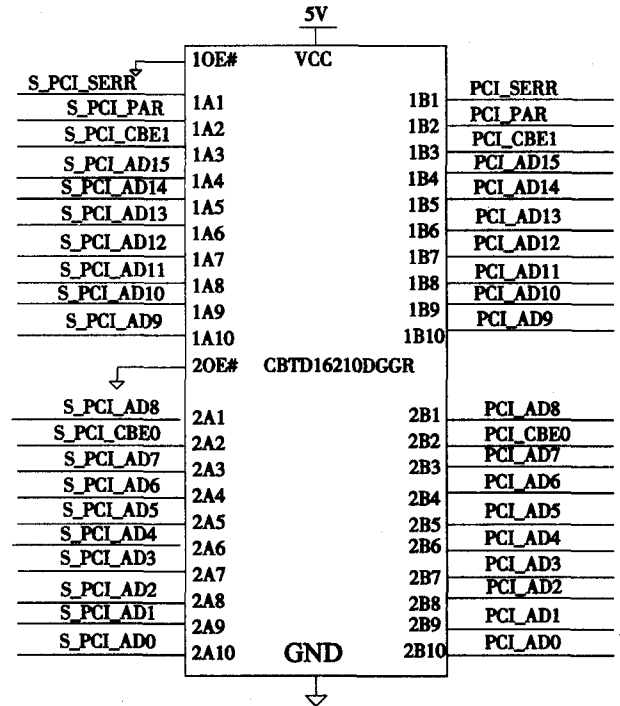


图 3 数据/地址总线 AD[0..15]缓冲隔离

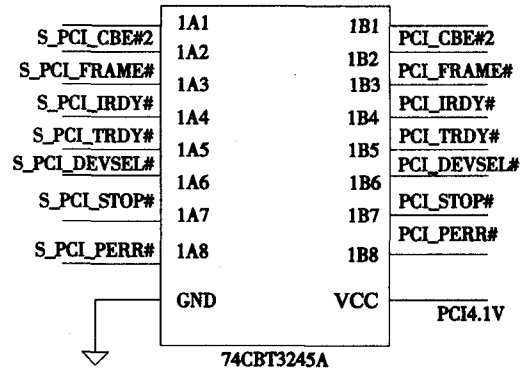


图 4 控制信号缓冲隔离

### 3.3 PCI2050B 桥设计要点

#### 3.3.1 时钟设计

(1) PCI2050B 有两个独立的时钟域<sup>[8]</sup>,主接口受主侧输入时钟 P\_CLK 的控制,从接口受从侧输入时钟 S\_CLK 的控制。这两个时钟可以相互独立,但必须保持同步。P\_CLK 和 S\_CLK 的最大延时不得超过 7ns,S\_CLK 不能超前 P\_CLK。如图 5 所示主侧 P\_CLK 输入时钟为 66MHz。

(2) 如图 5 所示,PCI2050B 的从侧有 10 个时钟输出 S\_CLKOUT[0..9],每个时钟只能驱动一个负载;其中 9 个可以供给扩展的 PCI 槽,另一个必须反馈给从侧的输入时钟 S\_CLK。

(3) 为了减小时钟的信号反射,输出到扩展槽的 9

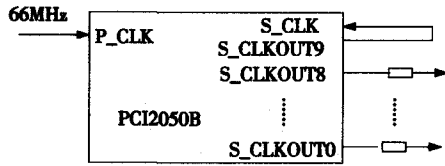


图 5 时钟设计

个 CLOCK 必须在始端加串联电阻匹配,匹配电阻阻值与电路板特征阻抗大小有关,对 65 欧姆的传输线,选用 50 欧姆串联匹配电阻。

(4)为了减少这些时钟之间的抖动,供给扩展槽的 9 根时钟线必须与 S\_CLK 等长。也即,从 S\_CLKOUT9 输出反馈至 S\_CLK 的时钟线长度应该等于从 PCI2050B 的输出管脚 S\_CLKOUT[0..8]到扩展槽的时钟线的总长。

### 3.3.2 中断设计

PCI2050B 芯片的从设备中断不通过 P2P 桥<sup>[9]</sup>。对于单功能设备,只能使用一条中断线且为 INTA#,其他三根中断线无意义。对于多功能设备,如果该设备只用一条中断线,则应为 INTA#;如果需用两条中断线,则应为 INTA#和 INTB#,以此类推。本设计中中断映射如表 1 所示。

表 1 中断映射

J1 信号	DM642 A	DM642 B
INTA#	PINTA#	
INTB#		PINTA#

### 3.3.3 设备号与信号线的对应关系

IDSEL 是用来确定设备 ID 号的,经过 PCI2050B 桥从侧地址/数据线扩展而来的<sup>[10]</sup>。本设计 IDSEL 映射如表 2 所示。

表 2 IDSEL 映射

桥从侧地址/数据线	PCI 设备信号
S_AD_16	DM642 A-IDSEL
S_AD_17	DM642 B-IDSEL

## 4 测试结果与结论

表 3 接口测试结果

PCI 访问模式	读写模式	访问速度
DM642 从模式	主机写 DM642	71.8 MB/S
	主机读 DM642	5.04 MB/S
DM642 主模式	DM642 写主机	151.27 MB/S
	DM642 读主机	83.39 MB/S
一个 DM642 主模式,一个从模式	DM642 读(写) DM642	240 MB/S

当 PCI2050B 主侧与从侧都工作在 66MHz, 32bit 时,PCI 总线的理论最高速率为 256MB/S,利用 CCS 剖析工具 Profiler 可测试 PCI 总线在主从模式下的实际读写速度,如表 3 所示。由于雷达信号的处理一般都要求几 MB/S 甚至几十 MB/S 的速度,结果表明该设计满足了实际的需求,为 DSP 之间以及板卡与板卡之间提供了高速数据通道。

### [参考文献]

- [1] 苏涛,吴顺君,廖晓群. 高性能数字信号处理器与高速实时信号处理[M]. 西安:西安电子科技大学出版社,1999.
- [2] PICMG 2.0 D 3.0 CompactPCI Specification September 24, 1999.
- [3] 宋克柱,张凌云,杨小军,等. PCI-to-PCI 桥及其应用设计[J]. 电子技术,2002(3):133-136.
- [4] TEXAS INSTRUMENT PCI2050B PCI-to-PCI Bridge Data Manual October 2005.
- [5] PCI2050B PCI-to-PCI BRIDGE Data Manual SCPS076-FEBRUARY 2003.
- [6] PCI Local BUS Specification Revision 2.2 December 18, 1998.
- [7] TMS320DM642 Video/Imaging Fixed-Point Digital Signal Processor Data manual.
- [8] 王雪琨,袁卫华. 基于 PCI2050B 总线扩展系统的实现[J]. 化工自动化及仪表,2007,34(3):47-50.
- [9] 马鸣锦,朱剑冰,何红旗,等. PCI,PCI-X 和 PCI Express 的原理及体系结构[M]. 北京:清华大学出版社,2007.
- [10] 刘国满,高梅国,郑坤. 基于 CPCI 总线的双 TMS320C6416 并行信号处理板的设计与实现[J]. 测控技术,2004-23.

(编辑 赵蓉)

### 申请优先审稿须知

为振兴我国机械装备制造业,弘扬民族科学文化精神,提升期刊质量,本刊从即日起,凡是符合本刊报道范围且同时受到“国家 863 计划资助项目”、“国家自然科学基金资助项目”、“国家重点科技攻关资助项目”等国家级基金资助项目的原创论文,本刊可优先审稿,一经录用,优先发表,欢迎业内人事、专家、学者踊跃投稿(来稿注明:“优先审稿”字样)。

注:1. 本刊正常审稿时间一般为一个月,优先审稿时间为 15-20 天;

2. 本刊正常发表文章周期为来稿后 6-8 个月,优先发表文章周期为 5-6 个月。

——本刊编辑部