

DM642 图像数据传输的实现和优化

张永光 张晓蕾 徐健健*

(南京大学应用物理研究所, 南京 210093)

摘要 针对 H.264 视频编码器在 DM642 DSP 上的移植和优化工作, 主要介绍了 DM642 存储空间和 EDMA 控制器的特点, 给出了 EDMA 在视频实时编码系统中图像数据传输的具体控制和实现方法。实测结果表明, 灵活使用 EDMA 不仅能够提高图像数据传输效率, 而且可以充分发挥 DM642 的高速性能。

关键词 DSP 视频编码 DM642 Cache EDMA

中图分类号 TN919.8; **文献标识码** A

DSP 具有计算能力强、功耗低、外围接口丰富等特点, 便于软件开发和升级, 是目前实现 H.264 视频编码器的主要形式。由于 H.264 编码算法的复杂度很高, 需要搬移和处理大量的图像数据, 在编码软件 DSP 移植的过程中, 必须结合 DSP 的结构特点对算法与指令、存储空间分配以及数据传输策略等进行优化。DM642 是 TI 公司针对多媒体应用领域推出的高性能数字处理器, 它具有功能强大的 EDMA 控制器, 能够在没有 CPU 参与的情况下实现数据在各存储器之间的转移。有效利用 EDMA 控制器与 CPU 并行工作的特点对数据传输策略进行优化, 可以大大提高图像数据传输效率。

1 DM642 结构特点

DM642 采用的是 C64x DSP 核, 其 CPU 工作在 600 MHz 的时钟频率下, 提供 8 个并行运算单元, 数字处理能力可以达到 4 800 Mi/s。DM642 拥有两级高速缓存结构, 其结构框图如图 1 所示。CPU 和一

级程序高速缓存 L1P、一级数据高速缓存 L1D 直接相连, 第二级缓存由程序空间和数据空间共享, 可以设置成 L2 Cache 和片内 SRAM^[1]。EDMA 控制器负责片内 L2 存储器与外设之间的数据传输, 可以提供超过 2 GB/s 的数据传输带宽。两级缓存结构和 EDMA 基本决定了 H.264 视频编码器内图像数据传输的架构。

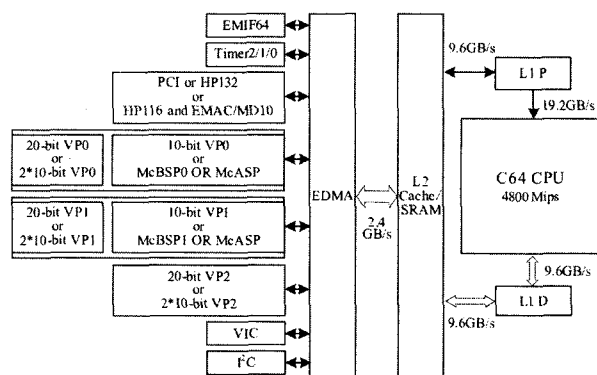


图 1 DM642 芯片结构框图

2 EDMA 控制机制^[2]

EDMA 控制器由事件和中断处理寄存器、事件编码器、参数 RAM 以及硬件地址产生几部分组成。共支持 64 个通道, 每个通道可以由独立的事件触发, 通道间的优先级可以设置, 具有多通道数据并

2007 年 4 月 23 日收到

第一作者简介: 张永光(1978—), 男, 江苏徐州人, 南京大学应用物理研究所硕士研究生, 研究方向: 为视频通信。

* 通信作者简介: 徐健健(1946—), 男, 江苏南京人, 南京大学应用物理研究所所长, 博士生导师、教授。

发传输能力,而且支持不同机构数据传输的链接。

事件寄存器控制对 EDMA 事件进行捕获。一个事件相当于一个同步信号,由它触发一个 EDMA 通道开始数据传输。如果有多个事件同时发生,则由事件编码器对它们进行分辨。参数 RAM 中存储各个通道的入口传输参数,如可选参数、源地址、目标地址等,这些参数会被送入硬件地址发生器,进而产生读写操作所需要的地址。参数 RAM 可以像其他存储空间一样被访问,并且支持参数重载和通道链接。因此,EDMA 适用于参数固定的静态数据传输,还能够在传输过程中实时调整参数,支持一维和二维数据传输,非常适合图像数据的搬移。

3 图像数据传输的实现和优化

3.1 图像数据传输流程

两级 Cache 结构显著提高了 DSP 的整体性能,解决了低速片外数据存取和高速 CPU 数据处理之间的矛盾,其工作原理和图像数据传输流程如图 2 所示。当 CPU 中编码程序要访问图像数据时,依次查看片内内存 L1D 和 L2;若片内内存没有缓存该数据,则通过 EDMA 访问外部 SDRAM,把数据从外部 SDRAM 拷贝到 L2 缓存区,再从 L2 缓存区拷贝到 L1D,最后由 CPU 取得^[3]。

如果 CPU 当前访问的图像数据位于低速 SDRAM,则 EDMA 把其后面地址的几个相邻数据也一并取到 Cache 中。当 CPU 接着访问相邻数据时,可直接从 Cache 中读取,而不需再次访问片外 SDRAM,从而提高 Cache 的命中率。

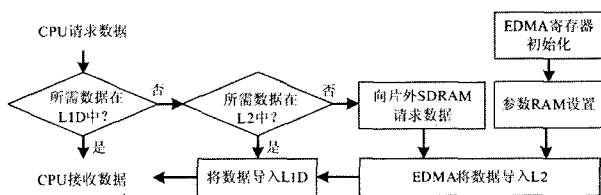


图 2 DM642 中图像数据传输流程

对 P 帧 INTER 宏块运动估计时,每个宏块都要进行片外存储器访问,会占用很大的 CPU 开销^[4]。为了更有效地利用 DSP 资源,可以在片内 RAM 中开辟乒乓(ping-pong)结构的双缓存区,在 EDMA 搬移图像宏块数据的同时,不因数据的传输而中止 CPU 的编码运算。ping 和 pong 缓冲区用于存放输入和输出数据流,当 EDMA 在 ping 缓冲区读入或搬出图像数据时,CPU 可以对 pong 缓冲区中的数据进行处理。当 EDMA 和 CPU 均完成操作后交换缓冲区,其工作原理如图 3 所示。

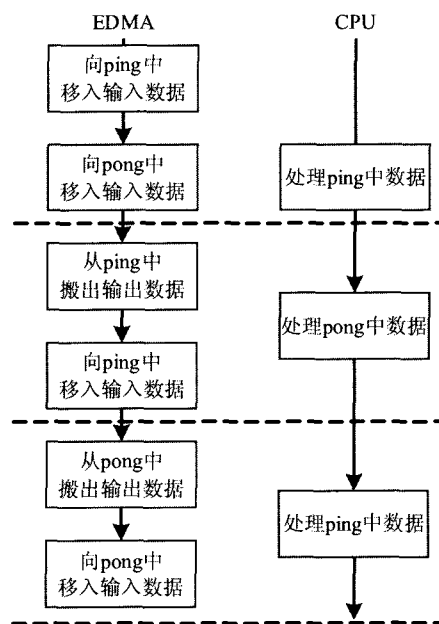


图 3 ping-pong 缓冲原理

通过这种方式,CPU 每次调用宏块编码时,图像数据都已经存放在片内 RAM 的指定缓冲区中,可以确保最小化的 CPU 停止周期,不仅实现数据在片内的高速访问,还节省了从片外 SDRAM 读取图像数据的时间开销。

4 结论

大量的图像数据传输和复杂的算法处理一直是实时视频编码系统的速度瓶颈问题。结合 DM642 处理器的 Cache 结构和 EDMA 功能,有效设

3.2 乒乓缓冲技术应用

H. 264 编码系统的图像帧存放在片外 SDRAM 中,对 I 帧所有宏块和 P 帧 INTRA 宏块编码,以及

置和利用 EDMA 控制器,可以解决 H. 264 视频编码器中存储器和外设之间的图像数据传输速度问题,从而能够大大减轻 CPU 的负担,并提高 H. 264 编码系统的实时性。

参 考 文 献

1 Texas Instruments, TMS320DM642 Overview. [www. ti. com](http://www.ti.com), 2002

- 2 丁 刚. 从 TMS320C6000EDMA 的结构来理解和优化其应用. 无线电工程, 2002; 32(7): 28—30
- 3 李方慧, 王 飞, 何佩琨. TMS320C6000 系列 DSPs 原理与应用. 北京: 电子工业出版社, 2003
- 4 Richardson. I Video codec design: developing image and video compression systems. John Wiley&Sons, 2002

Implement and Optimization of Video Data Transmission Based on TMS320DM642

ZHANG Yong-guang, ZHANG Xiao-lei, XU Jian-jian

(Institute of Applied Physics of Nanjing University, Nanjing 210093, P. R. China)

[**Abstract**] According to the optimization and migration work of H. 264 video encoder based on digital signal processor(DSP) DM642, the characteristics of DM642 Cache and the enhanced direct memory access(EDMA) are introduced, and then presented a detailed realization method of transmitting the image data in real-time video encoder by EDMA. The results show that the efficiency of image data transmission would be improved and the high performance of DM642 would be brought into play very well after using EDMA exactly.

[**Key words**] DSP video coding DM642 cache EDMA