

DM642 视频接口的多处理器扩展

蒋伟, 胡剑凌

(上海交通大学电子工程系, 上海 200030)

摘要: 在图像处理中单片 DSP 往往无法满足实时性要求, 而需要多 DSP 进行协同工作。该文针对图像信号的特点以及 DM642 视频接口原理, 设计了多 DM642 处理系统中视频接口的有效扩展。设计中利用 FPGA 进行数字视频信号的预处理, 并根据具体的系统实现了视频数据的分流, 同时提供了 DM642 视频接口的无缝连接。该设计大大提高了 DSP 系统的数据吞吐能力及并行处理能力, 有效地解决了 DSP 在高数据带宽应用中的瓶颈。

关键词: DM642; 视频接口; 多处理器; FPGA

Multiprocessor Expansion of DM642 Video Port

JIANG Wei, HU Jianling

(Department of Electronic Engineering, Shanghai Jiaotong University, Shanghai 200030)

【Abstract】 During image processing, a single DSP sometimes couldn't meet the need of real-time, thus it is needed to use multiple DSPs to cooperation. According to the features of image signal and the principle of DM642 video port, the paper provides an available video port expansion based on multiprocessor. In the design, FPGA is used as preprocessing of digital video signal and realizes the flow-distribution of video data. In the mean time, FPGA provides the seamless connection with DM642 video port. The design greatly improves the DSP system's throughput and concurrent processing abilities. It effectively solves the bottleneck during high-bandwidth application using DSP.

【Key words】 DM642; Video port; Multiprocessor; FPGA

DM642 是 TI 公司最新推出的一款针对多媒体领域应用的 DSP, 它以 TI 的性能最高的定点 DSP 系列 C64x 作为处理核心, 增加了很多外围设备和接口。其中 DM642 增加的视频接口是该数字多媒体系列 DSP 的主要特点。在一些实时图像处理, 尤其是高清图像处理的应用中, 单片 DSP 往往无法满足复杂度的要求, 为此研究多 DSP 处理系统的设计具有重要的应用价值。本文主要介绍了 DM642 视频接口工作原理, 应用 FPGA 实现多 DSP 处理系统的协同工作。

1 DM642 视频接口介绍

1.1 视频捕捉和显示

DM642 视频接口分成两个通道 A 和 B, 允许并行运行。该接口共有 5 120B 缓冲区用作视频捕捉和显示, 通过 EDMA 与片内存储器进行数据交换。因为视频接口的总线最大为 20, 而且根据该视频接口的结构特点, 视频捕捉功能主要有: 单/双通道的 8/10 比特 BT.656 视频格式; 单/双通道的 8/10 比特原始视频格式; 单通道 20 比特 Y/C 视频格式; 单通道 20 比特原始视频格式; 单通道传输流格式。相应的视频显示也分为双通道 10 比特原始视频和单通道视频输出。

缓冲区使用情况: 单通道使用时, 除了 10/8 比特 BT.656 只使用 2 560B 的缓冲区, 其余情况均单独占用 5 120B 的缓冲区。两通道并行运行时, 整个缓冲区分作两通道使用。

1.2 视频接口吞吐量

视频接口的吞吐量主要有两部分决定: 缓冲区的大小和 DMA 数据搬移速度。为了保证视频数据的实时性, 在视频捕捉时, DMA 搬移整个缓冲区数据的时间必须小于数据填充时间, 视频显示时, DMA 搬移整个缓冲区数据的时间必须小于数据输出的时间。

视频数据填充缓冲区的时间由两部份组成: 填入有效采样的时间(t_F), 和图像中水平空白时间(t_H)。总的时间 $t_0 < t_F + n(t_H)$, 其中 n 为缓冲区可以放入的图像行数。水平空白时间从活动图像结束 (End of Active Video, EAV) 到活动图像开始 (start of active video, SAV)。

以 BT.1120 标准(1 125 行/60Hz 模式)为例, 每行活动采样点 1 920Y, 960Cb 和 Cr, 空白采样点数为 280, 采样速率 74.25MHz。所以 $t_H = 280/74.25\text{MHz} = 3.77\mu\text{s}$ 。在 20 比特的 Y/C 模式中, 总缓冲区为 5 120B, 亮度和色度各占一半。缓冲区可以保存的采样数取决于缓冲区的打包格式, 在 8 比特和 10 比特紧密排列时, 缓冲区能存放 1 行; 10 比特排列时能存放 0 行。所以 DMA 清空缓冲区的总时间和搬移速度分别为

$$t_0 < 2560/74.25\text{MHz} + 3.77\mu\text{s} = 38.3\mu\text{s}$$

$$r = t_0/5120 = 7.4\text{ns}(134\text{MBps})$$

$$t_0 < 1920/74.25\text{MHz} + 3.77\mu\text{s} = 29.63\mu\text{s}$$

$$r = t_0/5120 = 5.79\text{ns}(173\text{MBps})$$

$$t_0 < 1280/74.25\text{MHz} = 17.24\mu\text{s}$$

$$r = t_0/5120 = 3.37\text{ns}(297\text{MBps})$$

从上面的计算得出: 为了保证视频数据的实时性, DMA 的搬移速度必须大于 300 MBps。虽然 DM642 的 EDMA 能提供最高 2GBps 的带宽, 但当多个 DMA 同时运行时, 单个 EDMA 的搬移速度就需要考虑能否达到视频数据的实时要求了。采用多处理器协同处理时, 每个处理器的视频接口缓冲区由图像中的某种成分独占, 从而可以降低对 EDMA 搬移速

作者简介: 蒋伟(1981-), 男, 硕士生, 主研方向: 多媒体数字信号处理; 胡剑凌, 博士、副教授

收稿日期: 2005-12-26 **E-mail:** jiangwei@sytu.edu.cn

度的要求，支持更高质量的图像处理。

2 多处理器视频接口扩展设计

在应用 MPEG4、H.264 等数字压缩标准实现图像的实时编解码处理时，现有的 DSP 处理能力往往达不到要求，所以通过多个处理器协同处理，可实现复杂的图像处理要求。但实现多处理器协同处理，存在许多困难：处理器之间的通信，程序加载的协调，数据共享以及视频接口的扩展等。

使用两块 dm642 协同处理时，处理器之间的通信可依靠 dm642 片上外设 EMIF 接口和 HPI 端口来实现。因为 dm642 芯片的 HPI 端口只能作为从设备，通过使用主芯片的 EMIF 端口与从芯片的 HPI 端口对连来实现处理器之间的通信。至于程序加载的协调，可以由主芯片来控制从芯片的程序加载。两块处理器的某些共享数据可以通过对双口 RAM 的读写访问来实现。对于视频接口的扩展，需要在两块处理器的视频接口前端加入 FPGA，通过 FPGA 对图像信号的预处理来实现两块处理器的协同工作。

在两个 dm642 处理器的视频接口前端加入 FPGA，以实现多处理器视频接口的扩展。针对图像这一特殊对象，采用多处理器协同处理的可行方案是将图像信号的亮度和色度分离。利用视频接口前端的 FPGA 可以对视频信号进行预处理，从而达到两块 dm642 芯片协同处理的目的。如图 1 为视频接口扩展连接示意图。

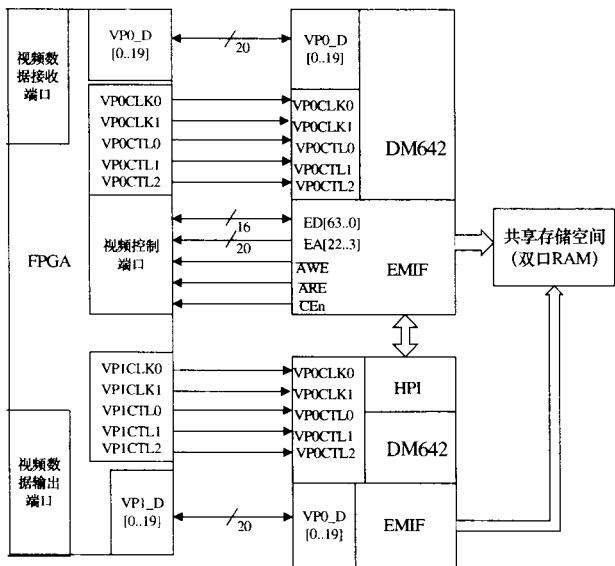


图 1 视频接口扩展示意图

(1) 视频接口功能扩展

现有的 DM642 视频接口硬件上只能支持 Y:Cb:Cr=4:2:2 的格式，如采用 4:4:4 格式时，需要 DSP 软件的支持。在前端加入 FPGA 后，可以针对各类数字视频信号进行预处理，以满足 DM642 的视频接口要求，从而减轻 DSP 软件处理的压力。

(2) 两处理器协同工作的支持

在一般的图像信号处理应用中，图像信号的亮度和色度是分开处理的，为了能进行多处理器的协同工作，可采用亮度信号和色度信号分开处理的方案，FPGA 的主要功能就是实现图像信号的亮度分离，处理图像信号与两 DSP 处理器视频接口之间的同步问题。

(3) 功能切换

FPGA 的视频控制端口部分与 dm642 的 EMIF 接口相连，用来接收来自 DSP 的控制命令字，从而实现 FPGA 的功能切换，如单处理器与多处理器运作之间的切换。

3 图像信号亮度分离的实现

根据 DM642 视频接口接收图像数据的特点，为了使用 FPGA 来进行图像信号的亮度分离，主要考虑：图像信号采样时钟的获取；图像数据的同步问题。其中图像数据的同步问题又包括：水平同步、垂直同步、场同步和帧同步。

下面针对 BT.656 视频模式的情况，来考虑图像信号的亮度分离问题。BT.656 视频信号有标准和非标准两种形式，标准的带有定时参考编码(如图 2 所示)，下面的实现主要针对标准的 BT.656。

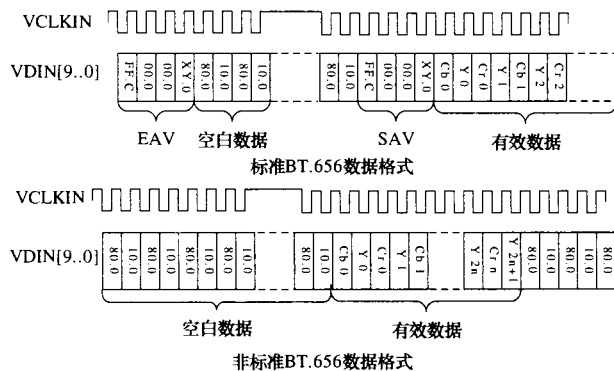


图 2 BT.656 数据格式

从图 2 的 BT.656 数据格式中可以看到，标准 BT.656 数据格式在有效数据开始前和结束后都有一个定时参考编码，每个定时参考信号由连续的 4 个值为 FF.C、00.0、00.0、XY.0 的采样组成。XY.0 的比特分配见表 1。

表 1 BT.656 定时参考编码

数据比特	第 1 字节	第 2 字节	第 3 字节	第 4 个字节
9(MSB)	1	0	0	1
8	1	0	0	F(0, 表示场 1; 1, 表示场 2)
7	1	0	0	V(0, 表示其他; 1, 表示场空白处)
6	1	0	0	H(0, 表示在 SAV 中; 1, 表示在 EAV 中)
5	1	0	0	P3(保护比特位 3)
4	1	0	0	P2(保护比特位 2)
3	1	0	0	P1(保护比特位 1)
2	1	0	0	P0(保护比特位 0)
1	X	X	X	X
0	X	X	X	X

因为要在 FPGA 中实现图像信号的亮度和色度分离，所以针对标准的 BT.656 数据格式，需要从内部定时参考编码中解出同步信号(场同步、水平同步以及垂直同步)。图 3 为 FPGA 的结构流程图。

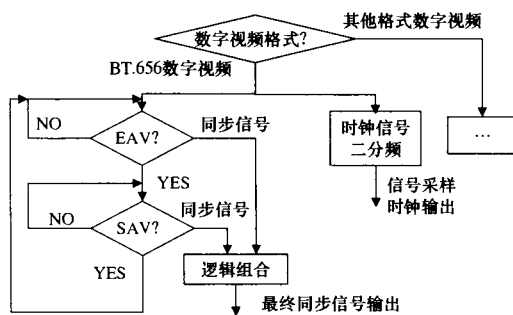


图 3 FPGA 结构流程图

(1)在图 3 的 FPGA 实现过程中，EAV 和 SAV 的判断首先是看是否接收到 FFh，然后判断连续两个 00h，在这个接收判断过程中任何其他数据的出现将导致判断重新开始。连

续出现 FFh、00h、00h 之后,对接下来的 XYh 信号,按照表 1 所示内容进行解码,提取出场同步、垂直同步以及水平同步信号。

(2)图像信号采样时钟生成。因为图像数据格式为:Cb, Y, Cr, Y, Cb, Y, Cr,...,所以分开接收亮度信号和色度信号的 DSP 采样时钟为原采样时钟 VCLKIN(图 2 所示)的二分频,接收亮度信号的采样时钟比色度信号的采样时钟延时一个 VCLKIN 周期。通过 FPGA 对原采样时钟的分频很容易得出新的采样时钟。

(3)数据有效信号(Capture Enable Signal)的生成。因为对图像信号进行了亮度分离之后,DSP 所处理的图像数据已经不是 BT.656 格式,而是类似原始数据流的一种格式,所以针对 dm642 视频接口对原始数据流处理的特点,需要重新生成数据有效信号。因为 dm642 视频接口在处理原始数据流时,只是通过有效信号线来接收数据,无法判断数据流中的空白区域,所以在 FPGA 中,需要重新生成有效信号线,使得在图像数据空白区域时,DSP 不接收数据流。

(4)场同步信号的生成。DM642 视频接口接收原始数据流时,只有在通道 A 操作时,才支持场同步信号输入。此时,视频接口会在每个数据块开始时,采样场同步信号,来决定当前场。标准 BT.656 的场同步信号是从定时参考编码中解出,非标准的 BT.656 可以根据水平和垂直同步信号的逻辑组合得到。

4 DSP 软件设计

在进行 DSP 软件配置时,可采用 TI 公司提供的片上支持库(CSL)。软件配置流程如图 4。

相关说明如下:

(1)调用 CSL 库函数:vpCaptureHandle = VP_open(portNumber, VP_OPEN_RESET),获得视频接口的句柄。

(2)配置视频捕捉参数,包括捕捉窗口,捕捉通道门限寄存器。捕捉窗口指通道 A/B 的 X/YSTART1/2, X/YSTOP1/2。在采用多处理器进行了亮度分离之后,视频接口面对的数据流为原始视频流格式,所以只需要配置 VCASTOP1/2 中的 VCXSTOP 和 VCYSTOP 来决定捕捉窗口。视频捕捉通道的门限寄存器,设置 VCATHRLD 寄存器中的 VCTHRLD1/2 来决定触发 DMA 事件的门限。

(3)配置 VCACTL 寄存器中的 CMODE 标志位为 2h 或 3h,接收原始视频数据。同时根据需要配置其中的 CON、FRAME、CF2、CF1、FLDD、VRST 以及 HRST 标志位,在原始视频流接收中不使用 FLDD, VRST 和 HRST 标志位。

(上接第 182 页)

提出的“模板匹配+SVM”方法的识别率明显优于“弹性匹配+NN”方法;特征点的定位精度提高以后,识别率只有轻微的提高;当采用不同的核函数和参数时,识别率变化不大,这说明支持向量机分类方法不依赖于核函数和参数的选择。综合以上结果,在同时考虑效率和精度的情况下,本文提出的模板匹配和支持向量机相结合的方法更符合应用的需要。

参考文献

- 1 Daugman J. Uncertainty Relation for Resolution in Space, Spatial Frequency and Orientation Optimized by Two-dimensional Visual Cortical Filters[J]. Journal of the Optical Society of America, 1985, 2(7): 1160-1169.
- 2 Lee T S. Image Representation Using 2D Gabor Wavelets [J]. IEEE Transactions on Pattern Analysis and Machine Intelligence, 1996, 18(10): 959-971.

(4)开启视频接口中断。调用 cs1 库函数 IRQ_enable(vpCapture Handle->eventId)。

(5)建立 EDMA 通道,包括为视频捕捉通道 A 的 Y 事件(YEVT)建立 EDMA 通道,建立 EDMA 搬移的源地址和目的地址以及地址变化方式。

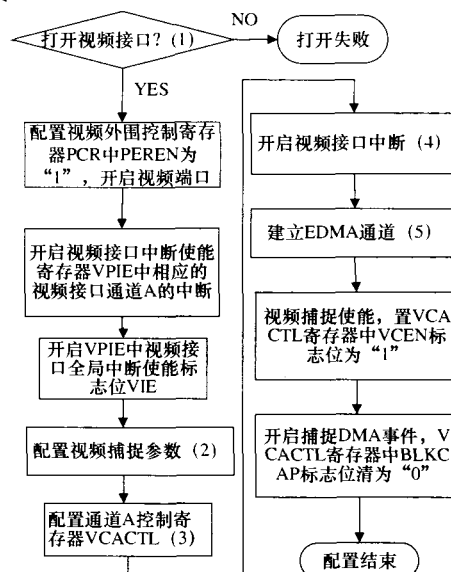


图 4 DSP 软件设计流程

5 结语

本文介绍了利用 FPGA 实现多处理器间视频接口扩展的方案,该方案有效地利用了 DM642 处理器的视频接口,提高了 DSP 系统的吞吐能力和并行运行能力,适用于复杂的实时图像处理,尤其是高清图像处理的应用。另外,该方案中利用 DSP 与 FPGA 间的通信预选机制,可以面向各种类型的数字视频。

参考文献

- 1 TI TMS320C64x. DSP Video Port/VCXO Interpolated Control (VIC) Port Reference Guide[Z]. 2003-04.
- 2 TI TMS320DM642. Video/Imaging Fixed-point Digital Signal Processor Data Manual[Z]. 2004-08.
- 3 TI TMS320C6000. Peripherals Reference Guide[Z]. 2001-02.
- 4 TI TMS320C6000. DSP External Memory Interface (EMIF)Reference Guide[Z]. 2005-04.
- 3 Vapnik V N. The Nature of Statistical Learning Theory [M]. New York: Springer-Verlag, 1995.
- 4 Lades M, Vorbrüggen J C, Buhmann J, et al. Distortion Invariant Object Recognition in the Dynamic Link Architecture[J]. IEEE Transactions on Computers, 1993, 42(3): 300-311.
- 5 Schwenker F. Hierarchical Support Vector Machines for Multi-class Pattern Recognition[C]. Proceedings of the 4th International Conference on Knowledge-based Intelligent Engineering Systems & Allied Technologies, 2000, 2: 561-565.
- 6 生物特征识别评测中心. 生物特征识别算法竞赛方案[R]. 北京:中国科学院自动化研究所生物特征识别评测中心, 2004.
- 7 Wiskott L, Fellous J M, Krüger N, et al. Face Recognition by Elastic Bunch Graph Matching[J]. IEEE Transaction on Pattern Analysis and Machine Intelligence, 1997, 19(7): 775-779.