

DM642 平台多路视频处理系统的实时性分析

■ 西安电子科技大学 杨展辉 刘贵喜 马涛

摘要

随着多媒体技术的发展,视频应用范围不断扩大。设计高速、实时、高清的视频系统,具有十分重要的应用价值。本文分析一个4路、不同制式高分辨率的视频采集、处理和显示系统的实时性。该系统以TI公司DM642 DSP为核心,结合专门的视频编解码芯片将4路视频图像进行合成处理,并在显示终端上进行单屏多窗口显示。

关键词 TMS320DM642 多路视频 实时性分析

引言

视频合成技术是图像处理方面的一个重要应用,它将一个图像的多个状态或者多幅不同图像进行合成,来实现虚拟面板、图像叠加、模拟场景、图像优化等效果。多路视频合成显示技术是通过多个途径(如摄像机、PC机、网络等),采集而来的多路视频信号进行处理,并按照实际所需进行显示。

选择适当的核心处理芯片,对数据量大、实时性高的视频信号处理来说,是首要考虑的问题。美国TI公司推出的针对视频和图像解决方案的TMS320DM642型高性能数字媒体处理器,是TI公司C6000系列中一款基于DaVinci技术的DSP,其核心是C6416型高性能数字信号处理器,具有极强的处理能力、高度的灵活性和可编程性,同时外围集成了非常完整的音频、视频和网络通信等设备及接口,特别适用于机器视觉、医学成像、网络视频监控、数字广播,以及基于数字视频/图像处理的消费类电子产品等高速DSP应用领域。本设计利用这一处理器,实现了一套4路、高清晰度的图像显示系统;所采集的视频信号是4路高清晰度视频图像——3路 $1024 \times 768 @ 60 \text{ Hz}$ 的VGA视频信号、1路 $768 \times 576 @ 25 \text{ 帧(PAL制式)}$ 的S-Video视频信号;视频输出为单屏幕多窗口,分辨率为 1024×768 的RGB视频图像;刷新频率为60帧/s。

系统的硬件部分主要包括:视频输入解码模块、DSP核心处理模块、视频输出接口模块、串口通信模块、CPLD控制模块,系统整体框图如图1所示。

1 系统整体描述

系统通过视频转换芯片AIT2138和SAA7110来采集视频信号,采用2片DM642(分别记DM642A和DM642B)并联,其中主算法的实现在DM642B中进行。DM642A的3个视频端口全部用于视频采集,采集3路RGB信号。采集后存到DM642A的外部存储器SDRAM1,等DM642B执行算法时,DM642A按照需要将数据传至DM642B。处理完之后数据经DM642B视频口输出为RGB格式,并由ADV7125完成数模转化,输出至VGA接口。系统采用Altera公司的EPM7128S CPLD来完成逻辑产生和系统控制,采用Philips公司51系列单片机P89C668通过串口与PC机通信,方便地完成显示模式的切换。

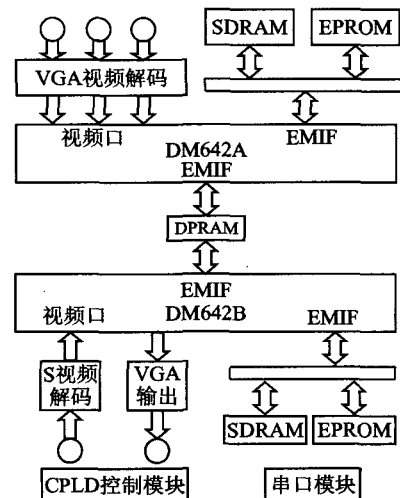


图1 系统整体框图



2 数据通信量分析

鉴于 DM642 视频端口的传输能力,3 路 $1024 \times 768 @ 60 \text{ Hz}$ 的 RGB 信号的数据量过大,无法实时处理。所以将其通过 AIT2138(该芯片支持 NTSC 和 PAL 两种制式输出)转化成 $768 \times 576 @ 25 \text{ Hz}$ 的 PAL 电视信号。电视信号再经过 SAA7110 转化成 16 位的数字 Y/C 分离信号。所以每帧图像传至 DSP 视频输入口时的数据有显著下降。公式如下:

每帧 RGB 信号的数据量:

$$1024 \times 768 \times 3 = 2.25 \text{ MB} \quad (1)$$

每帧 PAL 信号的数据量:

$$768 \times 576 \times 2 = 0.84375 \text{ MB} \quad (2)$$

数据量下降:

$$0.84375 / 2.25 = 0.375 \quad (3)$$

即下降到原始数据量的 $3/8$ 。简化了后边的数据处理过程。

3 系统的实时性分析

先预定系统的系统时钟频率为 133 MHz (按照 DM642 硬件说明书上的建议,此时 DSP 外部存储器应选用 6 ns 级)。DSP 数据总线宽度 64 位,每帧图像从 DSP 的视频通道进入二级缓存 L2 的时间为:

$$0.84375 \text{ MB} / 64 \times 133 \text{ MHz} = 0.8 \text{ ms} \quad (4)$$

因为 DM642A 没有数据的取舍权,所以 3 路数据要全部存入 SDRAM。实际所需时间应为:

$$0.8 \times 3 = 2.4 \text{ ms} \quad (5)$$

这一步必须计算成 3 帧图像的时间。因为只有 3 路各到 1 帧图像时,才能对其数据选择,满足后边选定窗口大小的需求。

至此,数据传输都是按照既定窗口大小的数据量进行传输的。也就是说,对应要显示的合成后的 1 帧图像,DM642A 向 DM642B 传输的数据不大于 1 帧;4 个窗口均匀显示时,DM642A 到 DM642B 传输的数据大小为 $3/4$ 帧,DM642A 的某一路全屏显示时传输为 1 帧,当 DM642B 的 S-Video 全屏显示时,不用传输。

以下是数据流经各个部分的时间估算:

DM642A 上的 3 路

① 视频口→内存 2.4 ms

② 内存→SDRAM 12.4 ms

③ SDRAM1→内存 $<0.8 \text{ ms}$

④ 内存→DPRAM $<0.8 \text{ ms}$

⑤ DPRAM→DM642B $<0.8 \text{ ms}$

DM642B 上的 1 路

⑥ 视频口→内存 0.8 ms

⑦ 内存→SDRAM2 0.8 ms

⑧ SDRAM1→内存 $<0.8 \text{ ms}$

⑨ 内存→视频输出端口 0.8 ms

不考虑流水,总耗时为各个时间之和:

$$\textcircled{1} + \textcircled{2} + \textcircled{3} + \textcircled{4} + \textcircled{5} + \textcircled{6} + \textcircled{7} + \textcircled{8} + \textcircled{9} = 10.4 \text{ ms}$$

上述过程中可以同时进行的有:

①和⑥、②和⑦、③和⑧、④和⑨。

这样就实现了一定程度的流水。由此得出,从系统开始采集原始数据,到 1 帧合成好的图像显示到屏幕上所需时间为:

$$\textcircled{1} + \textcircled{2} + \textcircled{3} + \textcircled{4} + \textcircled{9} = 7.2 \text{ ms}$$

也就是说,系统处理能力较强,每秒能处理的电视图像数目可以满足实时显示的需要。

4 两片 DSP 之间的连接方式

EMIF(外部存储器接口)方式连接。这种方式是采用一个 DPRAM 作为 2 片 DSP 的公用外部存储器。在 DM642 要执行算法时,DM642A 将组织好的数据以访问外部存储器的方式存到 DPRAM,然后 DM642B 同样以访问外部存储器的方式将所需数据取走。此时 2 片之间是并联关系,因为 DM642B 不能对 DM642A 进行传输数据时机的控制,所以需要通过专门的控制逻辑来协调 2 片 DSP 之间的配合。这种方式数据传输宽度为 64 位,需要与其他连接到 EMIF 数据总线上的外部存储器或 I/O 设备分时复用。

5 DM642 视频通道的说明

DM642 是一款基于 TI DaVinci 技术的专门用于视频多媒体处理的芯片。它集成了 3 个视频口,分别为 VP0、VP1、VP2。每个视频口都可以作为一个视频捕捉口、视频显示口或是传输数据流输入接口。

每个视频口有 A 和 B 两个通道,两个通道共用一个 5120 字节的捕获/显示缓存。对于整个视频口,要么设置成视频捕捉口,要么设置成视频显示口。也就是说,A、B 两个通道必须一致,同为输入或输出。不管是 BT656、Y/C、Raw video,或者是传输数据流格式,视频口都有独立的数据通道来控制视频输入或输出数据的解析和格式化。

对于视频捕捉操作,视频口既可以以双通道的方式对两路 8/10 位的 BT656 视频或 Raw video 格式捕捉;也可

以单通道的方式对 8/10 位的 BT656、8/10 位 Raw video 图像,16/20 位 Y/C,16/20 位 Raw video 图像或者是 8 位的传输流进行捕捉。

对于视频显示操作,单通道时的视频口用法和上边提到的捕捉时相同。作为双通道时,可以显示连接到相同时序的双通道 8/10 位原始视频。单通道时通道 B 闲置不用。

6 时钟频率设计

系统时钟(存储器、DSP I/O 口时钟)采用 133 MHz,由外部晶振通过锁相环倍频提供。DM642 核时钟采用 600 MHz,由与系统时钟同源的外部晶振通过内部倍频得到,如图 2 所示。

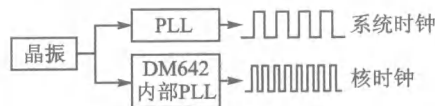


图 2 时钟产生

此外视频编解码芯片根据自身制式特性单独处理。输入视频的同步信号,由输入 RGB 视频的同步信号通过处理得到。

7 两片 DSP 的步调协调

时钟可共用。但是由于数据传输途径的差别,DM642B 捕捉的 S-video 做好处理前准备的时间要少于 DM642A 过来的 RGB 视频。

系统启动后,当 DM642A 的数据执行到③的时候,DM642B 开始捕捉 S-video,从⑥开始进行。这样,对以每次 DM642A 采集 3 路各 1 帧图像时,DM642B 应等待 4.8 ms 再开始要采集与之对应的 1 帧 S-video。

8 算法流程和执行

算法流程如图 3 所示。

鉴于本部分不是该文重点,故在此只作简单说明。该算法设计的出发点都是由 DM642B 执行主算法,DM642A 只作数据的调理工作。当确定执行哪种方式的显示时,也就确定了对 DM642A 所采集的哪些数据加以使用。这个过程由 DM642B 发出请求,再由专门的控制逻辑来控制 DM642A 传输,也能实现系统的处理要求。

结 语

数据速度问题是实时高速大数据量视频采集处理系

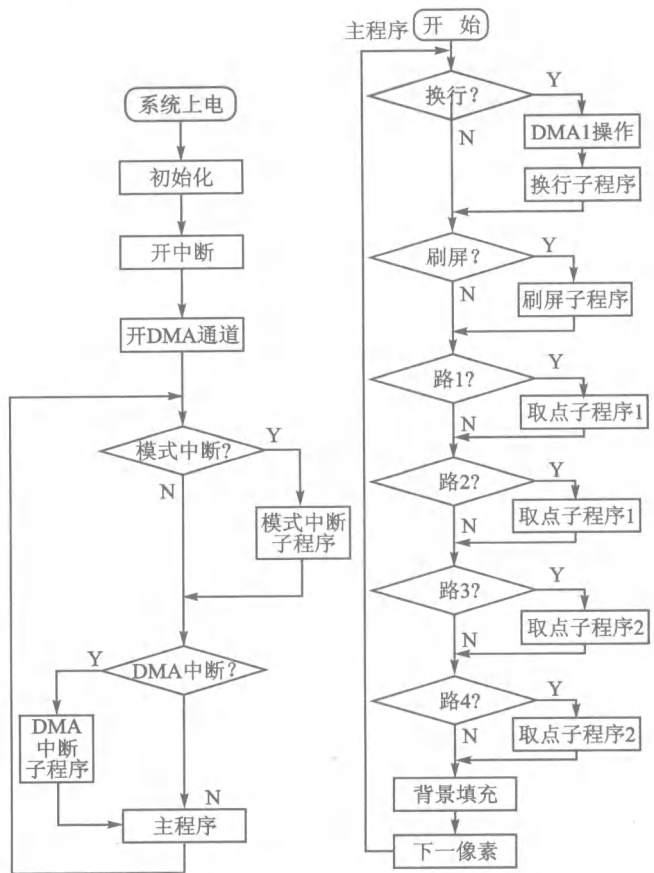


图 3 算法流程

统中要解决的关键问题。本文通过采用针对视频多媒体应用优化了的高速 DSP 和 CPLD,以及专用视频编解码芯片,完成了一个四路双制式高清视频采集处理和多窗口显示系统。经过最后调试和测试,该系统能够满足高速实时性的要求,达到了预期效果,并为下一步的多路视频多图像融合显示系统,提供了很好的技术参考。

参考文献

- [1] Texas Instruments. TMS320DM642 Video/Imaging Fixed - Point Digital Signal Processor Data Manual,2006.
- [2] 李方慧,王飞,何佩琨. TMS320C6000 系列 DSPs 原理与应用[M].北京:电子工业出版社,2003.
- [3] Texas Instruments. TMS320C64x DSP Video Port/VCXO Interpolated Control (VIC) Port Reference Guide, 2007.
- [4] Texas Instruments. TMS320C6000 DSP External Memory Interface (EMIF) Reference Guide,2007.

杨展辉(硕士研究生),主要研究方向为高速图像处理及其硬件实现。

(收稿日期:2007-09-19)