

DM642 开发与应用

丁金龙

(国营 785 厂第一研究所,山西 太原 030024)

摘要:视频处理机是基于 TI 的 DSP TM320DM642 芯片设计,高速信息处理性能,计算能力达 4Gips 使视频处理达到理想效果,可以做实时的视频采集,实现复杂的音视频压缩算法,带有以太网口,可以通过网络传输数据。主要应用于网络视频监控和其它复杂图象处理的高速 DSP 应用。

关键词:TM320DM642;视频实时处理;FPGA;HPI;SDRAM;VIDEO ENCODER;VIDEO DECODER

中图分类号:TN941.2 **文献标识码:**A

0 引言

视频实时处理,由于视频处理中数据量大,要求速度快因此采用 TM320DM642。视频处理机应用于视频采集、视频处理、视频输出的视频实时处理。视频处理机的解决方案有多种选择,但是市场主流产品一般选择两种方案:1) 采用 CPU+ASIC。2) 采用双 CPU 结构,即一个嵌入式 CPU 和一个专用信号处理芯片 DSP。受专用 DSP 芯片处理能力的限制,现有的嵌入式中使视频处理机的视频处理算法基本是 H.263 以下的标准。

1 硬件设计

本文介绍一种基于 TMS320DM642 DSP 的视频采集设计方案。其操作系统、通信协议、网络协议、音视频处理软件均在一颗 TMS320DM642 上实现,降低了开发的难度。

TMS320DM642 芯片简介:

TI 公司的 TMS320DM642 (以下简称 DM642)是一款专门面向多媒体应用的专用 DSP。该 DSP 时钟高达 600MHz,8 个并行运算单元,处理能力达 4800MIPS;采用二级缓存结构;具有 64 位外接存储器接口;兼容 IEEE-1149.1 (JTAG)边界扫描;为了面向多媒体应用,还集成了 3 个可配置的视频端口、面向音频应用的 McASP(Multi Channel Audio Serial Port)、10/100Mb/s 的以太网 MAC 等外设。鉴于 DM642 的上述优点,本网系视频处理机均以 DM642 为核心,完成音视频信号的实时采集、压缩及传输功能。

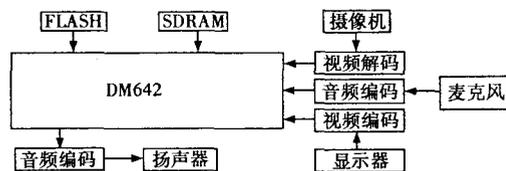


图 1 系统电路组成

系统电路组成如图 1 所示。从视频处理机的视频信号和从麦克风输入的音频信号经采集、A/D 转换为数字信号后送入 DSP。DSP 在信源处对音视频信号进行压缩编码和合

流,然后通过局域网或因特网将数据传输给视频监控中心。监控中心可同时监视多个现场,接收或发送报警信号,并根据需要通过异步串行总线 RS-485 实时控制,调整摄像头的方向和位置。

1.1 视频采集电路

本系统采用的视频解码芯片是 Philips 公司的 SAA7115。从模拟视频输入口输入的全电视信号在 SAA7115 内部经过钳位、抗混叠滤波、A/D 转换、YUV 分离电路之后,在 YUV 到 YCbCr 的转换电路中转换成 BT.656 视频数据流,输入到压缩核心单元 DM642 中。DM642 的 3 个视频口 VP0、VP1、VP2 与视频编解码芯片相接。

在本系统中,只有一路视频输入,故 VP1、VP2 端口,VP0 通道配置为 8 位 BT.656 视频输入口。视频数据的行/场同步信号包含在 BT.656 数字视频数据流的 EAV(end of active video)和 SAV(start of active video)时基信号中,视频口只需视频采样时钟和采样使能信号即可。SAA7115 内部寄存器参数的配置和状态的读出通过 I2C 总线进行。视频接口的原理如图 2 所示。

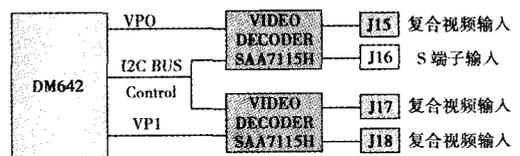


图 2 视频接口原理图

1.2 视频编码电路

本系统采用的视频编码芯片是 Philips 公司的 SAA7105H。DM642 的视频口 2 用来驱动视频编码器,视频信号经过 FPGA 芯片,连到视频编码芯片 PhilipsSAA7105H。FPGA 用于扩展屏幕显示功能。视频输出信号支持 RGB,高清晰度视频, PAL/NTSC 复合视频和 S 端子视频信号。通过 DM642 的 I2C 总线对内部寄存器编程实现不同输出。

1.3 音频输入/输出电路

本系统采用 TI 的高性能立体声编解码器

TLV320AIC23(以下简称 AIC23)实现音频信号的采集和播放。AIC23 与 DM642 的 I/O 电压兼容,可以实现与 DM642 的 McASP 接口无缝连接。在本系统中,AIC23 工作于主模式,左右声道的采样字宽均为 16bit。数据接口为 DSP mode 模式。通过 I2C 总线设置内部寄存器的工作参数和反馈状态信息。

因为网络传输的固有特点,音频数据和视频数据从网络摄像机端到达监控中心不可能是均匀的,如果网络摄像机端不做任何纠正处理,则很难保证音视频的同步输出。为了实现音频和视频的采样同步,本文利用锁相环 PLL1708,从 SAA7115 的 LLC 引脚输出 27MHz 时钟,经 PLL1708 产生 AIC23 的主时钟 MCLK。由于音视频采样信号采用同一个时钟源,就不会出现音视频不同步的问题。PLL1708 的 SCKO3 引脚输出默认时钟频率 18.433MHz,作为 AIC23 的输入主时钟 MCLK。AIC23 内部采用的时钟可通过设置寄存器由主时钟 MCLK 分频得到如图 3。

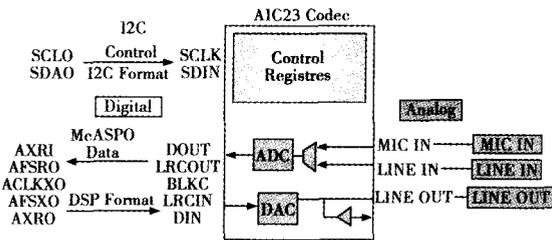


图 3 音频输入/输出接口电路

1.4 以太网接口电路

本系统用 LXT971 作为快速以太网物理层自适应收发器。由于 LXT971 支持 IEEE 802.3 标准,提供 MII(media independent interface)接口,可以支持 MAC,而 DM642 内部正好集成有以太网媒体存取控制器,所以 LXT971 可以和 DM642 实现无缝连接。连接电路如图 3 所示,其中 BH1102 为 1:1 的隔离变压器。从 DM642 传输过来的数据通过 LXT971 转换为以太网物理层能接收的数据后,通过 RJ-45 头传输到因特网。

1.5 存储器扩展电路

DM642 内部有 16KB 的一级程序缓存,16KB 的一级数据缓存和 256KB 的程序数据共享二级缓存。但这对于直接处理图像数据是不够的,因此扩展了两片 32MB 的 SDRAM 来存放原始图像数据,4MB 的 FLASH 来存放应用程序。二者都映射到 DM642 的外部数据空间。如图 4。

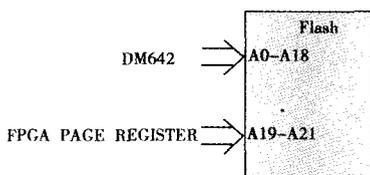


图 4 存储器扩展电路

1.6 FPGA 电路

SPARTAN-3 是 XILINX 公司生产的一种低工耗易开发应用。Spartan-3 FPGA 具有两种类型的内存,可以满足不同

的设计需求,即最大 1.8Mb 的真实双端口块 RAM 和最大 520KB 的分布式 RAM,其封装形式为 16 位深×1 位宽,可用作移位寄存器和 FIFO。先进的时钟管理为高性能电路的设计者提供了更大的灵活性和更强的控制能力,最多四个数字时钟管理器(DCM),并带有 9 个外部输出;8 个预设的全球时钟网络,即 8 根全局时钟线路和丰富的寻址。最多 104 个 18×18 乘法器,该乘法器模块允许两个 18 位二进制作为输入并计算输出 36 位结果,而专用的进位逻辑和高效级联,可实现更多功能。每秒最多 3300 亿次乘法和累加运算(MAC/s)、优秀的高速 DSP 功能的并行实现能力、灵活的串联架构,可实现成本/功能需求的最佳组合。

FPGA 在视频处理机中完成屏幕显示功能,在默认模式下,DM642 视频口 2 的数据可直接输出到视频编码芯片,在需要屏幕显示功能时,FPGA 把内部 FIFO 中的数据和视频口输出得数据混和,对 FPGA 内部 FIFO 的访问可以通过对 DM642 的 EMIF 的 CE3 的地址空间的同步模式的访问实现。FPGA 的同步存储器位于 DM642 的 CE3 地址空间,主要用于实现屏幕显示功能和粘和逻辑。

1.7 RS-485 接口电路

该接口连接到摄像机的云台,用来控制云台的转动,调整摄像头的方向和位置。RS-485 总线抗干扰能力强,能实现多站点远距离通信。本压缩卡拟采用 UART 芯片 SC16C550 和 MAXIM 公司的 MAX487E 来实现 RS-485 信号的传输。SC16C550 主要功能是把 DSP 传送过来的并行信号转换为串行信号。SC16C550 内部的接收器和发送器各有 16B 的 FIFO,能处理的串行信号的速率高达 3Mbps。MAX487E 是 RS-485 总线接口芯片,可以工作在全双工、半双工模式。传输速率可达 2.5Mbps。

1.8 电源电路

整个压缩卡用一个 5V 的直流变压器供电。由这个 5V 的电压器产生 1.4V 和 3.3V 电压分别给 DSP 内核和 I/O 端口供电,产生另外一个 3.3V 给视频编解码及其他芯片供电。注意这两个 3.3V 电源要分开设计,以免电源噪声相互干扰。

由于 DSP 需要两种电压,所以要考虑供电系统的配合问题。加电过程中,应当保证内核电源先上电,最晚也应当与 I/O 电源一起加。关闭电源时,先关闭内核电源,再关闭 I/O 电源。讲究供电次序的原因在于:如果仅 CPU 内核获得供电,周边 I/O 没有供电,对芯片不会产生损害,只是没有输入/输出能力而已。如果反过来,周边 I/O 得到供电而 CPU 内核没有加电,那么芯片缓冲/驱动部分的晶体管将在一个未知状态下工作,这是非常危险的。

为了解决这个问题,本文采用了开关电源芯片 TPS54310PWP,采用 TPS54310PWP 管脚 SS/ENA 接电容来使内核供电与 I/O 端口供电,这样,只有当 1.4V 电压有效之后,3.3V 电压才开始上电,这就保证了 DM642 的内核电压先于 I/O 电压上电。

(下转第 48 页)

要处理许多被污染的图像,这些图像含有众多未知的噪声,我们如何利用压缩稀疏编码进行图像去噪,使得基本的ICA模型可用,是我们下一步的工作。

参考文献

[1] 杨福生,洪波.独立分量分析的原理与应用[M].北京:

清华大学出版社,2006.

[2] 张洪渊.信号源盲分离的理论与实验研究[D].上海:上海交通大学,2001.

[3] 吴小培.基于独立分量分析的混合声音信号分离[J].中国科技大学学报,2001,31(1):68-72.

Algorithm for Mixed Image Blind Separation Based on ICA

Jia Yin-jie¹ Xu Peng-fei²

(1. Department of Computer Engineering, Huaiyin Institution of Technology, Huaian Jiangsu 223001, China;

2. State Key Laboratory of Integrated Service Networks, Xidian University, Xi'an Shaanxi 710071, China)

Abstract: The basic principle of independent component analysis and the theory for signal separation by the FastICA are presented. Then, Matlab simulation experiments have been done to complete the successful application of blind source separation in the field of composite signal. It shows that this arithmetic has fast convergence speed and is good at stability of waveform, consequently provides an effective way for the signal separation.

Key words: independent component analysis; image; fast-ICA

(上接第36页)

和精度,并且可以降低硬件设计的成本和时间,为下一步基于DSP实时数字信号处理和分析设计奠定了良好的基础。

参考文献

[1] 张正松,傅尚新,冯冠军,等.旋转机械振动监测及故障

诊断[M].北京:机械工业出版社,1991.

[2] TMS320F2810, TMS320F2812 Digital Signal Processors Data Manual. TI, 2003.

[3] TMS320F28X Analog to Digital Converter(ADC) Reference Guide. Texas Instruments, 05NOV2004.

The Development and Realization of Data Acquisition System Based on DSP

Jing Chao¹ Zhang Xiao-hua²

(1. Department of Network Engineering, School of Electronic and Computer Science and Technology, North University of China, Taiyuan Shanxi 030051, China;

2. Academic Affairs Office, North University of China, Taiyuan Shanxi 030051, China)

Abstract: In order to solve the velocity problems of automatic detection and data collection in control system, the article adopts the TI Corporation TMS320 series based on DSP software platform—CCS to develop the fast data collection system and also researches the hardware frame and the corresponding application procedure of this system, including other hardware circuit interface, which can be used in the field of condition monitoring and fault diagnosis for rotating machinery.

Key words: data acquisition; DSP; TMS320F2812

(上接第45页)

2 软件设计

在本系统中,图像压缩采用H.264标准。H.264具有很高的编码效率,在相同的重建图像质量下,能够比H.263节约50%左右的码率。H.264的码流结构网络适应性强,增加了差错恢复能力,能够很好地适应IP和无线网络的应用。音频编解码采用G.729算法。网络传输采用RTP/RTCP协议以及组播方式,这样可以保证传送的质量。在操作系统方面,采用基于DSP/BIOS的TI参考架构5(RF5)。基于RF5操作系统的应用程序模块主要包括:音视频采集模块、压缩编码模块、UART控制模块和网络传输模块。

3 结束语

本方案能在一颗DM642芯片上实现视频处理机的几乎全部功能,能对音视频进行实时的编解码和实时的网络传输。图像质量高、开发难度低、易于升级,是一种比较理想的视频处理机解决方案,可广泛应用于视频监控系统中。

参考文献

[1] 季昱,林俊超,余本喜. DSP嵌入式应用系统开发典型实例[M].北京:中国电力出版社,2005.

[2] 李方慧,王飞,何佩琨. TMS320C6000系列DSPs原理与应用[M].第2版.北京:电子工业出版社,2003.

The Development and Application of DM642

Ding Jin-long

(State-owned 785 Plant, Taiyuan Shanxi 030024, China)

Abstract: Video processor is made based on the chip design of DSP TM320DM642 produced by TI. Its capacity of high-speed information processing reaches 4 Gips, which enables the video processing to achieve an ideal effects. Thus, the video processor can be used to video collecting in real time, and realize the complicated video compression algorithm. The video processor is equipped with an Ethernet port, by which data may be transmitted through a network. The video processor is mainly applied to network video monitoring and high-speed DSP application of other complicated image processing.

Key words: TM320DM642; video processing in real time; FPGA; HPI; SDRAM; video encoder; video decoder