

围, 量程完全由摆镜机构决定。该光束智能校正系统能够用于高精度光路校正系统中, 也能在相关领域得到广泛应用。▲

参考文献

- [1] 岳冰, 杨文淑, 傅承毓. 空间通信中的快速倾斜镜跟踪实验系统. 光电工程. 2002,29(3):35-38
[2] 匡萃方, 冯其波, 刘斌. 背景光对四象限探测器干扰的研究. 激光与红外. 2004,34(6):493-495

- [3] 钱建强, 惠梅, 王东生. 基于相关检测的平面镜摆动姿态在线测量仪. 光电子, 激光. 2004,15(8):917-920
[4] 费业泰. 误差理论与数据处理 [M]. 北京: 机械工业出版社, 2003
[5] 马明建, 周长城. 数据采集与处理技术 [M]. 西安: 西安交通大学出版社, 1998

作者简介: 石川 (1982-), 男, 湖北荆州人, 硕士生, 主要从事光束检测及控制的研究。

文章编号: 1671-1041(2007)03-0046-02

DM642+CPLD 视频采集处理系统设计

刘琼^{1,2}, 安涛^{1,2}, 金钢¹, 傅承毓¹

(1. 中国科学院 光电技术研究所, 成都 610209; 2. 中国科学院 研究生院, 北京 100049)

摘要: TMS320DM642 是 TI 公司推出的一款具有专用视频接口 (Video port) 的高性能视频处理 DSP。XC95144XL 是 Xilinx 公司的一款高性能的 CPLD, 具有优良的 3.3V 系统性能以及良好的组合逻辑功能。使用 “DSP+CPLD” 的开发模式, 以 DM642 为数据处理核心, CPLD 为控制核心建立视频采集处理系统, 具备强大的数字信号处理能力和灵活的调试方法。

关键词: DM642 CPLD; 视频采集; 视频处理

中图分类号: TP391.41 **文献标识码:** A

点。

2 DM642+CPLD 视频采集处理系统设计

本文设计的视频采集处理系统主要功能为: 接收模拟视频信号, 进行模数转化得到数字视频信号, 送入 DM642 中进行视频信息的预处理和算法处理, 然后将处理后的数字视频通过数模转换后输出到外部监视器提供观测, 而处理得到的目标信息则通过串口输出, 与后续控制平台进行通信。根据以上的功能要求, 本文将系统拆分为几个模块分别进行设计, 包括系统电源模块、DM642 模块、AD&DA 模块、UART 模块和 CPLD 模块, 结构框图如图 1 所示, 其中的关键是 DM642 模块和 CPLD 模块的设计。其中系统电源模块的设计未在图中标出。

DM642+CPLD Video Collection and Processing System Design

LIU Qiong^{1,2}, AN Tao^{1,2}, JIN Gang¹, FU Cheng-yu¹

(1. Institute of Optics and Electronics, Chinese Academy of Sciences, 610209; 2. Academy of Sciences Graduates College, 100049)

Abstract: TMS320DM642 is one high performance DSP promoted by TI, with specific video ports. XC95144XL is one high performance CPLD promoted by Xilinx, with good 3.3V system ability and logic functions. Developed with “DSP+CPLD” structure, the video collection and processing system was established. Based on the data processing core DM642 chip and the control core CPLD, the video collection and processing system got powerful digital signal processing competency and flexible debugging methods.

Key words: DM642 CPLD; video collection; video processing

1 引言

数字信号处理器 (Digital Signal Processor), 简称 DSP, 是一类以实现高速数字信号处理算法而设计的处理器。TMS320DM642, 简称 DM642, 是 TI 公司推出的 C64X 系列中带有专用视频接口的一款高性能定点 DSP。在 600MHz 的主时钟频率下, DM642 的数字处理能力可达到 4800MIPS (每秒百万条指令), 其增加的音视频及网络通信等外设, 极大地提高了设计上的灵活性, 简化了数字音视频的开发流程 [1]。

相对于 DSP 芯片, FPGA/CPLD 芯片则具有更强的专用性: 片内有丰富的可编程硬件资源、丰富的触发器资源等可方便地实现多功能模块的流水线操作以及功能模块的内部通信。比较 FPGA 和 CPLD 的特点, CPLD 粗线粒的结构更适合于需要强大组合逻辑功能的信号管理与控制, 并且能提供电子设计的可预测性和可重复性 [2]。

根据需求, 采用 DSP+CPLD 的开发模式设计视频采集处理系统, 结合了 DM642 的高速处理性能、DM642 可编程配置视频口 (Video Port, 简称 VP 口) 结构和 CPLD 的逻辑控制能力。整个系统具有编程性好、灵活度高、通用性强、易于维护和扩展等特

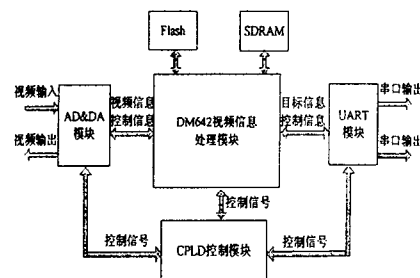


图1 视频采集处理系统的结构框图

DM642 模块是系统的核心模块, 除了 DM642 芯片, 还包括了系统的外部时钟电路, 外挂的 Flash、SDRAM 等。模块的主要功能是接收来自 AD 模块的数字视频信息进行降噪、灰度均衡、直方图处理等简单的视频预处理, 生成像素灰度的视频矩阵, 再通过目标识别、跟踪等视频处理算法后, 输出处理后的数字视频信息和目标信息。AD&DA 模块使用了一对可编程的高级模/数、数/模转换芯片。AD 芯片具备 6 个模拟视频输入接口, 提供与多种制式的模拟视频信号的无缝接口, 可生成多种制式的数字视频信号, 带有丰富的同步信息。DA 芯片为相同系列, 进行反方向的数/模转换工作。AD、DA 芯片的编程配置是由 DM642 通过 I2C 总线实现。UART 模块的主要作用是将 DM642 模块处理后的目标信息通过串口输出, 建立与后续控制平台的通用接口。CPLD 模块的主要作用是对系统内的控制信号进行管理, 包括测试信号、复位信号、使能及中断信号、同步控制信号等, 预留了部分引脚用于系统功能的扩展。

视频采集处理系统的设计实现了从外部模拟视频信号输入、视频采集、视频处理到视频及目标信息输出的完整功能, 充分利用了 DM642 芯片对视频信息处理的高性能和 CPLD 芯片对控制信号的管理能力。

3 DM642 模块设计

收稿日期: 2006-11-19

TMS320DM642 是 TI 公司推出的 C64X 系列中带有专用视频接口的一款高性能媒体处理器 [3]。在 600MHz 的时钟主频下, 数字处理能力可以达到 4800MIPS; 内部具有 256k 字节的二级缓存结构; 带有 3 个可配置的视频接口, 能提供与通用视频编解码器等数据流的无缝接口, 支持多个视频标准; 具有 64 位的扩展内存接口 (EMIF), 可与片外同步 SDRAM 连接, 扩展数据存储空间; 使用标准的 I2C 总线。

本文设计的视频采集处理系统中使用了 DM642 的 6 大功能单元, 包括 CLOCK、中断、VP、I2C、EMIF 和 HPI, 其设计框图如图 2 所示。CLOCK 单元: 系统主频配置为 600MHz; EMIF 时钟配置为 100MHz; 采用 8 位的 ROM BOOT。中断单元: RESET 信号来自系统复位电路; NMI 不用; INT[4..7] 连接到 CPLD 模块进行管理。VP 与 I2C 单元的设计是相关联的, 因为 DSP 通过 I2C 初始化 AD、DA 芯片之后, 再利用 SCL0、SDA0 进行数据传输和通信控制, VP 口才能相应的输入输出视频信息。EMIF 单元: 外接 Flash 放置 BOOT 内容; 外接 SDRAM 扩展数据存储空间; 外接 UART 模块输出目标信息。HPI 单元: 预留, 提供扩展时与其他处理器的通信接口。电源和地按照参考手册配置即可。

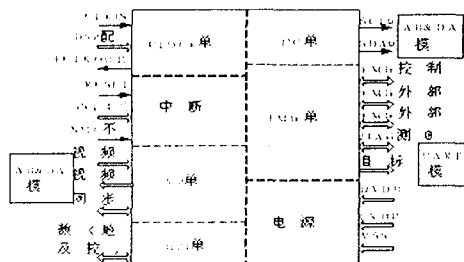


图2 DM642模块的设计框图

4 CPLD 模块设计

本文选择 Xilinx 公司的 XC95144XL 作为 CPLD 芯片构建 CPLD 模块。XC95144XL 具有优良的 3.3V 系统性能, 能输出 3.3V 或 2.5V 的信号, 系统频率为 178MHz [4]。XC95144XL 由 8 个 54V18 的功能块组成, 提供 3200 个可用门, 传播延迟为 5ns, 支持快速并发的系统内编程, 兼容 IEEE 的标准 1149.1 边界扫描 (JTAG), 并具备先进的数据安全性能。

文中 CPLD 模块管理系统中几乎所有的控制信号, 保证了系统的有序运行, 其中主芯片 XC95144XL 的功能如图 3 所示。

CPLD 模块管理的信号分为以下几个部分: JTAG 信号; DM642 中断信号, 包括复位和 INT[4-7]; DM642 使能及配置信号,

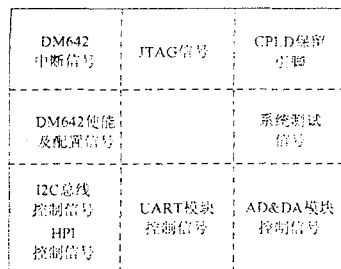


图3 XC95144XL 功能示意图

包括存储器空间映射、读写进行方向和输出使能控制; I2C 总线控制信号; DM642 的 HPI 控制信号预留, 用于与其他处理器的通信; UART 模块控制信号, 包括 UART 芯片的复位信号及其双输出通道控制信号, 比如 RXDY、TXDY、INT 等; AD&DA 模块控制, 包括时钟、复位、看门狗和各种同步信号; 系统测试信号; CPLD 备份引脚, 提供 CPLD 功能扩展。

系统中 CPLD 仅用于控制信号的管理, 逻辑较简单, 其软件开发的关键在于各种信号的命名规范和信号走向, 使用的主要语句为端口映射和赋值语句。

5 结束语

本文以 TI 的媒体处理器 DM642 为视频数据处理核心, 采用 DSP+CPLD 的开发模式建立视频采集处理系统, 体现了高度的灵活性和可靠性。系统充分利用 DSP 的数字处理性能和 CPLD 的逻辑控制能力, 实现了视频采集处理系统的完整功能, 并使用标准串口作为通用接口, 可实现多种设备上的方便使用。

参考文献

- [1] TMS320DM642 Video/Imaging Fixed-Point Digital Signal Processor. SPRS200J, JULY 2002, Texas Instruments.
- [2] 于海雁, 庞杰. CPLD 和 FPGA 器件性能比较与应用. 沈阳工业大学学报. 2002, (6): 243.
- [3] 魏振宇, 张旭东. 一种新的数字信号处理器--媒体处理器 DM642. 世界电子元器件. 2004, (6)
- [4] XC95144XL High Performance CPLD. November, 1998, (Version 1.2), Xilinx.

作者简介: 刘琼 (1981-), 女, 中科院光电技术研究所硕士研究生, 主要研究方向为视频采集与处理; 安涛, 男, 博士研究生, 中科院光电技术研究所; 金钢, 男, 研究员, 中科院光电技术研究所; 傅承毓, 男, 研究员, 中科院光电技术研究所。

文章编号: 1671-1041(2007)03-0047-03

基于 AT89S52 的车载压实度检测仪设计

周熊, 叶平

(中国矿业大学 机电工程学院, 徐州 221008)

摘要: 随着现代化高等级公路建设规模的不断扩大, 对路基压实质量的要求也越来越高。传统的压实质量检测方法是人工抽样检测来推测所有的压实区域, 其结果是误差较大, 易造成漏检。因此研制开发一种快速、无损、定量的压实度检测仪器迫在眉睫。本文利用 ATMEL 公司的 AT89S52 完成了基于单片机的车载振动压路机压实度仪的硬件和软件设计, 并根据 RS232 协议实现了与上位 PC 机的串行通信。

关键词: 压实度; AT89S52; 数据采集; 串行通信

中图分类号: TP216 文献标识码: A

收稿日期: 2006-12-26

Design of the In-Vehicle compaction meter based on AT89S52

ZHOU Xiong, YE Ping

(College of Mechanical and Electrical Engineering, China University of Mining and Technology, Xuzhou 221008, China)

Abstract: With the rapid development of advanced road building size, the desire for compaction quality of the roadbed also rises. The