

DM642 DSP 高效率视频编码优化方法

High Efficiency Video Encoding Optimization on DM642

(上海交通大学) 华斌 陈健

Hua, Bin Chen, Jian

摘要:在视频监控系统和视频会议系统以及流媒体等应用中,数字视频编码成为最重要和最基本的技术手段,论文作者针对视频监控,论述了基于 TMS320DM642 媒体处理器 DSP 平台,实现 H.264 算法的优化方法。论文首先提出了该视频编码器在实时实现中的关键问题,然后对其不同部分提出了优化措施,最后给出实验结果。结果表明本编码器在保持较高图像质量和压缩效率的同时,编码速度能满足实时监控的要求。

关键词:DM642; H.264; 编码器; 视频监控

中图分类号:TN919.8 **文献标识码:**A

Abstract: digital video encoding plays an important role in many applications such as digital video surveillance and video conference systems. This paper describes the optimization techniques for H.264 encoder on TMS320DM642 DSP. After indicating the key problems about the real-time realization of the encoder, the paper introduces different optimization ways for different parts of the encoder. The experiment results show the proposed encoder can be applied in real-time video surveillance while preserving good image quality and compression efficiency.

key words: M642, H.264, encoder, video-surveillance

1 引言

当前在视频监控,视频会议,网络流媒体等方面数字视频编码成为最核心,最基本的技术手段,尤其是视频监控现已成为最为普遍的安保设备之一。基于电脑硬盘为存储体的数字 DVR 已日渐取代模拟 DVR。数字 DVR 的最关键技术就是视频压缩技术,而视频压缩技术又含有两大选择。首先是视频压缩采用何种算法标准,当前视频算法的国际标准有 MPEG2、MPEG4、H.264、H.264 以其高压缩效率,在低码率下优良的图像质量成为目前视频监控系统中首选的压缩方式。但任何事物都有其两面性,H.264 编码的高效率,优质图像是用算法的复杂性来换取的。H.264 编码器的复杂性是 MPEG2 的 4-5 倍。第二个选择是用什么芯片来实现,TI 公司的 TMS320DM642 芯片,是一款专门用作媒体处理的高速 DSP,其强大的图像处理能力为在监控系统中实时实现 H.264 编码提供了可能。为了降低成本,还必须充分运用 DM642 本身的资源,使一颗 DM642 能处理更多路的视频,这就是高效率优化的目的,本文首先对整个视频监控的硬件平台做了介绍,后结合 DM642 的结构特点,提出整个编码软件的框架的安排,对于占用系统资源最多的运动估计提出基于 DSP 的优化方法,最后以整数 DCT 为例,讨论

了编写汇编代码的技巧。

2 硬件平台的介绍

整个视频监控的硬件系统的框架如图 1 所示。

DM642 芯片为了适应数字媒体处理的需求,增加了三个可配置的视频端口(VP0, VP1, 和 VP2),这些视频口外设为常用的编解码设备提供了无缝接口。因而不需要外加可编程逻辑器件和 FIFO 就可满足系统设计的要求。

为了节省成本,提高 DSP 芯片的利用率,在一块板卡可以同时处理多路的音视频,压缩卡与主机间的数据吞吐量会很大,为了保证数据存储的实时性,系统采用 PCI 板卡,其与主机通信数据传输速率最高达 528MB/s (66MHz, 64bit),完全满足大容量高速实时传输系统的需求。

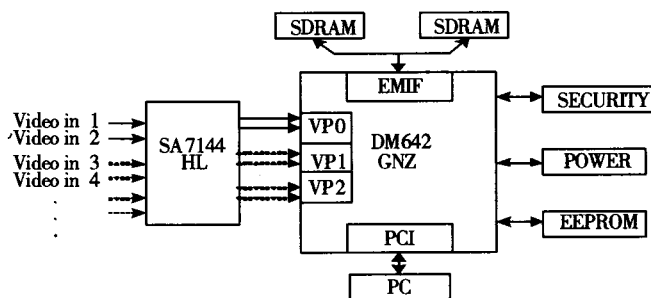


图 1: 硬件系统框架

由于每个视频口可以接收两路 8/10bit 的视频信号,视频信号经过 SAA7144 A/D 转换输出为 8 位 BT。

656格式的数字视频数据。这样就能利用一颗 DM642 芯片处理最多 6 路视频输入。每个视频端口的 BT.656 视频采集模式采集 8bit 或是 10bit 4:2:2 格式的亮度和色度信号,并将它们复用到一个数据流里,视频数据以 Cb,Y,Cr,Y,Cb,Y,Cr 的顺序传送,其中 Cb,Y,Cr 代表同一位置的亮度和色度样点,紧接着后面的 Y 代表下一个位置的亮度样点。数据流经解复用后亮度和色度信息分别存放到各自的 Y,Cb,Cr FIFO 中,再经 EDMA 搬移到 SDRAM 中,以备 CPU 读取进行压缩编码。编码后的视频流再经 PCI 口存入到电脑的硬盘上,从而完成整个视频监控的流程。

3 编码器整体框架的安排

JM 代码是很多可选的 H.264 标准软件之一,它关心 H.264 全部的功能在代码上得到体现,所有的情况都得考虑,例如帧编码,场编码都有,内存的分派没有考虑到系统的实际情况,适合用来帮助理解 H.264 标准,不太适合移植到 DSP 平台上。为了高效的组织利用 DM642 有限的片内资源,就得重新组织代码,包括数据结构,数据存放的位置,程序存放的位置,精简地来安排程序。

首先要考虑的是 L2 的配置问题,第二级 L2 (256kB)是一个统一的程序/数据空间,可以整体作为 SRAM 映射到存储空间,也可整体作为第二级 cache,或者二者的比例的组合使用。因为一旦二级缓存也不命中的话,那么读取数据申请将转由 EDMA 来完成,CPU 至少有 13 个 cycle 的延迟。所以我们总是尽量把程序和数据放在片内存储器内。但是即使全部将 L2 配置成 SRAM 也只有 256kB 大小,以 CIF 格式图像为例,待编码的一帧图像大小是 148.5kB,再加上运动估计的参考图像就大大超过 256kB 了。所以在配置 L2 时,笔者选择的是 SRAM 224kB,L2 cache 32kB。首先考虑要放到 SRAM 的是表格,全局变量,栈数据和一些调用频繁的核心程序,如运动搜索,DCT 变换,量化……而整个待编码图像和参考图像就只能放在片外存储空间了。

既然图像数据被存放到了片外存储空间中,就要涉及到数据在片内存储跟片外存储间的数据搬移,这可交由 DM642 强大的 EDMA 引擎来完成,EDMA 工作时不占用 CPU 的周期,把 CPU 从繁重的搬移数据的工作中解放出来,专致于运算工作。在编码程序时,为了避免 CPU 等待 EDMA 搬完数据后才能工作,可采用乒乓结构的双缓存区,当 EDMA 传送数据到其中一块存储区域时,CPU 对另一块存储区域进行处理。待二者都处理完毕后,乒乓区域交换。

需要通过 EDMA 搬移的数据有待编码的宏块,前后帧对应的参考宏块,和编码后的重构宏块(B 帧不需要),这些宏块都包括亮度块和色度块。EDMA 在搬大量数据时才能将它的性能发挥到极致,如果每编完一

个宏块就进行一次乒乓缓存交换,那么在频繁的配置 EDMA 通道参数上就耗费了过多的 CPU 周期。有限的片内存储空间,制约着不能一次搬太多的宏块,一般一次搬 7~9 个宏块为宜。由于 EDMA 的同步信息是由 CPU 发出的,我们自然想到 QDMA,但 QDMA 适用于单个的,独立的快速搬移数据,对于这种周期性的,重复性的搬移并没有优势。

为了提高 EDMA 的效率,可以采用 EDMA 链,最多开辟 12 个 EDMA 通道,让其首尾相连,这样只需触发一次 CPU,可将待编码的亮度块色度块,参考帧的亮度块和色度块……一次搬完,如图 2 所示。在配置 EDMA 通道时,我们注意到频繁更换的只是 EDMA 的源地址和目的地址,而其它参量是不变的。由于 EDMA 控制器是基于 RAM 结构的,每个通道是通过参数表来配置的,每一个通道的参数都可以在 0x01A0000h~0x01A07ffh 的 2KB 的配置表中找到自己固定的位置,所以在更新某一通道的源地址和目的地址时,直接往配置表写上新地址就行了,而不必调用 CSL 库中的相应的 cache 函数来修改源地址和目的地址。

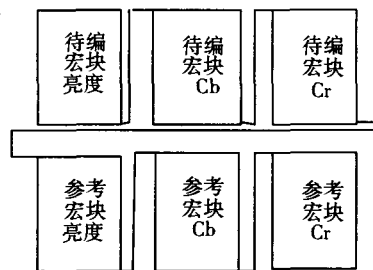


图 2: EDMA 链示意图

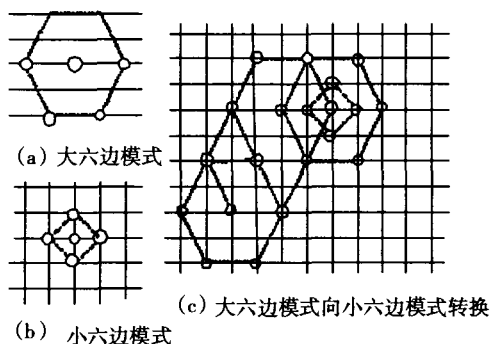


图 3: 六边形搜索算法

4 快速运动算法的优化

包括 MPEG2, MPEG4 和 H.261, H.263, H264 在内的标准都是采取基于块的运动估计模型。当然不同的标准块的大小也不一样,在 H.264 标准中,支持七种块大小 (16x16, 16x8, 8x16, 8x8, 8x4, 4x8, 4x4)。众所周知:运动估计对减少时间域的冗余起了很大的作用,从而能大大提高编码效率,但同时它的计算量特别大,占用了大概整个编码系统的 70%~80%的资源。一个好的编码算法就是要在计算量和编码效率两者之

间取得一个很好的平衡。

全搜索(FS)能够保证在全局范围内搜到一个最佳的位置,但是其计算量是惊人的。对于在嵌入式系统中应用是不现实的。一般在实际应用中都是把几种算法结合起来,在本系统中采取的是:六边形搜索法,如图3所示,先以预测点为中心进行大模式

搜索,如果最优点不在六边形中心,则将六边形的中心移至改点,重复大模式搜索,直到最优点在六边形中点,然后在这点切换到小模式搜索,此搜索法相对于经典的三步法,四步法搜索的点更少。

由于是在DSP平台上,对监控系统实时性要求比较高,提出几种基于DSP平台的优化方法:为了提高L1D的cache的命中率,根据cache不命中流水的原理,一次将参考帧全部灌入L1D内,然后在做运动估计时将七个宏块一齐做,然后再做七个宏块的运动补偿,DCT,量化,反DCT,反量化,编码,写码流。而不是像一般的步骤,对每一个宏块先做运动估计,然后运动补偿,然后DCT,映射到L1D一次,如果每个宏块单独做,在做第一个宏块运动估计时参考帧会由L2映射到L1D,做第二次运动估计时,因为之前程序做过DCT,量化等运算,映射到L1D里的参考帧数据已经被冲走,还得从L2中重新载入。同样的对于程序段一级缓存L1P来说,DCT、量化、反DCT、反量化、编码、写码流等函数都只需映射一次到L1P,而不必被反复地映射,冲掉,再次映射。

在JVT的提案中有很多运动矢量预测算法,如利用运动矢量在时间域有很强的相关性这一特性,我们能够得到比较精确的起始搜索位置。但他不太适合DSP平台,因为这样我们就要保留整个一帧的运动矢量,以CIF图像格式为例,需要12kB的空间,保存在资源紧张的片内显然是不合适的。保存在片外存储空间,调用的时候,先从片外先映射到L2 cache,再从L2映射到L1D,其间流水不命中等待的cycle数,还不如从开始不太精确的初始位置多搜几个点。

5 整数DCT的优化详解

DCT,量化,反DCT,反量化在整个编码程序中占用了大概20%~25%的时间,所以有必要对他们的优化花一番功夫,本文举整数DCT为例说明如何对程序进行汇编级的优化。H.264采用的整数DCT,不仅满足一般DCT的特性,将图像的能量集中到左上角位置,直流系数和低频系数中,还有它特有的几个优点:

-它是整数变换,所有的运算都是整数算法,变换矩阵系数十分简单,核心变换部分可以仅仅用加法和移位来实现。非常有利于在DSP实现。

-可以保证编码端的变换和解码端的反变换完全匹配,没有误差。

首先我们对变换矩阵做必要的调整,如表达式

(1),(2)所示,这样做的好处是行变换和列变换的操作

完全一样,简化了运算。接下来就是用线性汇编或纯汇编来实现两个矩阵的相乘。

$$Y = A^T X A \quad \text{其中 } A = \begin{bmatrix} 1 & 2 & 1 & 1 \\ 1 & 1 & -1 & -2 \\ 1 & -1 & -1 & 2 \\ 1 & -2 & 1 & -1 \end{bmatrix} \quad \dots(1)$$

$$Y = [X^T A]^T A = (X')^T A \quad \text{其中 } X' = X^T A \dots\dots(2)$$

因为DM642 CPU有两个类似的可进行数据处理的通路A和B,每个通路有4个完全相同的运算单元(L,S,M,D)我们可将矩阵的一四两行的运算放在A侧进行,二三两行在B侧进行运算,这样可以保证A,B两侧可同时并行计算。由于整数DCT变换是在16比特精度下完成的,矩阵相乘我们自然会想到汇编指令DOTP2,但是不能全部用DOTP2来完成运算,否则一个周期内就只有M单元在工作,而其他运算单元都闲着。由于整数DCT矩阵系数的特殊性,我们完全可以用加法指令和移位指令来代替乘法指令。表1是一个16x16宏块进行DCT变换,汇编优化前后的cycle数的对比。

表一:16x16宏块DCT所需的周期数

	cycle
c语言开-o2选项	1207
线性汇编优化	243

在写汇编指令时我们要尽量做到在同一个周期内,让位于A,B两侧的8个运算

单元能够同时工作,在做DCT时我们发现M单元不够用,而有时在其他情况下,M单元根本就没用上,这时就要想办法用M去代替其他运算单元。如求残差时要把8位数扩展成16位数,一般用UNPKLU4和UNPKHU4指令来完成,也可以用DOTPU4乘以0x01010101,同样也可以完成扩展要求。

表二:H.264编码器性能测试

视频序列	亮度 PSNR(dB)	码率(kbits/s)	帧率(fps)
Foreman	35.27	452.02	28.36
Weather	36.66	436.18	32.17
Football	34.49	1200.84	26.38

6 实验结果与总结

由于此编码器是针对监控系统的应用,在追求编码速度的时候,对图像质量做了一定的牺牲。下面是编码器的一些参数配置:图像皆为CIF大小,参考帧用了一帧,搜索范围是[-16,16],相邻两个P帧间插入两个B帧,即IBBPBBP……的编码方式,P帧和B帧做运动估计时最小块到8x8块,即只在16x16、16x8、8x16、8x8几种模式间做选择,量化步长设为30。采用CAVLC编码方式

本文针对实时监控的应用要求,(转281页)



出其在 1950MHz 频率处增益为-0.7 dB。偏离中心频率-2.7/2.7MHz 带外抑制分别为-38.9/-44.8dBc, 偏离中心频率-3.5/3.5MHz 带外抑制分别为-57.2/-59dBc, 偏离中心频率-7.5/7.5MHz 带外抑制分别为-71.3/-70.2dBc, 偏离中心频率-12.5/12.5MHz 带外抑制分别为-69.4/-69.7dBc,可见完全满足 3GPP 规范对 WCDMA 射频放大器带外抑制的要求。其余主要技术指标如下:

频率范围: 上行:1920MHz~1980MHz 下行:

2110MHz~2170MHz

选频数: 1 (5MHz 带宽)

驻波比: ≤ 1.4

带内波动: 在一个信道内(3.84MHz): $\leq 1\text{dB}$
(峰峰值)

输出交调: $\leq -55\text{dBc}$ (-8dBm/ch/2ch)

噪声系数: $\leq 28\text{dBm}$

本振泄漏: $\leq -60\text{dBm}$

杂散发射: $\leq -80\text{dBm}$ (RBW:30KHz)

时延: $\leq 4.0\mu\text{s}$

工作环境温度: $-25^\circ\text{C} \sim +55^\circ\text{C}$

工作电压: $+9\text{V} \pm 10\%$

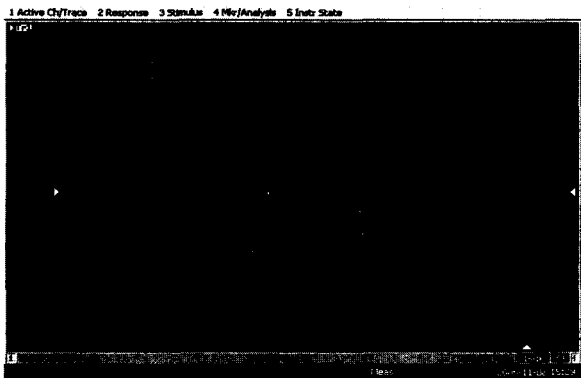


图 4 WCDMA 选频电路频谱图

3 结束语

WCDMA 是第三代移动通信系统 3 个技术标准中最具竞争力的一种体制,可以实现 384Kbps 的高速率数据传输。目前 WCDMA 系统设备的研发已成为全球各大电信设备公司的工作热点。WCDMA 射频放大器是 WCDMA 网络中不可缺少的设备之一,而 WCDMA 选频电路又是 WCDMA 射频放大器中极其重要的部件。本文作者创新点:设计出满足 3GPP 规范要求的选频电路。

参考文献:

- [1]3GPP TS25.106 《UTRA repeater radio transmission and reception》
- [2]3GPP TS25.113《Base Station (BS) and repeater Electromagnetic Compatibility (EMC)》
- [3]3GPP TS 25.143(V6.2.0)《UTRA repeater conformance testing》
- [4]张行等.基于 MAX1487 芯片的远程多机通讯应用[J]微计算机信息,2002.2:55-57

作者简介:游为华,男,(1980.7-)汉,硕士在读,专业:电磁

场与微波技术,现从事的主要研究工作:在武汉邮电科学研究院烽火科技集团虹信公司负责 RF 产品研究与开发 Email: ywhua@wri.com.cn

(430074 武汉邮电科学研究院)游为华 廖德祥 张进才

(Wuhan Research Institute of Post and Telecommunications, Wuhan Hubei China 430074)

You,Weihua Liao,Dexiang Zhang,Jincai

通讯地址:(430074 湖北省武汉市洪山区武汉邮电科学研究院烽火学院研究生部)游为华

(投稿日期:2005.11.26)(修稿日期:2005.12.26)

(接 163 页)结合 DM642 嵌入式系统的硬件特性,从程序的总体架构,数据的存放位置,数据的搬移进行了分析,给出了切实有效的优化方法。对占用系统资源较多的运动搜索给出了适合在 DSP 平台下的算法,对整数 DCT 进行了在汇编层面的优化,并总结了一下优化技巧。经测试基本达到视频监控的实时要求,并且有较好的图像质量和码率。

参考文献:

- [1]Jain E.G. Richardson ,H.264 and MPEG-4 Video Compression ,John Wiley & Sons Ltd,2003
- [2]TMS320C6000 Programmer's Guide,Texas Instruments Incorporated , July 2003
- [3]Video Encoding Optimization on TMS320DM64x/C64x,Texas Instruments Incorporated , October 2004
- [4]李方慧,王飞,何佩琨. TMS320C6000 系列 DSPs 原理与应用(第二版),电子工业出版社,2003
- [5]安向阳,沈庭芝.基于 DSP TMS320DM642 的 H.264 编码器的实现和优化[J].微计算机信息.2005,7-2: 128-P130

作者简介:华斌,男,(1981.5-)汉,上海交通大学电子信息与电气工程学院信号与信息处理专业 硕士研究生,主研视频编码、多媒体信号处理 Email:hb35101@sjtu.edu.cn.陈健,男,(1935-)上海交通大学图像通信与信息处理研究所,教授,博导,主研多媒体信号处理、DSP 应用和数字通信。

Biography: Hua Bin Gender: Male Birthday: 1981.5 Nationality: Han Degree: Master degree of Signal and Information Processing, department of Electronic Engineering, Shanghai Jiao Tong University. Research Area: Video encode, multimedia signal processing. Name: Chen Jian Gender: Male Birthday: 1935 Professor, Ph.D Tutor of Image Communication & Information Processing Institute, Shanghai Jiao Tong University. Research Area: Multimedia signal processing, DSP application and digital communication

(200030 上海交通大学图像通信和信号处理研究所) 华斌 陈健

(Institute of Image Communication and Signal Processing, Shanghai Jiaotong University, Shanghai, China 200030) Hua, Bin Chen, Jian

通讯地址:(200030 上海市华山路 1954 号上海交通大学 B0303496 班 228 信箱)华斌

(投稿日期:2005.11.13)(修稿日期:2005.12.17)