TMS320F2812 与 CPLD 的视频采集系统接口设计

周端春，谭光兴

（广西工学院 电控系，柳州 545006）

摘要：介绍基于 TMS320F2812 和 CPLD 的数字视频采集系统的接口设计。该系统采用同步分离电路、TMS320F2812、EPM7128、TMS320C6416、IDE 硬盘存储器以及显示器接口等芯片，利用 TMS320F2812 中的 ADC 采样速度和转换精度高的优点进行视频的 A/D 转换，可应用于智能防盗、电力系统、智能交通、银行、智能小区、医疗行业以及消防自动报警等视频监控系统中。

关键词：TMS320F2812；EPM7128；视频采集；采样速度；A/D 转换

中图分类号：TN911　　**文献标识码**：A

Video Sampling System Interface Design Based on TMS320F2812 and CPLD

Zhou Duanchun, Tan Guangxing

(Department of Electronic and Control Engineering, Guangxi Institute of Technology, Liuzhou 545006, China)

Abstract: Interface design of digital video sampling system based on TMS320F2812 and CPLD is introduced. The system uses a synchronous separation circuit, TMS320F2812, EPM7128, TMS320C6416, IDE hard disk and display interface chip. It takes advantages of the high ADC sampling rate and high conversion accuracy of TMS320F2812 to realize video A/D conversion. The system is used in intelligent anti-theft, power system, intelligent transportation, banking, intelligent community, medical services, automatic fire alarm system, and other video surveillance systems.

Key words: TMS320F2812; EPM7128; video sampling; sampling rate; A/D conversion

引　言

随着现代视频采集处理技术的快速发展，视频采集系统接口在智能防盗、智能交通、银行、智能小区、医疗行业以及消防报警等系统中的应用越来越普遍。本文设计的是一个以 TMS320F2812 为视频 A/D 转换器，CPLD 为时序和逻辑控制电路，TMS320C6416 为图像处理算法及控制芯片，IDE 硬盘为大容量存储器，2 个 SDRAM 为图像帧存储器的硬件接口电路。与其他嵌入式视频采集系统设计相比，该设计具有采集速度高、功耗低，能进行图像实时采集和处理，能大容量存储图像等特点。

1　视频采集系统原理及接口设计

1.1　视频采集系统原理

视频采集系统原理如图 1 所示。按电路功能，系统可分为图像输入模块、图像存储模块、图像解码模块、CPLD 控制模块、DSP 图像处理与显示接口模块。

摄像头输出标准的复合模拟视频信号经过钳位放大（EL4089）、同步信号分离（LM1881）、自增益控制以及 A/D转换后，输出 YUV422 的数字信号，行、场同步信号，奇偶场信号以及像素时钟信号等图像数据。图像输入模块将模拟视频信号进行行、场同步分离，并将行、场同步信号输出到 CPLD（EMP7128）作为基准信号。CPLD 作为逻辑时序控制器，用于完成数字视频信号的存储与时序控制，并以中断方式通知 DSP（TMS320F2812）读取数据。DSP 将 SDRAM 中的视频数据读出，并写入大容量的 IDE 硬盘存储器中，实现视频数据的存储；且根据存储的图像算法，对图像进行校正、滤波、压缩、分割、特征提取以及识别等处理。最后，将处理后的视频信号传送给显示器实时显示。

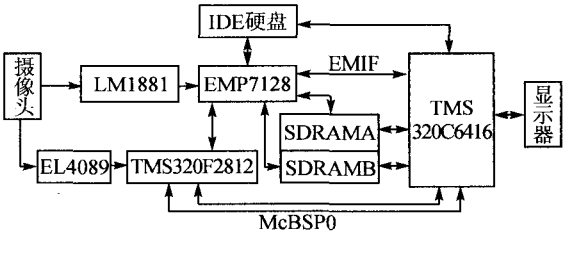

图 1　视频采集系统原理

1.2 接口设计

一般情况下，视频采集经过 A/D 转换后，需要经过图像预处理、特征提取、图像分割与识别等操作，才输出到显示器显示。这些功能的实现都需要 DSP 来完成。

图像预处理包括图像调整和图像压缩。图像调整是指对视频图像进行亮度、饱和度、色度以及对比度的调整，使图像清晰、颜色明显；而图像压缩是指根据需要设定视频采集分辨率，通过压缩可以提高系统的响应速度。特征提取是指使图像从视频背景中分离出来的过程。图像分割是指对特征提取得到的图像进行区域划分的过程。最简单的图像分割方法是，将图像中的所有像素划分为目标像素和非目标像素，用数字 1 表示目标像素点，数字 0 表示其他像素点。

图像输入模块。图像的输入由模拟摄像头完成。摄像头输出的视频信号为标准的复合视频信号 CVBS，必须经过视频解码芯片和 A/D 变换后进入数字系统才有效。模拟视频信号包含图像信号、行同步信号、场同步信号、像素时钟等信号。

图像存储模块。采用 2 片外部存储器 SDRAMA 和 SDRAMB，用于存储数字视频信号，并将数据实时地传送给 TMS320C6416 进行数据处理。本系统采取两片存储器轮换读写的方式。

图像解码模块。负责将摄像头输出的模拟视频信号转换成 Y：U：V＝4：2：2 的数字视频信号；并将图像逐帧存入 SDRAM 中，通过中断通知 DSP 读取数据。该图像解码模块采用的是 TI 公司的 DSP 芯片 TMS320F2812。模拟信号经过处理后从 TMS320F2812 的系统外部接口 XINTF 的引脚 XD[15...0] 输出 YUV422 数字信号，YUV422 信号输出到 TMS320C6416 的 VP0 端口，再通过多通道缓冲端口 McBSP 来控制 TMS320F2812 的工作。TMS320F2812 与 TMS320C6416 的连接如图 2 所示。

CPLD 控制模块。主要实现系统的逻辑控制和存储器地址译码功能。CPLD 将经过同步分离后的行、场同步信号转换成 YUV422 格式的数字信号，同时产生 SDRAM 的地址、读写选通等信号。由 CPLD 输出的 YUV422 格式的数字信号按像素逐个存入 2 片存储器中，其中 2 片 SDRAM 以乒乓方式工作。这里 CPLD 选用 Altera 公司的 EPM7128 芯片。

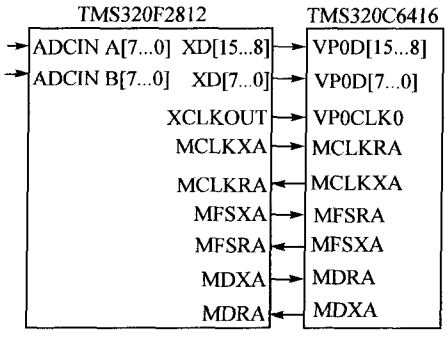

图 2 TMS320F2812 与 TMS320C6416 的连接

DSP 图像处理与显示接口模块。选用 TI 公司的 DSP 芯片 TMS320C6416。该芯片有 HPI 和 EMIF 接口，2 个外部总线接口 EMIF－A 和 EMIF－B 的时钟为 100 MHz，2 片存储器被映射到这 2 个总线上。其中，SDRAMA 映射到 EMIF－A，256 MB，64 位宽，800 MB/s 的瞬时突发率；SDRAMB 映射到 EMIF－B，8 MB，16 位宽，200 MB/s的瞬时突发率。可以方便地与其他处理器连接，有实时的硬件调试功能。开发工具包含 CCS 环境、DSP BIOS、JTAG 扫描控制器等。CPLD 写完一帧图像后发中断信号通知 DSP 读取，DSP 执行中断服务程序从 SRAM 中将一帧图像读入，随即进行处理。其模块与显示器接口的连接如图 3 所示。

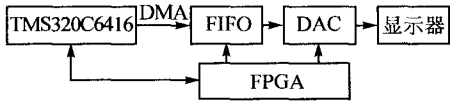

图 3 TMS320C6416 与显示器接口的连接

FPGA 用于对 FIFO 的读/写时序与逻辑控制。FIFO 的写时序信号由 TMS320C6416 的 EMIF 外部总线产生。通过 DMA 方式将视频数据写入 FIFO 缓存器中，再通过 DAC 输出视频编码器将 YUV422 格式的数字信号转换成 SVGA 格式的 RGB 信号格式，并将它输出到显示器上。输出 VGA 分辨率为 800 × 600（SVGA 制），但在 TMS320C6416 存储器中的像素格式为 RGB565。每个像素存储在 16 位的存储器中，其 SVGA 输出像素格式的存储方式如下：

位	15～11	10～5	4～0
	红	绿	蓝

2 视频采集系统接口软件设计

TMS320C6416 上电后进行初始化，即对状态寄存器 ST0、ST1，处理器模式控制寄存器 PMST 和时钟模式寄存器 CLKMD 等进行适当的配置。TMS320C6416 内部的 boot 程序按照外部中断或者通用 I/O 接口的设置，将 Flash 中的程序读到 TMS320C6416 内部的 RAM 中，并运行程序；然后通过它的 McBSP 多通道缓冲口，将控制字写入 TMS320F2812 的寄存器中，从而设置其工作模式。TMS320C6416 开始启动采集数据，并从 SDRAM 中读取

adv@mesnet.com.cn(广告专用)

数据，随后进行视频信号处理。CPLD 会对同步分离电路 LM1881 输出的各种视频信号进行判断与控制。当 CPLD 产生 SDRAM 的地址写选通信号后，会将一帧数据写入 SDRAM；然后发中断信号给 TMS320C6416，以通知 TMS320C6416 可以读取数据，并进行数据压缩、编码、校正、滤波、分割与特征提取等；同时写入到 IDE 硬盘中，并送显示器进行显示。

摄像头输出 2 路复合模拟视频信号：一路送给钳位电路进行放大，然后输出到 TMS320F2812 进行 A/D 转换，输出需要的 YUV422 数字视频信号。由 CPLD 对它进行逻辑与时序控制，TMS320F2812 通过系统外部接口将数据传送给 TMS320C6416 进行图像处理并显示。另一路经过 LM1881 同步分离电路输出模拟视频行、场同步信号，再通过 CPLD 产生 YUV422 数字视频信号，并逐帧存入 SDRAMA 和 SDRAMB 中。SDRAMA 和 SDRAMB 的地址写时序信号由行、场视频信号产生。其读信号由 DSP 的 EMIF 控制信号产生。当 CPLD 向 SDRAMA 写入一帧图像数据时，发中断信号给 TMS320C6416。TMS320C6416 将从 SDRAMB 读取一帧图像数据，同时写入 IDE 硬盘中，并且送显示器显示。当 SDRAMA 存满图像且 SDRAMB 中的图像数据被读完时，CPLD 进行读/写地址信号切换。这样，CPLD 将向 SDRAMB 存入图像数据，而 DSP 将从 SDRAMA 中读取图像数据。如此循环，可以提高图像的存储/读取速度，以及实现实时图像处理与显示的效果。视频采集流程如图 4 所示。

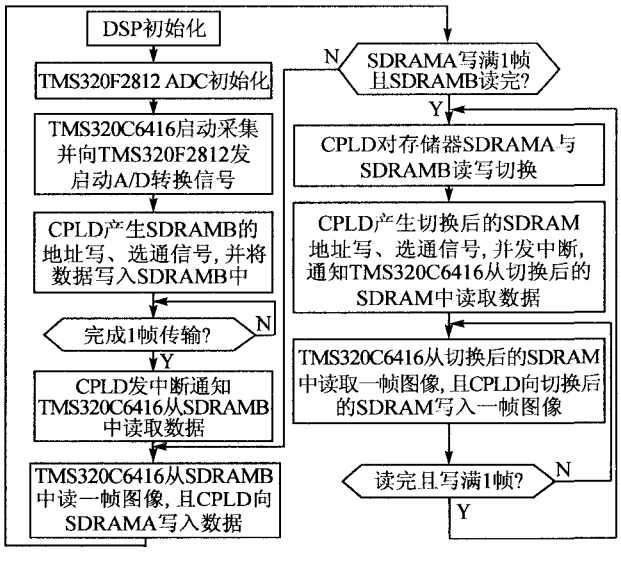

图 4　视频采集流程

2.1　TMS320F2812 ADC 模块初始化设计

本系统可以对 TMS320F2812 的 ADC 模块进行编程，即对 ADC 模块中的寄存器及工作模式进行初始化配置，并且可以实现升级来提高采集的精确度和速度。ADC 模块中有 16 个输入通道口，包括 8 个 A 口和 8 个 B 口。2 个通道口可以级连工作，此时 16 个通道由排序器 SEQ 控制和管理。模块中有 2 个多路选择开关，用来选择 8 个通道中的任何一个通道进行 A/D 转换。如果排序器转换完成，就将所转换的通道的值存储到相应的 ADCRESULT 寄存器中。TMS320F2812 中的 ADC 内部含有 2 个采样保持（S/H）的 12 位 ADC 核心。ADC 的采样率为 12.5 Msps，即能实现 80 ns 采样一次。在自动排序模式下，允许对同个通道口进行多次采样与 A/D 转换，即能进行过采样算法的 A/D 转换。与传统单次转换相比较，具有采样和转换精度高的优点。其 A/D 转换工作流程如图 5 所示。

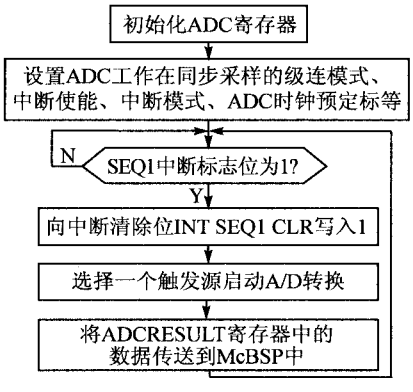

图 5　TMS320F2812 A/D 转换工作流程

2.2　TMS320C6416 与显示接口软件设计

TMS320C6416 与显示接口流程如图 6 所示。其中，DAC 编码的作用是，将数据转换为 PAL 或 NTSC 格式。

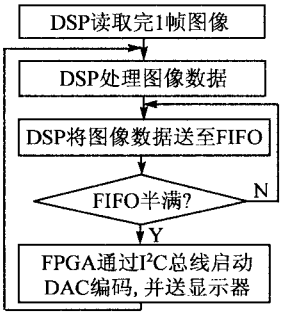

图 6　TMS320C6416 与显示接口流程

3　实验仿真结果

本文给出了 Quartus II 软件下，TMS320C6416 将数据传送给数据缓冲器 FIFO 的时序仿真图。仿真结果清晰明了，有利于整个系统的数据分析与处理。其中，包括时钟信号 clock、数据写脉冲信号 wrreq、数据读脉冲信号 rdreq、数据清空信号 reset、数据输入信号 datain、数据输出信号 dataout，以及数据满信号 full 和数据空信号 empty。仿真结果如图 7 所示。

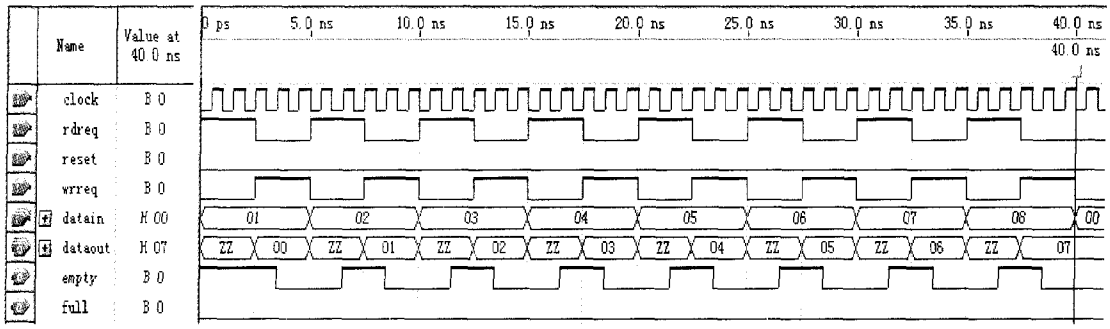

图 7 QuartusII 的 FIFO 时序仿真结果

结 语

本系统给出了基于 TMS320F2812 和 CPLD 的数字视频采集系统接口设计方案，采用存储器的 2 帧存储方式存储图像数据，可实现实时的图像采集、存储及处理功能。由于用到 TMS320F2812 芯片，因此能应用于工业控制的视频图像采集系统中。本系统不需要专门的视频解码器，也可对 TMS320F2812 与 TMS320C6416 进行软件编程，使得系统的应用更灵活和易于升级。

参考文献

[1] 曾义芳. DSP 开发应用技术[M]. 北京：北京航空航天大学出版社，2008.

[2] 大奖赛组委会. 2008 TI DSP 大奖赛获奖成果汇编[M]. 北京：电子工业出版社，2008.

[3] 刘富强. 数字视频监控系统开发及应用[M]. 北京：机械工业出版社，2003.

[4] 陈玉，王宗和，张旭东. TMS320 系列 DSP 硬件开发系统[M]. 北京：清华大学出版社，2008.

[5] Texas Instruments Incoporated. 10-Bit, 240 MSPS Video DAC with Tri-Level Sync and Video，2002 - 06.

[6] Texas Instruments Incoporated. TMS320C6416 DSP Hardware Designer's Resource Guide，2005 - 10.

周端春（硕士研究生），研究方向为 DSP 与嵌入式开发；谭光兴（博士、教授），研究方向为系统工程、控制理论与应用、人工智能。

（收稿日期：2009-10-12）

表 1 通信状态模糊化表

状态 \ 通信状态计数值	0	1	2	3	4	5
电缆正常	0.7	0.56	0.42	0.28	0.14	0
电缆短路	0.3	0.24	0.18	0.12	0.03	0
通信失败	0	0.10	0.20	0.30	0.40	0.5
电缆剪断	0	0.10	0.20	0.30	0.40	0.5

将各传感器测得的参数按照模糊化表得到各子模糊集后，构造关系矩阵 $\boldsymbol{R}$。表 2 为不同参数融合后各故障的置信度值，根据故障判定规则可以准确判断出系统的故障类型。路灯在开灯时启动电流很大，所以在路灯启动的一小段时间内，如果调整传感器的权重，能得到更好的效果。

表 2 故障诊断表

通信状态	电压值/V	电流值/mA	电缆正常	电缆短路	通信失败	电缆剪断	诊断结果
1	12	128	0.490	0.098	0.306	0.106	电缆正常
5	12	128	0.266	0.002	0.466	0.266	通信失败
5	12	50	0.126	0.002	0.326	0.546	电缆剪断
2	1	450	0.324	0.456	0.140	0.008	电缆短路

结 语

将多传感器模糊数据融合技术的故障诊断方法应用于路灯电缆防盗监测系统中，充分利用了来自不同传感器的多元信息的互补性，使系统具有更高的故障诊断准确性。这种方法的不完善之处在于，数据的模糊化、传感器的权重分配还没有形成理论，需要根据实验数据和经验进行设置。

参考文献

[1] 孙文义. 路灯电缆防盗监测系统研究与设计[D]. 秦皇岛：燕山大学，2009.

[2] 朱大奇，刘永安. 故障诊断的信息融合方法[J]. 控制与决策，2007(12)：1321 - 1325.

[3] Ma Ping, Du Hailian, Niu Yuguang, et al. Actuator Fault Diagnosis in Control System Based on Data Fusion. Intelligent Control and Automation: Sixth World Congress on Intelligent Control and Automation, Dalian, 2006[C]. Piscataway: IEEE, 2006(2): 5791 - 5795.

[4] 童树鸿，沈毅，刘志言. 数据融合的模糊模型和算法研究[J]. 哈尔滨工业大学学报，2002，34(1).

（收稿日期：2009-10-21）

adv@mesnet.com.cn(广告专用)