

TMS320F2812 利用 EZ-USB FX2 与 PC 机实现 USB 通信的设计

Design of USB Communication between TMS320F2812 and PC by EZ-USB FX2

黄小光 郝瑞祥 游小杰 郑琼林

(北京交通大学 电气工程学院, 北京市 100044)

Huang Xiaoguang Hao Ruixiang You Xiaojie Zheng Qionglin

(School of Electrical Engineering of Beijing Jiaotong University, Beijing 100044)

【摘要】 介绍 TMS320F2812 利用 EZ-USB FX2 与 PC 机进行 USB 通信的实现方法。首先介绍 TMS320F2812 和 EZ-USB FX2 的特点, 然后详细阐述 EZ-USB FX2 工作在 SLAVE FIFO 模式下与 TMS320F2812 的软硬件实现, 最后给出结论。

【关键词】 TMS320F2812 EZ-USB FX2 USB 变频器

Abstract: The paper introduced a kind of design of USB communication between TMS320F2812 and PC by EZ-USB FX2. Firstly the characteristics of both TMS320F2812 and EZ-USB FX2 are explained. Secondly implementation of the hardware and software system with EZ-USB FX2 under SLAVE FIFO mode is expounded. Finally the conclusions are given.

Key words: TMS320F2812 EZ-USB FX2 USB Transducer

引言

当今的运动控制系统包含多种学科的技术领域, 总的发展趋势是: 驱动的交流化, 功率变换器的高频化, 控制的数字化、智能化和网络化。变频器是运动控制系统中的功率变换器。TMS320F2812(以下简称 F2812) 是 TI 公司的一款用于控制的高性能、多功能、高性价比的 32 位定点 DSP 芯片。该芯片最高可在 150 MHz 主频下工作, 并带有 18k × 16 位 0 等待周期片上 SRAM 和 128k × 16 位片上 FLASH (存取时间 36ns)。其片上外设丰富, 有多达 56 个独立编程的 GPIO 引脚, 可外扩大于 1M × 16 位程序和数据存储器。TMS320F2812 采用哈佛总线结构, 可进行双 16 × 16 乘加和 32 × 32 乘加操作, 因而可兼顾数字控制和快速运算的双重功能。关于 F2812 的详细介绍请参见参考文献 1。鉴于上述优点, 本文将 F2812 用于变频器的数字控制开发平台的开发和应用。

计算机网络的发展, 使依靠计算机网络对变频器进行远程控制也是一个发展方向。这样在有些不适合用户进行现场操作的场合, 也可以很容易的实现控制目标。为了保证数据传输速度, 本套系统采用 USB 将 PC 机与变频器控制器连接。USB 目前最高传输速度可达 480Mbps, 而且不受 PC 机硬件资源限制, 减少驱动程序开发难度。本系统选用了 CY-PRESS 公司的 CY7C68013(EZ-USB FX2 简称 FX2) 实现与 F2812 的接口。为方便下文叙述, 现简单介绍

EZ-USB FX2 特点, 更加详细的叙述请参见参考文献 2。

FX2 芯片包括 1 个 8051 处理器、1 个串行接口引擎 (SIE)、1 个 USB 收发器、8.5KB 片上 RAM、4KB FIFO 存储器以及 1 个通用可编程接口 (GPIF)。FX2 是一个全面集成的解决方案, 它占用更少的电路板空间, 并缩短开发时间。SIE 执行所有基本的 USB 功能, 将嵌入式 MCU 解放出来以用于实现专用的功能, 并保证其持续的高性能的传输速率。GPIF 允许它“无缝连接”, 即可与任何 ASIC 或 DSP 进行连接, 并且它还支持所有通用总线标准, 包括 ATA 和 EPP 等。FX2 完全适用于 USB2.0, 并向下兼容 USB1.1。当大部分 USB1.1 器件都需要微控制器参与数据从端点 FIFO 到应用环境转移。显然, 微控制器本身的工作频率在相当程度上限制了带宽的进一步提高。虽然在 12Mbps 的全速模式下, 这种限制并不明显, 但当速度提升至 480 Mbps 时, 在成本严格控制下微控制器就必然成为整个系统的带宽瓶颈。USB FX2 提供了一种独特架构, 使 USB 接口和应用环境直接共享 FIFO, 而微控制器可不参与数据传输但允许以 FIFO 或 RAM 的方式访问这些共享 FIFO, 这种被称之为“量子 FIFO”(Quantum FIFO) 的处理架构, 较好地解决了 USB 高速模式的带宽问题。

FX2 定义了 7 个端点, EP0IN&OUT、EP1IN、EP1OUT 是 64byte 的端点缓存。EP0、EP1IN 和 EP1OUT 只能由 FX2 的固件访问; 而 EP2、4、6 和 8 无需固件干涉即可同片外芯片互传高速数据。FX2

收稿日期: 2005-07-18

作者简介: 黄小光(1980-), 男, 北京交通大学电气工程学院, 硕士研究生, 研究方向: 电力电子及电力传动。

端点配置方式非常灵活。EP2、4、6和8是大容量高带宽的数据传输端点,可设为IN或OUT端点的一种,能配置成多种形式以适应带宽需要。EP2、4、6和8端点可配置成双重、三重和四重缓存。多缓存的结构以在读写双方速度相似时有效地改善带宽,平滑带宽抖动,减少双方的互相等待时间。

FX有2种接口方式:SLAVE FIFO和可编程接口 GPIF。本文阐述FX2在SLAVE FIFO模式下通过TMS320F2812控制与PC机进行USB通信的软硬件设计。

1 系统硬件设计

SLAVE FIFO方式是从机方式,外部控制器可像普通FIFO一样对FX2的多层缓冲FIFO进行读写。FX2的SLAVE FIFO工作方式可设为同步或异步;工作时钟可选为内部产生或外部输入;其它控制信号也可灵活地设置为高有效或低有效。

在本系统中,FX2和DSP相连,数据主要来自于DSP并受其控制,故设定FX2为SLAVE FIFO工作方式。

1.1 FX2的SLAVE FIFO 硬件配置

图1给出了4个SLAVE FIFO。此图指出FIFO工作在16位模式下,当然也可配置为8位模式。SLAVE FIFO工作模式下硬件相关寄存器有IFCONFIG、EPxCFG、PORTACFG、NPKTEND、EPxFIFOCFG和EPxBUF等。具体叙述参见参考文献[3]。

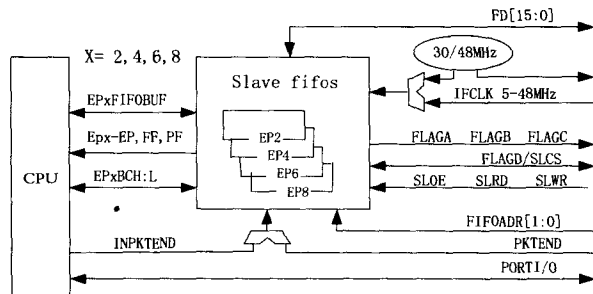


图1 FX2系统SLAVE FIFO工作模式图

当FX2复位后,各个管脚缺省状态并非SLAVE FIFO模式而是工作在普通I/O口模式下。为了配置成SLAVE FIFO模式须使IFCONFIG1:0=11。外部逻辑通过数据线(FD)以8位或者16位的方式访问FIFO。数据线是双向的,SLOE管脚控制数据输出。

FIFOADR[1:0]控制当前访问的是哪一个FIFO。IFCONFIG.3控制同步还是异步访问模式。

每一个FIFO的控制寄存器的WORDWIDE位控制它的数据线是8位还是16位。当WORDWIDE(EDxFIFOCFG.0)=1时数据线为16位,占用B(FD[0-7])和D(FD[8-15])端口,此为缺省状态;当WORDWIDE=0时数据线为8位,占用B端口。如果4个端口中有一个设置为16位数据线模式,不管当前的FIFOADR[1:0]为多少端口D也只能用作数据线端口,而不能用作普通I/O口。

接口时钟IFCLK的时钟源可来自FX2内部也可来自外部。如果时钟源来自内部可配置为30MHz和48MHz两种。IFCONFIG.7=0表示时钟源来自于内部,IFCONFIG.7=1表示时钟源来自于外部。当IFCONFIG.7=1时,IFCONFIG.6=0表示选择30MHz时钟源,IFCONFIG.6=1表示选择48MHz时钟源。IFCONFIG.4=1将IFCLK输出的时钟极性取反,这样使FX2与外部逻辑电路接口更加容易。

FLAGA, FLAGB, FLAGC, FLAGD四个管脚报告了FX2的FIFO的状态。除了FIFO满和FIFO空标志位外,还有一个用户可编程控制位。FLAGA, FLAGB和FLAGC能工作在两种模式下:索引模式(缺省模式)和固定模式;FLAGD只能工作在固定模式下。在索引模式下,FLAGA, FLAGB, FLAGC分别代表了FIFOADR[1:0]确定的FIFO三种状态,FLAGA代表用户编程的控制位,FLAGB表征当前FIFO是否满,FLAGC表征当前FIFO是否空,此时FLAGD管脚作片选信号输入。在固定模式下,FLAGA, FLAGB, FLAGC, FLAGD可通过配置寄存器表示各个FIFO状态,如可配置FLAGA表征端点2是否满,FLAGB表征端点3是否空,等等,而不受当前FIFOADR[1:0]值影响。而各个管脚有效极性是高是低通过配置FIFOPINPOLAR寄存器相应位改变。

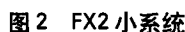
控制管脚包括:SLOE、SLRD、SLWR、PKTEND和FIFOADR[1:0]。FIFOADR[1:0]控制当前访问的FIFO,FIFOADR[1:0]=00时选中EP2,FIFOADR[1:0]=01时选中EP4,FIFOADR[1:0]=10时选中EP6,FIFOADR[1:0]=11时选中EP8,SLOE和SLRD同时有效可从当前FIFO读取数据,SLWR有效可向当前FIFO写入数据,当写入的数据为达到所要求的包长度时,PKTEND有效可强制发送这些数据。

SLAVE FIFO芯片选择管脚SLCS(PA.7)。通过配置PORTACFG.6配置此管脚。此管脚(低有效)可有效的将FX2从数据线上断开,以方便多个从FIFO的系统中数据线的操作。当此管脚为高时,FX2对所有的控制信号SLOE、SLRD、SLWR、PKTEND和FIFOADR[1:0]一律不响应,对数据线处于断开状态。

1.2 通信系统硬件设计

F2812作为主控芯片对FX2的数据读写控制,所以F2812的读写使能、片选、地址线经过CPLD译码后连接到FX2对应的管脚上;数据线与FX2的FD[0:15]直接相连。经过CPLD译码后的地址线的高两位(XA0和XA1)与FX2的FIFOADR[1:0]连接,在本系统中XA0和XA1对应的地址设为0X2010—0X2013,F2812直接对4个地址读写数据即是对FX2的4个端点读写数据。除此之外,F2812的GPIOA的高3位设置为普通输入口,连接FX2的FLAGA,

当FX2芯片自动重置状态跳离后，FX2激活加载器会检查在I2C总线上是否存在EEPROM组件。如果检测到一个EEPROM，加载器会读取EEPROM



C68013

2 USB 通信相关软件设计

本系统软件开发包括：固件、应用程序和驱动程序的设计。CYPRESS公司提供了通用驱动程序和调试软件CONTROL PANEL,下面本文着重阐述固件程序的设计。

设备固件程序的主要功能是控制EZ-USB FX2接收并处理USB驱动程序的请求(如请求设备描述符或设置设备状态, 请求或设置设备接口等USB2.0标准请求)、控制芯片中应用程序控制指令的接收、控制数据的读写等。该固件程序除能够使内置的通用可编程接口(GPIF)在没有CPU的干涉下通过四个大的端点FIFO(EP2、EP4、EP6、EP8)来处理高速宽带外, 还有如下固定的工作: 配置端点、通过控制端点0来响应主机请求、控制和监测GPIF的活动等。

当FIFO达到用户定义的满的数值时可编程标志位(PF)置位。对于OUT包,此数值存放在PF12:0。当整个FIFO的字节数小于等于(DECIS=0)或者大于等于(DECIS=1)设定值时PF置位;对于IN包,当PKSTAT=1时,数值放在PF9:0中,当写入FIFO当前包的字节数小于等于(DECIS=0)或者大于等于(DECIS=1)设定值时PF置位,当PKSTAT=0时,数值存放在两个地方,PKTS2:0存放提交的包,而FP9:0存放当前包的字节,当写入FIFO当前包的字节数小于等于(DECIS=0)或者大于等于(DECIS=1)此数值时PF置位。



缺省情况下, FLA_{GA} 是当前 FIFOADR[1:0] 所指的 FIFO 的 PF, 对于 EP2 和 EP6, 当 FIFO 字节数大于等于 512 字节时 PF 置位, 对于 EP4 和 EP8, 当 FIFO 字节数小于等于 512 字节时 PF 置位。

当 AUTOOUT=1 时 FX2 的 CPU 不在主从通信的路径上, 如图 4 所示。为了尽可能获得 USB2.0 的带宽, 主机与外部控制器旁路了 CPU 直接相连。从主机来的数据可直接提交给 FIFO 而不需固件干涉。

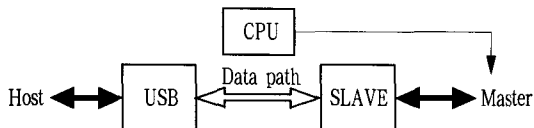


图 4 SLAVE 模式中 In、Out 包自动提交示意图

注意如果在 FX2 复位时 OUT 端点仍有未提交的包, 这些包并不会自动提交给外部控制器。所以当复位后未确定 OUT 端点没有未提交的包, 需要根据端点的缓冲深度通过 OUTPKTEND 的 SKIP 位对这些包进行丢弃。自动 OUT 模式配置步骤如下: 配置 IFCONFIG[7:4] 设定 IFCLK 工作方式; 设定 IFCONFIG[1:0]=11; 复位 FIFO; 设置 EPxFIFOCFG. 4=1。

自动 IN 模式与自动 OUT 模式最大的一个不同点是, 在自动 OUT 模式中, 数据包长度一般都是 512 或者 1024 个字节 (短包除外)。而在自动 IN 模式中, 自动提交的数据包长度可以是任何大于 0 小于 IN 端点存储区最大物理大小。自动提交包的长度存放在 EPxAUTOINLEGH:L 寄存器对里。数据流也可直接通过而不经固件干涉。自动 IN 模式配置步骤: 配置 IFCONFIG[7:4] 设定 IFCLK 工作方式; 设定 IFCONFIG[1:0]=11; 复位 FIFO; 设置 EPxFIFOCFG. 3=1, 用 EPxAUTOINLEGH:L 设定自动提交包的长度。

CYPRESS 公司针对不同应用给出了大量的固件例程并规定了用户的开发模式, 所以开发者只需在例程的基础之上针对自己的应用进行修改配置即可。这样大大缩短了我们的开发周期。针对本系统, 固件初始函数编写如下:

```
void TD_Init( void )
{
    CPUCS = 0x10;
    IFCONFIG = 0xDB;
    SYNCDELAY;          // 延时
    REVCTL = 0x03;
    // EP2 1024 BULK IN 3x EP8 512 BULK OUT 2x
    SYNCDELAY;
    EP2CFG = 0xEB;
    SYNCDELAY;
    EP8CFG = 0xA2;
    SYNCDELAY;
    PINFLAGSAB = 0x00; // 状态标志位清零。
```

```
    SYNCDELAY;
    PINFLAGSCD = 0x00;
    PORTACFG = 0x43;
    // 设定为 SLAVE FIFO 模式
    FIFOPINPOLAR = 0x00;
    SYNCDELAY;
    // 每当 FIFO 字节数达到 0x200 自动发送
    EP2AUTOINLENH = 0x02;
    SYNCDELAY;
    EP2AUTOINLENL = 0x00;
    SYNCDELAY;
    FIFORESET = 0x80;    // 重置 FIFO
    SYNCDELAY;
    FIFORESET = 0x02;
    SYNCDELAY;
    FIFORESET = 0x08;
    SYNCDELAY;
    FIFORESET = 0x00;
    SYNCDELAY;          // 设定自动 IN ,OUT 模式
    EP2FIFOCFG = 0x0D;
    SYNCDELAY;
    EP8FIFOCFG = 0x00;
    SYNCDELAY;          // 清除 FIFO 中未发送的字节
    INPKTEND = 0x82;
    SYNCDELAY;
    INPKTEND = 0x82;
    SYNCDELAY;
    INPKTEND = 0x82;
    SYNCDELAY;
    OUTPKTEND = 0x88;
    SYNCDELAY;
    OUTPKTEND = 0x88;
}
```

上述代码寄存器意义可见参考文献[3]。

3 结论

本文通过 FX2 实现了 F2812 与 PC 之间的 USB 通信, 其具有数据传输速度快, 使用方便等优点。PC 与 F2812 之间采用 USB 通信可实时传输数据, 方便用户在线观测和修改 F2812 中的变量和数据, 实时观测控制系统运行情况, 有利于对算法的研究。

参考文献

- [1] TMS320F2812 Digital Signal Processors. Data Manual [Z]. 2003
- [2] 聂东, 张红兵. USB2.0 规范与 EZ-USB FX2 高速外设控制器[J]. 国外电子元器件, 2002, 07 (7): 37-41
- [3] Cypress EZ-USB FX2 Technical Reference Manual (Version 2.1)[Z]. 2001

