维普资讯 http://www.cqvip.com

●新特器件应用

TMS320F2812 扩展正交解码脉冲接口的设计

史金山,刘 清
(武汉理工大学 自动化学院,湖北 武汉 430063)

摘要:编码器位置检测通道的扩展是机器人或多轴设备运动控制系统中经常碰到的问题,由于微控制器的正交解码脉冲接口电路有限,需要另外设计硬件电路扩展。介绍正交解码器 HCTL-2032 的工作原理,设计了与 TMS320F2812 的接口电路,并给出了读取数据的流程。HCTL-2032 内部集成了滤波、正交解码、计数等功能,与 CPU 接口方便,可提高系统的稳定性和可靠性,非常适用于多轴运动控制系统的开发。

关 键 词: 正交解码器; HCTL-2032; TMS320F2812
中图分类号: TN911.72 **文献标识码**:B **文章编号**:1006-6977(2007)05-0065-03

Design on expanding quadrature decoder pulse interface for TMS320F2812

SHI Jin-shan, LIU Qing
(School of Automation, Wuhan University of Technology, Wuhan 430063, China)

Abstract: The expanding encoder position detection channels is often encountered in the motion control system of robot or multi-axis. Because of the limit interface of MCU quadrature decoder, it needs to expand the other circuit. The operation principle of quadrature decoder IC HCTL-2032 is given. The interface circuit between TMS320F2812 and encoder and the flow of reading data are introduced. The quadrature decoder IC includes filter, quadrature decoder, counter and so on. So HCTL-2032 is very cmpatiable to interfaces with CPU and can improve the system's stability and dependablity. The quadrature decoder IC be suited for multi-axis control system.

Key words: quadrature decoder; HCTL-2032; TMS320F2812

1 引言

在机器人和其他精密仪器的控制系统中,位置检测是需要解决的重要问题之一,位置检测的精度和稳定性对控制系统起着关键作用。计量光栅传感器、旋转编码器、激光陀螺等测量系统的输出一般为两路相位差 90°的正交解码脉冲信号。根据正交解码信号之间相位的超前与滞后关系,把正交信号转换为另外两路信号,分别为代表正交信号任一路脉冲数的脉冲序列以及代表正交信号相位关系的控制信号。它们分别送到可逆计数器的计数输入端和加/减控制端。根据可逆计数的结果可获得测量系统所需要的位移或角位移等测量。在轮式移动机器人运动控制系统中常用旋转编码器检测车轮的速度和角度,从而构成闭环系统实现运动控制算法。一般微处理器不带正交解码脉冲接口,而一些专为控制电机推出的 DSP,如 TI 公司的 C24x、C27x、C28x 系列只提供了两路正交解码脉冲接口,且是与捕捉功能复用的,不能满足检测两个以上位置的需要,因此设计开发解码器与微处理器的接口具有重要的应用价值。

2 HCTL-2032 介绍

HCTL-2032 是 Avago 公司生产的 CMOS 专用集成电路,集噪声滤波、正交解码、可逆计数、总线接口于一体,可大大改善测量系统的性能。相比

维普资讯 http://www.cqvip.com

HCTL-2022而言,HCTL-2032可接收两路正交解码脉冲，并且增加了接收基准信号，时钟周期达33 MHz,不仅节省了电路设计的体积,而且提高了测量精度和处理数据的速度。

2.1 功能

HCTL-2032的引脚排列如图1所示,HCTL-2032可以将光电编码器输出的波形转换成数字信号输入微处理器,两路输入引脚CHAx、CHAy、CHIx和CHBx、CHBy、CHIy经过施密特触发器整形滤波后，通过设置EN1、EN2的值选择采用4×、2×、1×计数模式，而后送入32位二进制计数器对采集的正交波计数,由于输出数据线只有8位,因此32位的数据需要通过改变控制线SEL1、SEL2、$\overline{OE}$的值分四次依次读出。

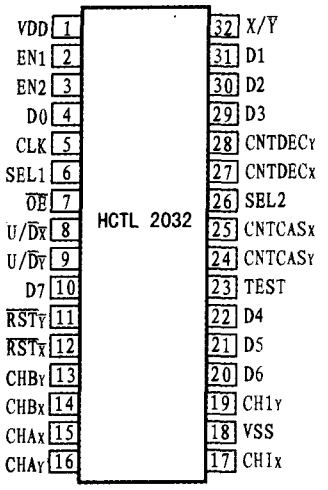

图1 HCTL-2032引脚排列

2.2 内部结构

HCTL-2032内部包括数字滤波器、正交解码逻辑、位置计数器、总线接口，内部结构框图如图2所示。

2.2.1 数字滤波器

HCTL-2032的输入部分包括施密特触发器与数字延迟滤波器，用于抑制混入正交信号的噪声。正交信号通过施密特触发器后,必须保持3个上升沿才能通过数字滤波器,小于1 V的低电平噪声被滤除。余下的高电平、短持续时间噪声脉冲通过数字滤波器滤除。

2.2.2 正交解码

HCTL-2032提供了1×、2×、4×三种可选解码方式,解码方式的选择由EN1、EN2的组合值控制,正交输入相邻跳变沿之间二者的电平状态有四种：10、11、01、00。当选择4×模式时,在一个周期内正交解码器在时钟上升沿采样四种状态进行计数，同

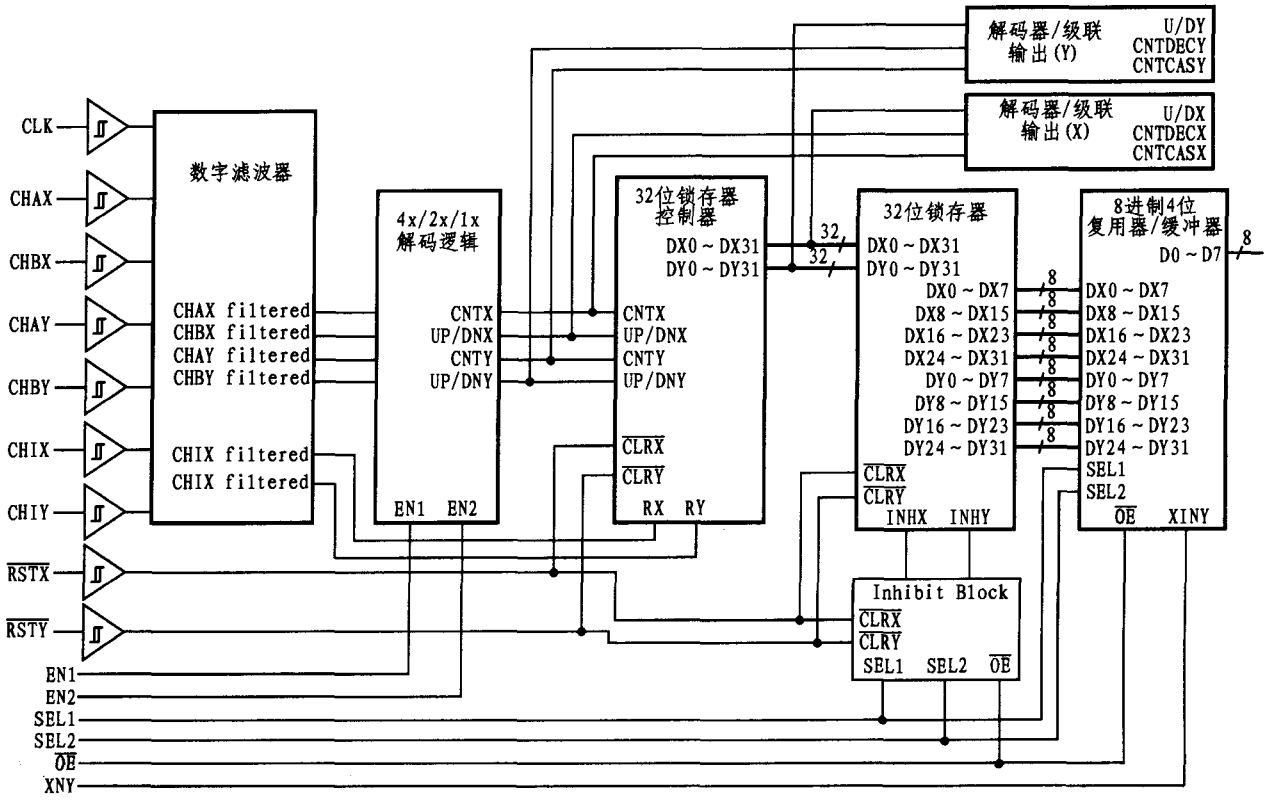

图2 HCTL-2032的简化逻辑图

维普资讯 http://www.cqvip.com

理，当选择 2×和 1×模式时，在一个周期内正交解码器在时钟上升沿分别采样两种、一种状态进行计数。每监测到一次状态变化，在 CNTDEC 引脚输出一个宽度为半个时钟周期的正脉冲，同时给出状态转移方向信号，U/$\overline{D}$ = 1，表明 A 相超前 B 相，反之 B 相超前 A 相。图中同时还给出计数器溢出时的级联信号 CNTCAS。正交解码器对信号与时钟的要求为 $t_{ES}>t_{CLK}$。

2.2.3 32 位二进制计数器与 32 位锁存器

正交解码采集的脉冲输入 32 位增/减计数器，在时钟的上升沿计数，计数值送入 32 位锁存器，使用时通常有以下几种情况：

(1)计数范围在 32 位计数器计数值范围之内，计数值代表绝对位置。

(2)系统作往返周期运动且每周计数值小于 32 位时，可由 $\overline{RST}$ 每个周期复位一次计数器。

(3)系统也可用作 8、16、24、32 位计数，这时两次读取的计数差代表绝对位置，系统绝对位置可由系统软件计算，但是计数器会上溢或下溢，为了防止位置信息丢失，必须保证每次计数差不超过计数器最大计数的一半，即 8 位，16 位，24 位，32 位分别应该在 127，32 767，8 388 607，2 147 483 647 内读取数据。

(4)系统计数大于 32 位时，可用控制端口与其他计数器构成更高位的计数器，从而得到计数绝对值，32 位锁存器在非读数据期间的每个上升沿捕捉计数器的值。在读取数据时，不再捕捉新的数据值，保证数据的正确性，数据读完后由 $\overline{RST}$ 信号将锁存器清 0。

2.2.4 禁止逻辑和总线接口

禁止逻辑在每个时钟周期的下降沿采样 $\overline{OE}$、SEL1 和 SEL2 的值，根据三个信号不同值的组合分四次从总线接口读出计数器的值以及复位禁止逻辑。

3 与 TMS320F2812 的接口电路

TMS320F2812 是 TI 公司最新推出的 DSP 器件。它具有数字信号处理能力、强大的事件管理能力和嵌入式控制功能、运算速度快、接口资源丰富，适用于具有大批量数据处理的测控场合。TMS320F2812 只提供了两个事件管理器 EV1 和 EV2，每个事件管理器模块都有一个正交编码脉冲电路 QEP1 和 QEP2，QEP3 和 QEP4，只接收两路正交编码脉冲。TMS320F2812 工作电压是 3.3 V，而 HCTL-2032 工作电压是 5 V，两者之间不能直接相连，必须采用电平转换器，本设计采用 SN74LVTH245 驱动，同时为了防止负载对 DSP 的影响，采用双通道高速光耦 HCPL2630 进行隔离。硬件电路如图 3 所示。

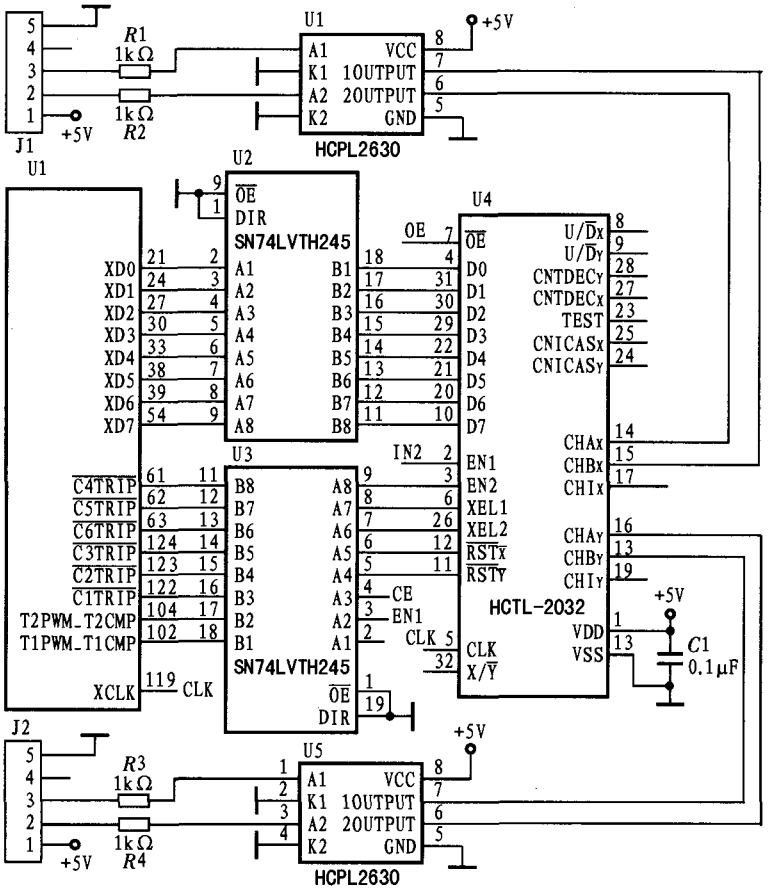

图 3 接口电路图

4 软件设计

4.1 初始化 DSP

DSP 的初始化主要包括：工作频率的设定、关闭看门狗、GPIO 的设置等。其代码如下：

```
EALLOW;
SysCtrlRegs.WDCR= 0x0068; //关闭看门狗
SysCtrlRegs.PLLCR = 0xA;  //频率为 150 MHz
GpioMuxRegs.GPAMUX.all=0x1f3f;//设为 I/O
```
(下转第 72 页)

维普资讯 http://www.cqvip.com

PCI9054 专用的驱动和应用软件中，利用 DMA 方式读取 Flash，读取速度可提高至 1.3 MHz×16 bit。

4 结束语

本设计采用流水、并行处理技术，利用 FPGA 内部嵌入的存储块设计一组高速数据缓冲区，使得多个慢速的存储器件并行工作，令系统内外部数据的速率匹配，避免了外置高速缓存，简化了硬件电路，且极大地提高了存储数据的速率。大容量高密度闪存器件可使单片存储板容量高达 128 Gbit。在 FPGA 内部设计中，建立 Flash 无效块信息列表，并在此基础上对 Flash 进行读、写、擦除及重建无效块信息等操作，使系统具有集成度高、灵活性好、可移植性强、速度快等特点。通过 CPCI 总线采取 DMA 方式读取，极大地提高了读取速度。当接收到的数据带宽很大，速度很高时，可将存储板并联起来，多个存储板级联可满足更大的存储容量需求，也可将级联并联二者结合起来以满足不同系统的要求。整个系统基于 CPCI 工控机箱，更适合于野外的工作环境，并能及时保存、分析数据。

参考文献：

[1]Samsung Electronics, K9xxG08UxA Data Sheet[DB/OL].http: //www.samsung.com/Products/Semiconductor/NANDFlash/SLC_LargeBlock/32Gbit/K9NBG08U5A/ds_k9xxg08uxa_rev11.pdf. 2005.

[2] San Jose. Cyclone Device Handbook [Z]. Altera Corporation,2003.

[3] 夏宇闻. Verilog 数字系统设计教程[M]. 北京：北京航空航天大学出版社，2003.

[4] 韩 茜，罗 丰，吴顺君. 高速大容量固态存储器的设计[J]. 雷达科学与技术，2005,3(2):110-114,118.

作者简介：杨海涛(1980-)，男，硕士研究生，主要研究方向为数字信号处理。

收稿日期：2006-10-23

咨询编号：070522

(上接第 67 页)

```
GpioMuxRegs.GPBMUX.all=0x1fff;//设为 I/O
EDIS;
```

4.2 读取数据

数据的读取分四次完成，依次从高字节到低字节读出，读取每个字节定义三个变量：Result、Result_old、Result_new，分别用于存放最终结果、前一次的读数值、下一次的读数值。首先 DSP 从数据线上获得 HCTL-2032 引脚值。为了保证数据的可靠性，DSP 将重复读取引脚的值，若两次数据相同，则把这个数作为最终值，反之，则说明数据不稳定，继续读取。采用 4×解码模式，读取 x 通道数据时，读取数据的流程图如图 4 所示。

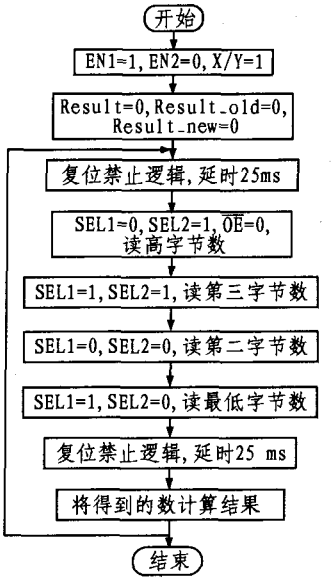

图 4 读取数据的流程

5 结束语

HCTL -2032 正交解码器内部具有 32 位计数器，因此计数过程由器件本身硬件完成，减轻了 CPU 的计数负担。解码器与 CPU 接口方便，非常适合在多轴运动控制系统中扩展编码器位置检测接口。

参考文献：

[1]张卫宁. TMS320C28x 系列 DSP 的 CPU 与外设(上、下)[M].北京：清华大学出版社，2004.

[2] Avago Tehnologies.HCTL-2032 Data Sheet[DB/OL]. http://www.avagotech.cn/products.

作者简介：史金山，硕士研究生，研究方向：机器人技术。

收稿日期：2006-12-27

咨询编号：070521