维普资讯 http://www.cqvip.com

第5卷 第3期
2007年6月

光学与光电技术
OPTICS & OPTOELECTRONIC TECHNOLOGY

Vol. 5, No. 3
June, 2007

文章编号:1672-3392(2007)03-0055-04

F2812DSP扩展AX88796网络接口的驱动设计

刘俊才　吴裕斌　曹丹华

(华中科技大学光电子科学与工程学院,武汉 430074)

摘要　DSP处理器一般不带网络接口,设计了基于TMS320F2812连接高性能网络控制器AX88796组成的带网络接口的开发系统。该系统采用了AX88796的底层驱动程序,裁减TCP/IP协议栈并将其移植到DSP开发系统上。重点解决了驱动初始化,网卡的接收缓冲环管理和TCP/IP协议校验和计算等问题,实现了F2812驱动AX88796,通过TCP/IP协议接入互联网。

关键词　嵌入式系统;网络接口;TCP/IP协议栈

中图分类号　TP311　　**文献标识码**　A

1 引　言

DSP是高速数字信号处理芯片,其卓越的性能、不断上升的性价比、日渐完善的开发方式使其在嵌入式系统领域的应用越来越广,特别是在控制领域,如安全监控以及工业生产线控制等方面更显重要[1]。

本文以TMS320F2812(以下简称F2812)为核心,基于F2812的控制性能和丰富的片内资源,研究扩展高性能的网卡AX88796,并通过把裁减的TCP/IP协议移植到F2812上,实现了系统的网络功能。该系统将控制与互联网相结合,集通信、计算和多媒体功能于一体,有着重要的应用价值。

2 系统构成

F2812是TI公司的32位定点DSP控制器,是目前控制领域最先进的处理器之一,片内内置128 K×16位FLASH和18 K×16位SRAM,FLASH可加密。片外最大可扩展1 M×16位的RAM。其频率高达150 MHz,集成多种先进外设,大大提高了系统的控制精度和芯片处理能力[1]。

AX88796高速以太网控制器是10/100 Mbps自适应的网卡芯片,集成8 K×16位的SRAM,能够支持8位或16位的本地CPU接口以及ISA总线,采用NE2000内核,其功能模块如图1所示。

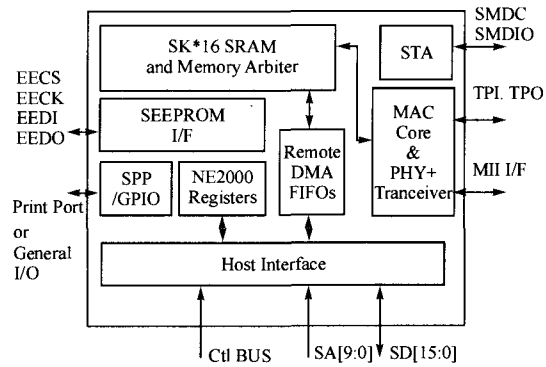

图1　AX88796功能模块

Fig. 1　AX88796 function module

F2812具有快速的运算能力,而且AX88796的NE2000内核体系和ISA总线结构适合与DSP配合使用。设计硬件系统如图2所示。

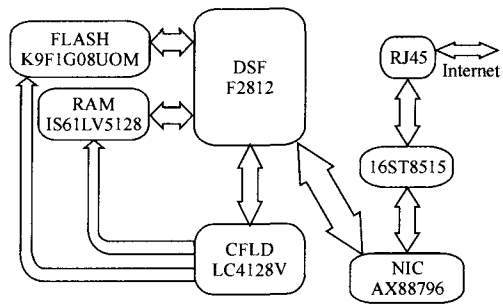

图2　系统硬件设计框图

Fig. 2　Sketch map of hardware system designing

F2812通过CPLD LC4128V地址译码,扩展了RAM IS61LV5128和FLASH K9F1G08U0A

收稿日期　2006-07-04;　**收到修改稿日期**　2006-10-18

作者简介　刘俊才(1981—),男,硕士,主要从事光电传感与信息处理方面的研究。E-mail: JuncaiLiu@gmail.com

维普资讯 http://www.cqvip.com

用作存储代码和数据信息，通过 AX88796 连接互联网。AX88796 的 10 位地址总线 SA[9:0]和 16 位数据总线 SD[15:0]分别与 F2812 的外部地址和数据总线相连。

F2812 通过 I/O 读写 NE2000 寄存器来控制 AX88796 的工作状态，通过远程 DMA FIFOs 与 AX88796 的内部缓存 SRAM 进行数据交换。AX88796 的 SRAM 与其 MAC 核之间进行 Local DMA，将数据传送至 MAC 层，经过 16ST8515 电平转换后，由 RJ45 接口送到网络上，或者经过 MII 接口送至外部的物理层芯片。

A0 接上拉电阻，选定为双字节模式，CPU0 和 CPU1 均接地，选定为 ISA 总线模式。网卡芯片的中断信号/IRQE 接到 F2812 的/INT13 中断入口。

3 AX88796 网卡底层驱动设计

3.1 F2812 的中断设置和控制

在 TCP/IP 协议规定中有许多定时，如 ARP 协议中 ARP 地址映射缓存有一定的存活时间，需要定时更新，在发送 ARP 请求定时重发；在 TCP 协议中也有超时重传定时和保活定时[2]；在协议程序中还包括用于完成不同功能的定时程序。正确设置 F2812 的中断定时功能对完成通信协议非常关键。根据实际时钟频率，设计程序产生 1 s 中断的步骤如下：1）关中断；2）停止时钟 0；3）清除 PIE 中断标志第 7 位，并设置 PIE 中断使能；4）设置 PIECTRL 和 PIEACK 相应的位为 1；5）清 CPU 中断标志，使能 TIMER0 中断；6）设定时钟 0 的控制寄存器，周期寄存器，分频寄存器和定时计数器；7）开中断。

相关的 CMD 文件中，中断向量表 VECTORS 和 PIEVT 存放在 F2812PAGE 1 数据区，VMAP 置 1[1]。中断正确配置之后，在中断处理函数中，可以进行 ARP 缓存更新，超时重传等定时操作。

3.2 网卡芯片 AX88796 的驱动程序设计

F2812 通过对 AX88796 中各种寄存器读写实现对网卡通信过程的控制。F2812 存储单元是 16 位，而 AX88796 支持缓存的 8 位或 16 位读写模式[4]，在 DSP 和网卡进行数据交换时，设定 WTS 位为 1，可直接进行 16 位的数据传输。

AX88796 的 MAC 内部寄存器都是 8 位，映像到 2 个页面。每页有 32 个可供读写的寄存器地址（相对地址：00H～1FH），页面的选择由命令寄存器 CR 控制。数据在 F2812 和网卡传输是通过网卡的数据端口 RDMAPORT 实现的[4]，F2812 采用 DMA 方式对网卡进行数据读写。对网卡中的寄存器进行设置时，要先设置 CR 为 Remote Write DMA 模式；要读取网卡 SRAM 中的数据，应设 CR 为 Remote Read DMA 模式；当设置完毕开始工作时，要停止 Remote DMA 模式。

网卡通信过程控制可分为网卡初始化、接收控制和发送控制。驱动程序的流程图如图 3 所示。

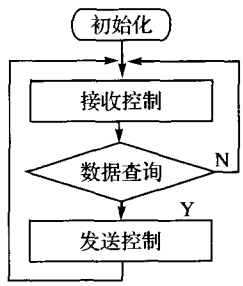

图 3 驱动程序流程图

Fig. 3 Flow chart of driving program

3.2.1 网卡初始化

AX88796 初始化主要是对寄存器设置特定的数值，确定发送和接收条件，并对网卡缓冲区 RAM 进行划分，建立接收和发送缓冲环，并且对网卡的数据接收缓冲环进行维护。为了有效利用缓冲区，网卡的收发缓冲区 RAM 映射为环形结构如图 4 所示。

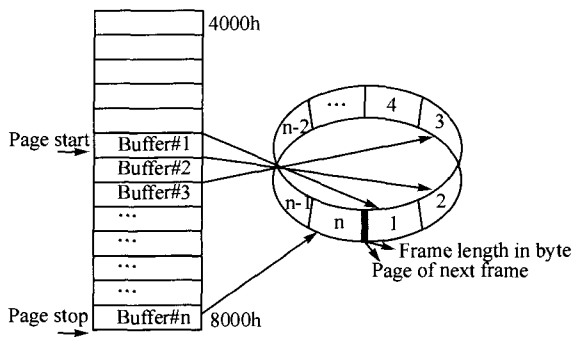

图 4 环形缓冲区以及物理帧的首两字示意图

Fig. 4 Sketch map of ring buffer and the first two words of physical frame

PSTART 和 PSTOP 确定了接收缓冲环的大小和边界。进行缓冲环读写操作，还需 3 个指针：

维普资讯 http://www.cqvip.com

上一个包的结束页指针 RxPageReadBnry、当前包起始页指针 RxPageBeg 和当前包结束页指针 RxPageEnd。RxPageEnd 起着缓冲环写指针作用；RxPageBeg 指向未经 DSP 读取处理的数据始页面，新接收的数据包不可将其覆盖，起着缓冲环读指针的作用。

初始化开始必须先进行软硬件复位，复位结束，开始配置各个寄存器：1）保存 CR 值，停止 PHY 的工作；2）配置 DCR，确定数据传输位宽；3）清零 RBCR0 和 RBCR1；4）配置 RCR 工作模式，初始化时通常要设为接收广播和单播模式，响应 ARP 请求；5）设定网卡进入 loopback 模式；6）配置 RBR(接收缓冲环)确定起始、结束地址和数据传输起始页；7）清 ISR 中断，初始化 IMR；8）配置 IMR 寄存器响应接收和溢出两中断事件；9）设定网卡的物理地址，写入 PAR0-PAR5 中。设定多播地址 MAR0-MAR7 全为 0，初始化当前页指针 RxPageBeg 到 RxPageReadBnry+1 的位置；10）使能上述的配置，启动网卡；11）配置 TCR，设定网卡工作在半双工或者全双工模式。

3.2.2　接收控制过程

F2812 完成对 AX88796 的初始化之后，AX88796 就进入接收状态，通过查询数据缓冲区指针值判断是否有数据达到。

判断条件是：接收缓冲区的当前指针 RxPageEnd 与边界指针 RxPageReadBnry 的数值是不是相差 1。条件成立，即没有数据，程序返回；条件不成立，就表示已有分组到达，接着启动网卡芯片远程 DMA 读，将其缓冲区数据读入 F2812 存储区。

F2812 对网卡芯片的接收控制过程如下：1）设置远程 DMA 的起始地址，RSAR0 = 00H，RSAR1 = RxPageReadBnry + 1；2）设置远程 DMA 操作的字节数，长度在 46～1500 字节范围；3）0AH 送命令寄存器 CR，启动远程 DMA 读；4）从网卡数据端口依序读入数据分组。注意，最先读入的 4 字节并非数据分组内容，而是表示下一个数据帧的页地址(Page of next packet)和本数据帧的字节长度(Length of frame in byte)。当以太网帧存在第一页时，帧的首两字位置如图 4 所示；5）修改边界指针 BNRY＝RxNextPage－1；6）清除远程 DMA 字节数寄存器 RBCR0 和 RBCR1。

接收数据后，程序按照 TCP/IP 协议进行数据处理，其流程图如图 5 所示。

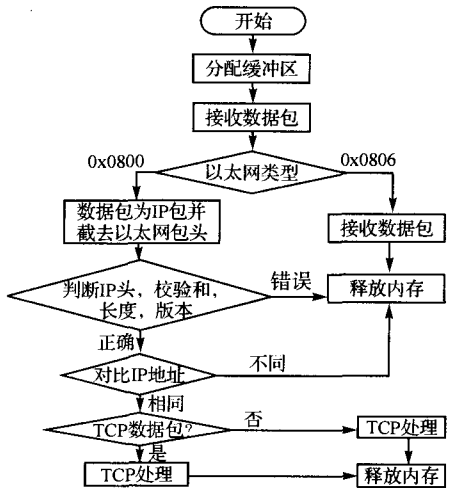

图 5　接收数据的程序流程

Fig. 5　Flow chart of receiving data

3.2.3　发送控制过程

DSP 上层协议栈处理完数据后，开始发送工作。由于以太网的最大帧长为 1514 字节，故一般只需要在网卡 AX88796 中设置 6 页共 1536 字节的发送缓冲区。先执行远程 DMA 写操作，将内存中的数据帧传至网卡发送缓冲区，然后启动发送命令，完成数据帧发送。

3.3　TCP/IP 协议栈设计

TCP/IP 协议根据分层的原理，底层完成了对数据链路的位流的封装，再提供上层对数据分组进行路由控制和处理。TCP/IP 协议主要包括 TCP、IP、UDP、ICMP、ARP 等，如图 6 所示。

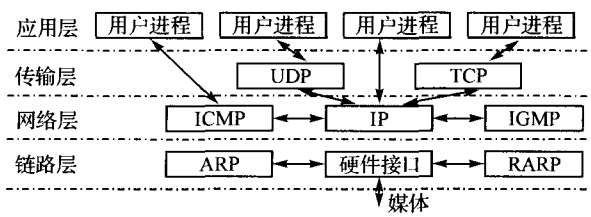

图 6　TCP/IP 协议层次关系图

Fig. 6　Hierarchical chart of TCP/IP protocol

由于嵌入式芯片对于 CPU 的处理速度、片上存储器的大小等资源有一定的限制，因此在设计协议栈时必须考虑实际的需求进行功能裁剪。

首先 DSP 接收和发送以太网数据包的数据结构设计。选择联合体结构作为 DSP 接收和发送以太网数据包的缓冲区。联合体中大小和类型不同的定义临时存储在同一存储器空间，使得各层协议之间数据实现指针传递，提高效率。联合体 databuf 中有 4 个结构体成员：EthHdr、IpHdr、

维普资讯 http://www.cqvip.com

UdpHdr、ArpHdr，分别是按照协议的帧格式进行定义的以太网数据帧、IP 协议、UDP 协议和 ARP 协议的帧格式。RARP 协议一般只用于无盘工作站，本设计中可以省去。

需注意的是，因 databuf 中存储的是 AX88796 发送的以太网数据帧，联合体成员共用 databuf 缓冲区，故在各个结构体中要预留低层协议报头存储空间。如 IP 协议结构体，IpHdr 就要在结构体定义中留下 EthHdr 报头的 7 个 16 位存储空间，从第 8 个 16 位空间开始才是 IP 数据报的内容。

在进行 UDP 和 TCP 处理时，一个难点是计算校验和。UDP 和校验要加上 UDP 伪首部以后再进行校验，伪首部格式包括 32 位源 IP、32 位目的 IP、8 位数据 0、8 位协议号和 16 位 UDP 数据长度[2]。因接收缓冲区的成员结构共用同一块数据存储区，可将 IP 协议的帧头从源 IP 地址开始到帧头结束，再加上固定的 UDP 协议号 17 和数据长度，封装成 UDP 伪首部。这样作带进位的 16 位相加，最后校对校验和就可以了。

根据 TCP/IP 协议，ARP 定时函数有两个，一种是表项时间检测函数，每分钟执行一次，检测 ARP 记录表项的时间，完整表项 20 min 被删除；另一种是定时重发函数，每秒执行一次，在定时时间到达时没有收到响应则重发 ARP 请求。TCP 协议定时函数有三种，一种是连接建立时请求重发定时，一种是连接保持时间定时，还有一种是发送数据包时没有收到确认进行重发的定时[2]。上述功能可根据实际需要的定时时间设置定时存储器，通过中断处理函数实现。

TCP/IP 协议中，还要进行高速 ARP 缓冲区管理优化、IP 路由算法等问题[3]。在实际的嵌入式系统应用中，网络结构简单，终端很少且相对固定，算法也比较简单，在此不作详述。

4 结 论

本文详细探讨了 DSP F2812 上扩展网卡 AX88796 的驱动程序设计方法，并在此基础上移植 TCP/IP 协议栈，实现了基本的网络通信功能。实验实现了 PING 回应，并完成了在 UDP 和 TCP 协议上的数据传输。在本系统上加上图像采集卡和摄像单元，可以进一步实现基于网络进行高速图像处理的应用系统，如网络安全监控系统和工业在线检测等。

参考文献

[1] 苏奎峰，吕强，耿庆锋，等. TMS320FF2812 的原理与开发[M]. 北京：电子工业出版社，2005.
[2] W RICHARD STEVENS. TCP/IP 协议详解卷一：协议[M]. 北京：机械工业出版社，2000.
[3] DOUGLAS E COMER, DAVID L STEVENS. 用 TCP/IP 实现网际互联第二卷：协议、设计与内核[M]. 北京：电子工业出版社，2000：20-45.
[4] 朱飞. 基于 DSP 的快速以太网通信技术研究[D]. 武汉：华中科技大学，2004.

AX88796 Network Driver Designing Based on F2812DSP

LIU Jun-cai WU Yu-bin CAO Dan-hua
(School of Optoelectronic Science and Engineering, Huazhong University of Science and Technology, Wuhan 430074, China)

Abstract Usually, there is no network interface in DSP processor. A developing system with network interface which connected high performance network controller AX88796 with TMS320F2812 is designed. A driving program of AX88796 is adopted by the DSP developing system, and the TCP/IP protocol is cut out to transplant to it. This paper mainly resolves the driving initiation, receiving ring buffer management of the network card, and the check sum of TCP/IP etc. F2812 connected into internet by driving AX88796 and throng TCP/IP is realized.

Key words embedded system; network interface; TCP/IP stack