

### **【摘要】**

随着微电子技术和计算机技术的不断发展,信号完整性分析的应用已经成为解决高速系统设计的唯一有效途径。借助功能强大的Cadence公司SpectraQuest仿真软件,利用IBIS模型,对高速信号线进行布局布线前信号完整性仿真分析是一种简单可行的分析方法,可以发现信号完整性问题,根据仿真结果在信号完整性相关问题上做出优化的设计,从而缩短设计周期。

本文概要地介绍了信号完整性(SI)的相关问题,基于信号完整性分析的PCB设计方法,传输线基本理论,详尽的阐述了影响信号完整性的两大重要因素—反射和串扰的相关理论并提出了减小反射和串扰得有效办法。讨论了基于SpectraQuest的仿真模型的建立并对仿真结果进行了分析。研究结果表明在高速电路设计中采用基于信号完整性的仿真设计是可行的,也是必要的。

### **【关键字】**

高速 PCB、信号完整性、传输线、反射、串扰、仿真

### **Abstract**

With the development of micro-electronics technology and computer technology, application of signal integrity analysis is the only way to solve high-speed system design. By dint of SpectraQuest which is a powerful simulation software, it's a simple and doable analytical method to make use of IBIS model to analyze signal integrity on high-speed signal lines before component placement and routing. This method can find out signal integrity problem and make optimization design on interrelated problem of signal integrity. Then the design period is shortened.

In this paper, interrelated problem of signal integrity, PCB design based on signal integrity, transmission lines basal principle are introduced summarily. The interrelated problem of reflection and crosstalk which are the two important factors that influence signal integrity is expounded. It gives effective methods to reduce reflection and crosstalk. The establishment of emulational model based on SpectraQuest is discussed and the result of simulation is analysed. The researchful fruit indicates it's doable and necessary to adopt emulational design based on signal integrity in high-speed electrocircuit design.

### **Key Words**

High-speed PCB、Signal integrity、Transmission lines、reflect、crosstalk、simulation

## 目录

第一章 绪论.....	5
第二章 Candence Allegro PCB简介.....	6
2.1 高速PCB的设计方法.....	6
2.2 SpectraQuest Interconnect Designer在高速信号印刷板设计中的应用.....	7
2.3 PCB板的SI仿真分析.....	8
第三章 信号完整性分析概论.....	12
3.1 信号完整性（Signal Integrity）概念.....	12
3.2 信号完整性的引发因素.....	12
3.3 信号完整性的解决方案.....	14
第四章 传输线原理.....	15
4.1 传输线模型.....	15
4.2 传输线的特性阻抗.....	16
第五章 反射的理论分析和仿真.....	19
5.1 反射形成机理.....	19
5.2 反射引起的振铃效应.....	20
5.3 端接电阻匹配方式.....	23
5.4 多负载的端接.....	28
5.5 反射的影响因素.....	29
第六章 串扰的理论分析和仿真.....	34
6.1 容性耦合电流.....	34
6.2 感性耦合电流.....	35
6.3 近端串扰.....	36
6.4 远端串扰.....	38
6.5 串扰的影响因素.....	41
第七章 结束语.....	46
参考文献.....	47
致谢.....	47
附录：A/D、D/A 采样测试板原理图和PCB版图.....	61

# 第一章 绪论

随着信息宽带化和高速化的发展,以前的低速PCB已完全不能满足日益增长信息化发展的需要,人们对通信需求的不断提高,要求信号的传输和处理的速度越来越快,相应的高速PCB的应用也越来越广,设计也越来越复杂。高速电路有两个方面的含义,一是频率高,通常认为数字电路的频率达到或是超过45MHZ至50MHZ,而且工作在这个频率之上的电路已经占到了整个系统的三分之一,就称为高速电路;二是从信号的上升与下降时间考虑,当信号的上升时小于6倍信号传输延时即认为信号是高速信号,此时考虑的与信号的具体频率无关。高速PCB的出现将对硬件人员提出更高的要求,仅仅依靠自己的经验去布线,会顾此失彼,造成研发周期过长,浪费财力物力,生产出来的产品不稳定。

高速电路设计在现代电路设计中所占的比例越来越大,设计难度也越来越高,它的解决不仅需要高速器件,更需要设计者的智慧和仔细的工作,必须认真研究分析具体情况,解决存在的高速电路问题。一般说来主要包括三方面的设计:信号完整性设计、电磁兼容设计、电源完整性设计。

在电子系统与电路全面进入1GHz以上的高速高频设计领域的今天,在实现VLSI芯片、PCB和系统设计功能的前提下具有性能属性的信号完整性问题已经成为电子设计的一个瓶颈。从广义上讲,信号完整性指的是在高速产品中有互连线引起的所有问题,它主要研究互连线与数字信号的电压电流波形相互作用时其电气特性参数如何影响产品的性能。

传统的设计方法在制作的过程中没有仿真软件来考虑信号完整性问题,产品首次成功是很难的,降低了生产效率。只有在设计过程中融入信号完整性分析,才能做到产品在上市时间和性能方面占优势。对于高速PCB设计者来说,熟悉信号完整性问题机理理论知识、熟练掌握信号完整性分析方法、灵活设计信号完整性问题的解决方案是很重要的,因为只有这样才能成为21世纪信息高速化的成功硬件工程师。

信号完整性的研究还是一个不成熟的领域,很多问题只能做定性分析,为此,在设计过程中首先要尽量应用已经成熟的工程经验;其次是要对产品的性能做出预测和评估以及仿真。在设计过程中可以不断积累分析能力,不断创新解决信号完整性的方法,利用仿真工具可以得到检验。

## 第二章：Cadence Allegro PCB 简介

### 2.1 高速PCB的设计方法

#### 2.1.1 传统的PCB设计方法

如图2.1是传统的设计方法，在最后测试之前，没有做任何的处理，基本都是依靠设计者的经验来完成的。在对样机测试检验时才可以查找到问题，确定问题原因。为了解决问题，很可能又要从头开始设计一遍。无论是从开发周期还是开发成本上看，这种主要依赖设计者经验的方法不能满足现代产品开发的要求，更不能适应现代高速电路高复杂性的设计。所以必须借助先进的设计工具来定性、定量的分析，控制设计流程。

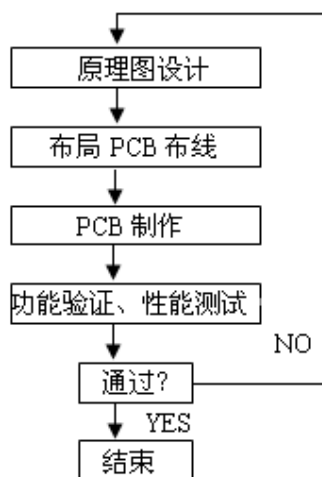


图2.1

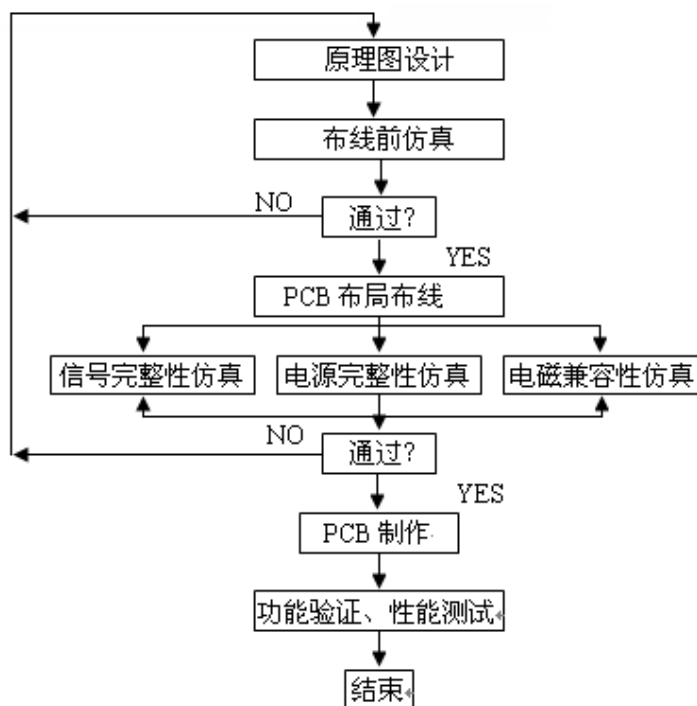


图2.2

#### 2.1.2 Cadence的PCB设计方法

现在越来越多的高速设计是采用一种有利于加快开发周期的更有效的方法。先是建立一套满足设计性能指标的物理设计规择，通过这些规则来限制PCB布局布线。在器件安装之前，先进行仿真设计。在这种虚拟测试中，设计者可以对比设计指标来评估性能。而这些关键的前提因素是要建立一套针对性能指标的物理设计规则，而规则的基础又是建立在基于模型的仿真分析和准确预测电气特性之

上的，所以不同阶段的仿真分析显得非常重要。

Cadence 公司针对 PCB Design Studio 发布一个功能非常实用的高速电路设计及信号完整性分析的工具选件——Allegro PCB，利用这个仿真软件能够根据叠层的排序，PCB 的介电常数，介质的厚度，信号层所处的位置以及线宽等等来判断某一 PCB 线条是否属于微带线、带状线、宽带耦合带状线，并且根据不同的计算公式自动计算出信号线的阻抗以及信号线的反射、串扰、电磁干扰等等，从而可以对布线进行约束以保证 PCB 的信号完整性。

在布线时利用 Interconnect Designer 工具设置各种约束条件，这些约束条件包括了范围广泛的物理和电气性能参数，如常见的 PCB 线宽，过孔数目，阻抗范围，还有峰值串扰，过冲特性，信号延时，阻抗匹配等，用仿真的结果做出在 PCB 中对时序、信号完整性、电磁兼容、时间特性及其他相关问题上做出最优化的设计。

Cadence 软件针对高速 PCB 的设计开发了自己的设计流程，如图 2 它的主要思想是用好的仿真分析设计来预防问题的发生，尽量在 PCB 制作前解决一切可能发生的问题。与左边传统的设计流程相比，最主要的差别是在流程中增加了控制节点，可以有效地控制设计流程。它将原理图设计、PCB 布局布线和高速仿真分析集成于一体，可以解决在设计中各个环节存在的与电气性能相关的问题。通过对时序、信噪、串扰、电源结构和电磁兼容等多方面的因素进行分析，可以在布局布线之前对系统的信号完整性、电源完整性、电磁干扰等问题作最优的设计。

## 2.2 SpecctraQuest Interconnect Designer 在高速 PCB 设计中的应用

### 2.2.1 高速系统设计的若干问题

“高速”设计并不是只适用于以较高时钟速率运行的设计，随着驱动器的上升和下降时间缩短，信号完整性和 EMC 问题就会加大。如果所用片子的信号和时钟边沿速率为 1 至 2ns 或更快，即使运行在几兆赫的板子也要精心考虑。信号传递速度快的板子在设计时就要采用虚拟样板，先对系统功能进行透彻的仿真，然后决定电路图的布局布线。所谓虚拟样板是供设计者先行模拟仿真的系统模型。对模拟样板进行仿真，是为了分析信号的完整性和 EMC 性能，这意味着样板里必须有足够精确的器件模型。片子模型通常有两类：一类是功能级；另一类是电路

/器件级，后者一般用的是Spice语言或类似Spice的语言。功能级模型用于对系统级整体设计的评估，而电路/器件模型则用于对设计内部各个零部件进行精确分析，找出难以鉴定的隐患。对这两类模型都要进行仿真，并检查器件互连及板子通路。

## 2.2.2 SpectraQuest interconnect Designer的性能简介

SpectraQuest interconnect Designer是Cadence公司为了满足高速系统和板级设计需要而开发的工程设计环境。它将功能设计和物理实际设计有机的结合在一起。设计工程师能在直观的环境中探索并解决与系统功能息息相关的高速设计问题。在进行实际的布局和布线之前，SpectraQuest Interconnect Designer使设计工程师在时间特性，信号完整性，EMI，散热及其他相关问题上作出最优化的设计。这种统一的考虑不仅在单块板的系统中得到完美体现，更能在多块板构成的系统中，包括ASIC芯片，电路板，连接电缆，插接件等之间的连接进行分析。SpectraQuest可以接受许多第三方厂商的网络表信息，时间特性数据（例如IBIS模型），提供了强大且易用的高速设计必须考虑的参数设置环境。元件的IBIS仿真模型由元件的制造商提供，也可以自定义元件的模型。IBIS (input/output buffer information) 输入/输出缓冲器信息规范, 是一个元件的标准模型信息。IBIS模型是一种基于V/I曲线的对I/O 缓冲器快速准确建模的方法, 是反映芯片驱动和接收电气特性的一种国际标准, 它提供一种标准的文件格式来记录如驱动器输出阻抗、上升/下降时间及输出负载等参数, 非常适合做振铃(ringing) 和串扰(crosstalk) 等高频效应的计算与仿真。

IBIS模型是用于描述I/O 缓冲信息特性的模型, 一个输出输入端口的行为描述可以分解为一系列的简单的功能模块, 由这些简单的功能模块就可以建立起完整的IBIS模型, 包括封装所带来的寄生参数、硅片本身的寄生电容、电源或地的嵌压保护电路、门限和使能逻辑、上拉和下拉电路等。

在SpectraQuest的参数设置环境中你可以针对不同设计要求规定不同的约束条件。这些不同的约束条件可以通过参数分配表分配给电路板上不同的特定区域, 或者分配给某一个信号组 (group), 甚至具体到某一个网络。这些约束条件包括了范围广泛的物理和电气性能参数, 如常见的PCB线宽, 过孔数目, 阻抗范围, 还有峰值串扰, 过冲特性, 信号延时, 阻抗匹配等。SpectraQuest内部包括

SigNoise信号完整性分析工具，SigNoise能接受IBIS，Elecmodel和Quad模型，转换成其独特的设计模型化语言（DML）以完成复杂I/O结构的建模。这种结构内有可编程驱动强度缓冲器，动态上拉/下拉I/O缓冲器和动态钳位二极管。这种复杂的I/O结构模型是纯IBIS模型难以作到的。DML语言以Spice语言为基础，把IBIS模型嵌套在较大的宏模型中，在较大的Spice模型中有功能性IBIS模型，因此SigNoise能以快得多的速度进行仿真，而这种速度是纯Spice模型所无法达到的。

SpecctraQuest对高速系统的信号完整性分析和波形仿真，在高速系统设计中具有指导意义。设计者可以在电路板预布局的情况下，就可以对系统特性进行仿真，而且实践证明，仿真结果不好的布局，在完成布线后的仿真结果也不好。在进行布局的调整，完成布线后，再进行仿真，对于效果不好的网络分析原因，再加以针对性的改进，直至得到满意的布线结果。SpecctraQuest仿真流程如下：

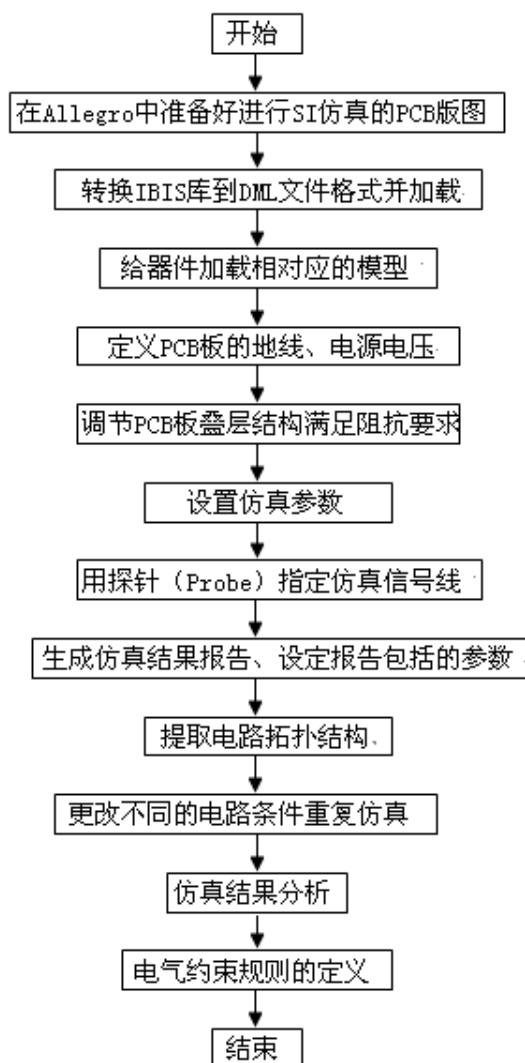


图2.3



## 第三章 信号完整性分析概论

### 3.1 信号完整性 (Signal Integrity) 概念

信号完整性是指信号在信号线上的质量。信号具有良好的信号完整性是指当在需要的时候,具有所必需达到的电压电平数值。差的信号完整性不是由某一因素导致的,而是由板级设计中多种因素共同引起的。特别是在高速电路中,所使用的芯片的切换速度过快、端接元件布设不合理、电路的互联不合理等都会引起信号的完整性问题。具体主要包括串扰、反射、过冲与下冲、振荡、信号延迟等。

### 3.2 信号完整性的引发因素

信号完整性问题由多种因素引起,归结起来有反射、串扰、过冲和下冲、振铃、信号延迟等,其中反射和串扰是引发信号完整性问题的两大主要因素。

#### 3.2.1 反射(reflection)

反射和我们所熟悉的光经过不连续的介质时都会有部分能量反射回来一样,就是信号在传输线上的回波现象。此时信号功率没有全部传输到负载处,有一部分被反射回来了。在高速的PCB中导线必须等效为传输线,按照传输线理论,如果源端与负载端具有相同的阻抗,反射就不会发生了。如果二者阻抗不匹配就会引起反射,负载会将一部分电压反射回源端。根据负载阻抗和源阻抗的关系大小不同,反射电压可能为正,也可能为负。如果反射信号很强,叠加在原信号上,很可能改变逻辑状态,导致接收数据错误。如果在时钟信号上可能引起时钟沿不单调,进而引起误触发。一般布线的几何形状、不正确的线端接、经过连接器的传输及电源平面的不连续等因素均会导致此类反射。另外常有一个输出多个接收,这时不同的布线策略产生的反射对每个接收端的影响也不相同,所以布线策略也是影响反射的一个不可忽视的因素。

#### 3.2.2 串扰(crosstalk)

串扰是相邻两条信号线之间的不必要的耦合,信号线之间的互感和互容引起线上的噪声。因此也就把它分为感性串扰和容性串扰,分别引发耦合电流和耦合电压。当信号的边沿速率低于1ns时,串扰问题就应该考虑了。如果信号线上有交变的信号电流通过时,会产生交变的磁场,处于磁场中的相邻的信号线会感应出信号电压。一般PCB板层的参数、信号线间距、驱动端和接收端的电气特性及

信号线的端接方式对串扰都有一定的影响。在Cadence的信号仿真工具中可以同时对6条耦合信号线进行串扰后仿真，可以设置的扫描参数有：PCB的介电常数，介质的厚度，沉铜厚度，信号线长度和宽度，信号线的间距。仿真时还必须指定一个受侵害的信号线，也就是考察另外的信号线对本条线路的干扰情况，激励设置为常高或是常低，这样就可以测到其他信号线对本条信号线的感应电压的总和，从而可以得到满足要求的最小间距和最大并行长度。

### 3.2.3 过冲(overshoot)和下冲(undershoot)

过冲是由于电路切换速度过快以及上面提到的反射所引起的信号跳变，也就是信号第一个峰值超过了峰值或谷值的设定电压。下冲是指下一个谷值或峰值。过分的过冲能够引起保护二极管工作，导致过早地失效，严重的还会损坏器件。过分的下冲能够引起假的时钟或数据错误。它们可以通过增加适当端接予以减少或消除。

### 3.2.4 振铃(ringing)

振荡的现象是反复出现过冲和下冲。信号的振铃由传输线上过度的电感和电容引起的接收端与传输线和源端的阻抗不匹配而产生的，通常发生在逻辑电平门限附近，多次跨越逻辑电平门限会导致逻辑功能紊乱。振铃由反射等多种因素引起的，振铃可以通过适当的端接或是改变PCB参数予以减小，但是不可能完全消除。

在Cadence的信号仿真软件中，将以上的信号完整性问题都放在反射参数中去度量。在接收和驱动器件的IBIS模型库中，我们只需要设置不同的传输线阻抗参数、电阻值、信号传输速率以及选择微带线还是带状线，就可以通过仿真工具直接计算出信号的波形以及相应的数据，这样就可以找出匹配的传输线阻抗值、电阻值、信号传输速率，在对应的PCB软件Allegro中，就可以根据相对应的传输线阻抗值和信号传输速率得到各层中相对应信号线的宽度(需提前设好叠层的顺序和各参数)。选择电阻匹配的方式也有多种，包括源端端接和并行端接等，根据不同的电路选择不同的方式。在布线策略上也可以选择不同的方式：菊花型、星型、自定义型，每种方式都有其优缺点，可以根据不同的电路仿真结果来确定具体的选择方式。

### 3.2.5 信号延迟(delay)

电路中只能按照规定的时序接收数据,过长的信号延迟可能导致时序和功能的混乱,在低速的系统中不会有问题,但是信号边缘速率加快,时钟速率提高,信号在器件之间的传输时间以及同步时间就会缩短。驱动过载、走线过长都会引起延时。必须在越来越短的时间预算中要满足所有门延时,包括建立时间,保持时间,线延迟和偏斜。由于传输线上的等效电容和电感都会对信号的数字切换产生延迟,加上反射引起的振荡回绕,使得数据信号不能满足接收端器件正确接收所需要的时间,从而导致接收错误。在Cadence的信号仿真软件中,将信号的延迟也放在反射的子参数中度量,有Settledelay、Switchdelay、Propdelay。其中前两个与IBIS模型库中的测试负载有关,这两个参数可以通过驱动器件和接收器件的用户手册参数得到,可以将它们与仿真后的Settledelay、Switchdelay加以比较,如果在Slow模式下得到的Switchdelay都小于计算得到的值,并且在Fast的模式下得到的Switchdelay的值都大于计算得到的值,就可以得出我们真正需要的两个器件之间的时延范围Propdelay。在具体器件摆放的时候,如果器件的位置不合适,在对应的时延表中那部分会显示红色,当把其位置调整合适后将会变成蓝色,表示信号在器件之间的延时已经满足Propdelay规定的范围了。

### 3.3 信号完整性的解决方案

随着各种PCB仿真软件的出现,通过仿真指导布局来解决信号完整性问题成为行之有效的途径。首先在电路设计方案中,设计者可有多种选择,并能通过设计同步切换输出数量,各单元的最大 $dI/dt$ 和 $dV/dt$ 等工作来控制信号的完整性,也可为高扇出功能块,如时钟驱动器选择使用差分信号。在布线过程中,可以通过在SpecctraQues中设置约束条件来使布线符合规定条件,以得到对于延迟的准确预测。对电路进行电路仿真 这在现代高速PCB板设计中显得尤为重要,而且它具有的最大优点是显而易见,给设计师科学、准确和直观的设计结果,便于及时更改与纠正,缩短了设计时间,降低了成本设计者应对相关因素作出估计,建立合理的模型。随着时钟频率的增加,这将成一项关键的确认和验证步骤。在现代高速PCB设计中,保持信号完整性对设计者来说越来越富有挑战性。

号完整性要求。

## 第四章 传输线原理

简单的说，传输线是由两条有一定长度的导线组成。如信号在走线上的传输时间大于电平跳变上升/下降时间的一半，则该走线判定为传输线。

### 4.1 传输线模型

平行传输线如下图所示：

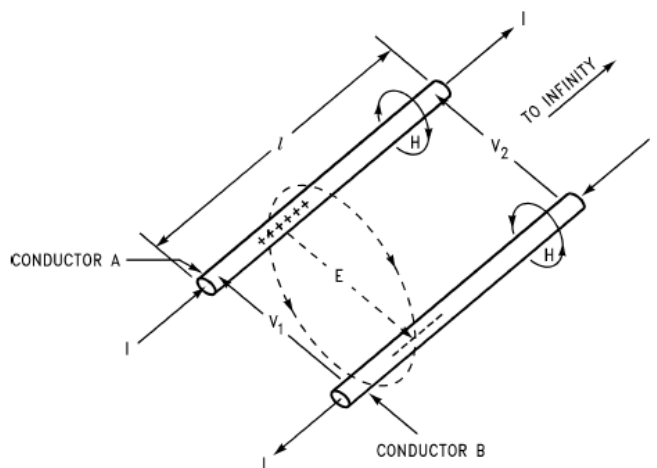


图4.1

信号路径和返回路径所在的传输线不可能是理想的导体，因此它们都有有限的电阻，电阻的大小由传输线的长度和横截面积决定。任何传输线都可以划分为一系列串接线段。同样的在传输线之间的介质也不可能是理想的绝缘体，漏电流总是存在的，可以用单位长度传输线的漏电流来衡量。

如果AB导线间的电压不随时间而变化，在AB导线就会存在静态电场。由静电学原理可知，由静电场产生的电压为：

$$V = \int E \cdot dl$$

如果两导线上带有等量、极性相反的自由电荷，根据库仑定律，导线间的静电场为：

$$E = \frac{Q}{4\pi\epsilon r^2}$$

Q是自由电荷量， $\epsilon$ 是介电常数，r是导线间距。传输线上的电荷以及其间的电压构成了电容：

$$C = \frac{Q}{V}$$

由于电容量会随传输线的长度线性增加，在分析中运用传输线的单位长度电

容。

导线中的电流会在周围产生磁场，由安培定律有：

$$\int H \cdot dl = I$$

由毕奥-沙伐尔定律有：

$$dB = \frac{\mu dl \times r}{4\pi r^3}$$

H是磁场强度，B是磁通密度， $\mu$ 是磁导率。

如果导线间的磁通量随时间变化，传输线上就会产生感应电压，由法拉第定律有：

$$V = \frac{d\phi}{dt} = L \frac{di}{dt}$$

综上所述，传输线模型段由串联电阻和电感、并联电容组成，如下图：

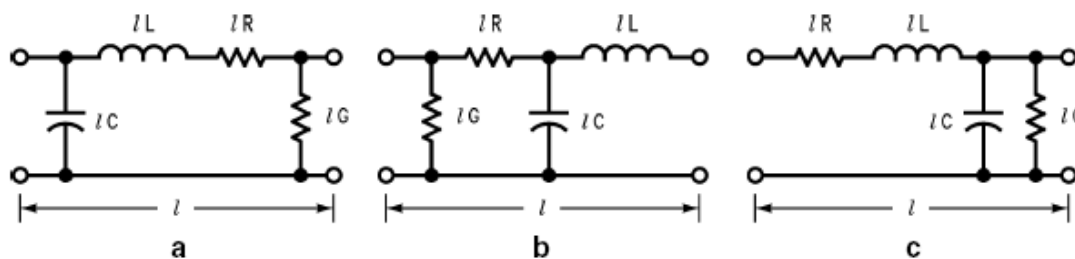


图4.2

从电路分析的角度讲，以上三种结构安排是等价的，实际的传输线模型由无数多个短线段组成，短线段的长度趋于零。由一系列短传输线段组成的传输线模型如下：

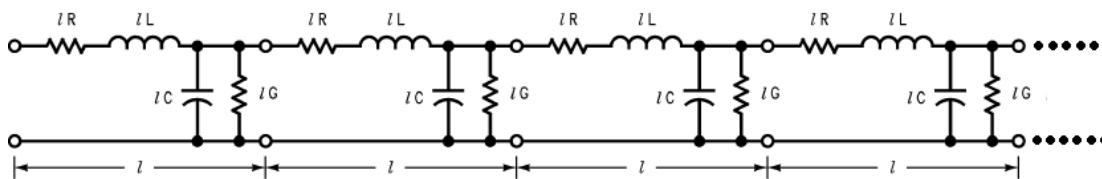


图4.3

## 4.2 传输线的特性阻抗

考虑短线段上的电阻和电感，其阻抗为：

$$Z_s = l (R + j\omega L)$$

同样的综合电容和电导，其阻抗为：

$$Z_P = \frac{1}{Y_P} = \frac{1}{l(G + j\omega C)}$$

在下图中假设传输线的长度无限大，每一小段传输线的阻抗是相等的，即：

$$Z_1 = Z_2 = Z_3 = \dots = Z_n$$

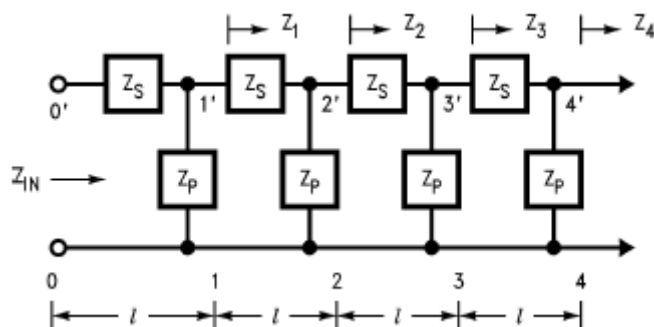


图4.4

对于均与传输线，当信号在上面传输时，在任何一处所受到的瞬态阻抗是相同的，称之为传输线的特性阻抗。所以上图可以简化为下图：

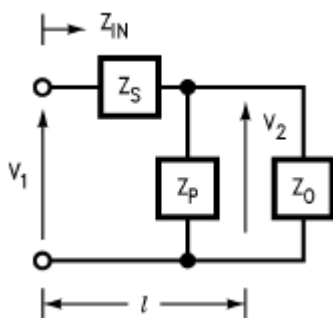


图4.5

由上面的讨论可知传输线的输入阻抗和特性阻抗必然相等，即：

$$Z_{in} = Z_0$$

由上图的电路结构知：

$$Z_{in} = Z_s + \frac{Z_0 Z_P}{Z_0 + Z_P} = Z_0$$

求解上式得：

$$Z_0 = \frac{Z_s \pm \sqrt{Z_s^2 + 4Z_s Z_P}}{2}$$

根据  $Z_s$  和  $Z_p$  的定义，可得：

$$Z_0 = \frac{l(R + j\omega L)}{2} \pm \frac{1}{2} \sqrt{l^2(R + j\omega L)^2 + 4 \frac{R + j\omega L}{G + j\omega C}}$$

因为  $l$  很小，所以上式可以简化为：

$$Z_0 = \sqrt{\frac{R + j\omega L}{G + j\omega C}} = \sqrt{Z_S Z_P}$$

在低频情况下，比如信号频率小于1KHz时，特性阻抗为：

$$Z_0 = \sqrt{\frac{R}{G}}$$

当信号频率很高，比如大于100MHz时， $\omega L$  和  $\omega C$  远大于  $R$  和  $G$ ，所以上式进一步简化为：

$$Z_0 = \sqrt{\frac{L}{C}}$$

## 第五章 反射的理论分析和仿真

如果信号沿互连线传播时所受的瞬态阻抗发生变化，则一部份信号将被反射，另一部份信号发生失真并继续传播下去。

### 5.1 反射形成机理

信号沿传输线传播时，其路径上的每一步都有相应的瞬态阻抗，无论是什么原因使瞬态阻抗发生了变化，信号都将产生反射现象，瞬态阻抗变化越大，反射越大。



图5.1

信号到达瞬态阻抗不同的两个区域的交界面时，在导体中只存在一个电压和一个电流回路，边界处不可能出现电压不连续，否则此处有一个无限大的电场；也不可能出现电流不连续，否则此处有一个无限大的磁场，所以交界面的电压和电流一定连续，则有：

$$V_1 = V_2, \quad I_1 = I_2$$

而由欧姆定律知：

$$I_1 = V_1 / Z_1, \quad I_2 = V_2 / Z_2$$

当交界面两侧的阻抗不同时，以上四个关系不可能同时成立，这就说明在交界面上必然有反射回发射端的电压，以平衡交界面两端不匹配的电压和电流。

入射信号电压  $V_i$  向着分界面传播，而传输信号电压  $V_t$  远离分界面而传播，入射电压穿越分界面时，产生反射电压  $V_r$ ，则有：

$$V_i + V_r = V_t$$

相应的当入射电流  $I_i$  穿越分界面时，反射电流  $I_r$  和传输电流  $I_t$  的关系为：

$$I_i - I_r = I_t$$

按照欧姆定律，每个区域中的电压与电流的关系为：



$$V_i/I_i = Z_1, \quad V_r/I_r = Z_1, \quad V_t/I_t = Z_2$$

通过换算可以得到：

$$V_r/V_i = \frac{Z_2 - Z_1}{Z_2 + Z_1}, \quad V_t/V_i = \frac{2 * Z_2}{Z_2 + Z_1}$$

由此可以看出，缩小  $Z_1$  和  $Z_2$  的差值，有利于减小反射电压，在实际运用中，通过给传输线端接匹配阻抗来实现。

在典型的数字系统中，驱动器的输出阻抗通常小于PCB互联信号线的特征阻抗，而PCB互联信号线的特征阻抗也总是小于接收器的输入阻抗。这种阻抗的不连续性就会导致设计系统中信号反射的出现。

## 5.2 反射引起的振铃效应

### 5.2.1 由电路谐振产生的振铃效应

在研究由反射引起的振铃效应前，先讨论由电路谐振引起的振铃效应。在时钟速度高达10MHz的数字系统中，振铃（Ringing）现象是设计中的显著问题。传导系统对输入信号的响应，在很大程度上取决于系统的尺寸是否小于信号中最快电气特性的有效长度，反之亦然。电气特性的有效长度由它的持续时间和传播延迟决定，即  $l = Tr/D$ （ $Tr$  = 上升时间，ps； $D$  = 延迟，ps/in）。如果走线长度小于有效长度的1/6，该电路表现为集总系统，如果系统对输入脉冲的响应是沿走线分布的，称之为分布系统。

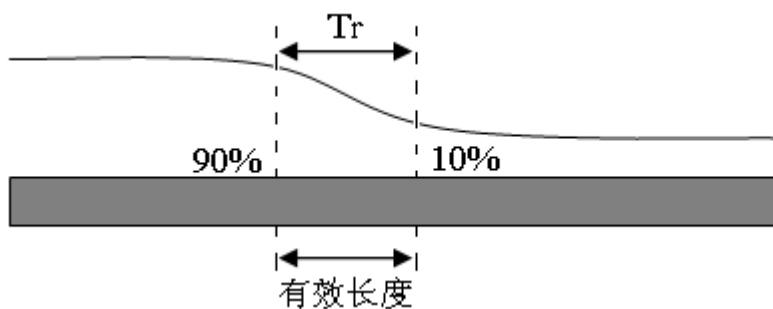


图5.2

对于不同长度的印制板布线，有不同的处理方法。一般来说，长度小于2英寸的走线的电气特性更像集总参数的LC电路；长度大于8英寸的走线的电气特性更像分布参量的传输线电路。为了消除以振铃噪声，对于不同长度的走线有不同的处理措施，这些措施和印制版走线的等效电路模型有关。

印制版的走线类似于谐振电路，由板上的铜铂提供电感，负载提供电容，同时铜铂依其长度有分布电感存在。下图即为其简化模型：

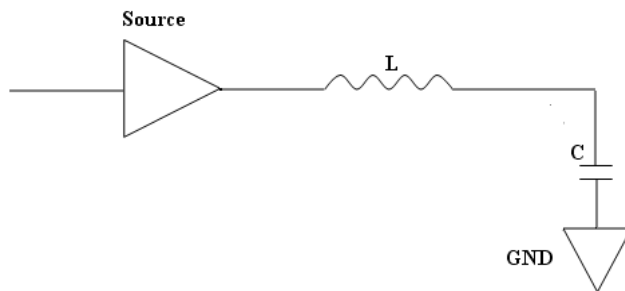


图 5.3

在此模型中 C 为 Source 驱动源的负载管脚的分布电容，该电路模型为一 LC 谐振电路，如果其电感量为 L，电容为 C，则其谐振频率为：

$$f = \frac{1}{2\pi\sqrt{LC}}$$

振铃噪声大致正比于谐振周期和时钟沿上升/下降时间的比值。当走线很短时，电感量和分布电容量都很小，这样谐振频率很高，谐振周期很短，振铃的幅度亦很小。当走线长度增加时，电感量和分布电容量都加大，谐振周期变长，振铃幅度也加大，此时对电路的正常工作会产生较大的影响。如下图所示：

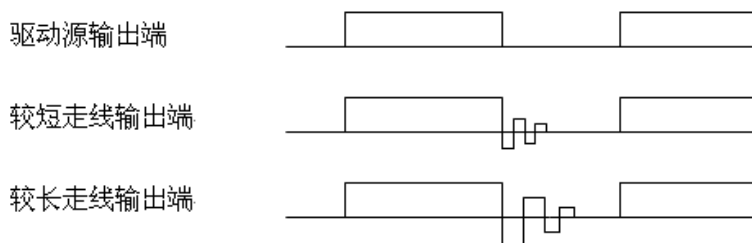


图 5.4

减小振铃噪声的一种有效手段是在电路中串联一个小电阻，此时电路模型变为下图：

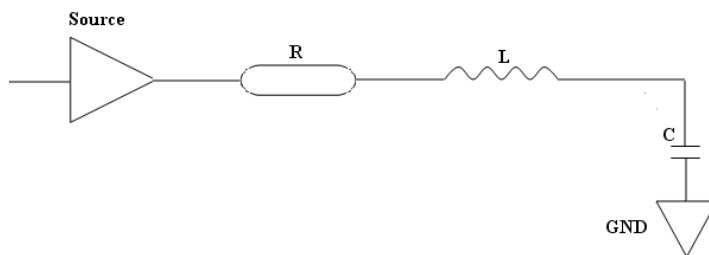


图 5.5

显然，该电阻为谐振电路提供了阻尼，该阻尼电阻能显著减小振铃幅度，缩

短振铃震荡时间，同时几乎不影响电路速度。在工程使用上，该电阻通常为 25 欧姆。

理论上，电平从高到低跳变和从低到高跳变都会引起振铃，但是在典型的 TTL 电路中，从高到低的电平跳变引起的振铃现象更为显著。这是因为相对于从低到高的电平跳变，CMOS 和 TTL 的输出级在从高到低的跳变时有更强的驱动能力，同时其等效的输出阻抗更小，一般只有 3-10 欧姆，这样就不能为谐振回路提供强的阻尼，所以从高到低的跳变引起的振铃较剧烈，对电路的影响也较大。同时 TTL 电平对高低门限有不同耐受程度：典型的逻辑信号在高电平时有 3.5V，而在低电平时为 0.2V，而高低电平门限为 1.4V，所以在从低到高的跳变产生的振铃必须有  $(3.5-1.4=2.1V)$  的幅度才会产生数据错误；而从高到低的振铃幅度只要有  $(1.4-0.2=1.2V)$  就会产生数据错误。

对长度小于 2 英寸，线宽 10mil 的走线进行仿真，发射端为 74LCX16374 芯片 NO.23 引脚，接收端为 Virtex\_II NO.D2 引脚，激励为 100MHz 的方波，如下图所示：

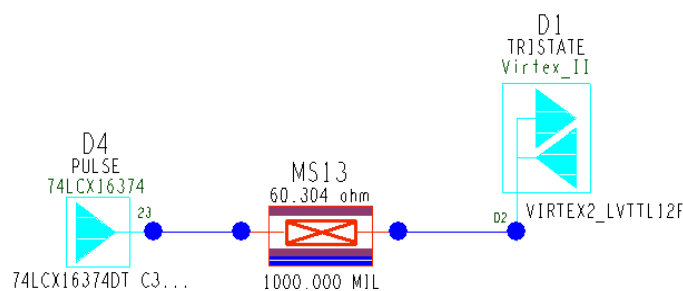


图5.6

在不加阻尼电阻、加入阻尼电阻  $R=25\text{ohm}$ 、 $R=50\text{ohm}$ 、 $R=100\text{ohm}$  的情况下得到的仿真结果如下表：

表5.1

阻尼电阻R/ohm	R=0	R=25	R=50	R=100
OvershootHigh/mv	3932.53	3616.68	3300.00	3247.76
OvershootLow/mv	-791.906	-501.719	-21.5026	25.1391

仿真波形对比如下：

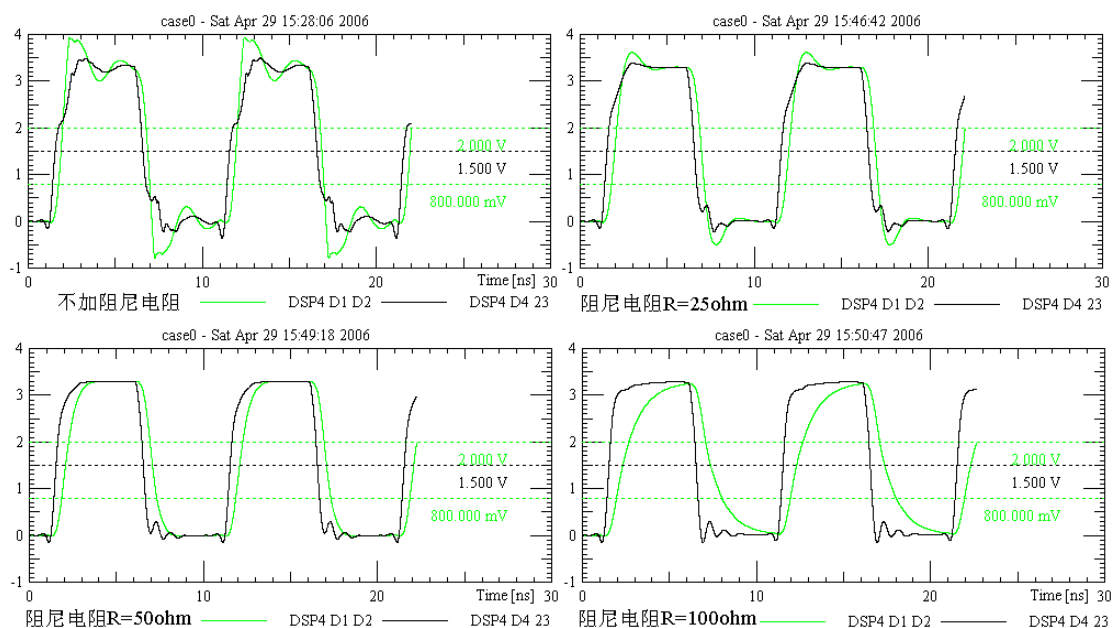


图5.7

从上图可看出，在接收端波无阻尼电阻时波形有明显的振铃效应存在，为了减小振铃效应，在发射端与接收端之间加入阻尼电阻后，振铃效应有明显的改善，随着R的增大，振铃的幅度和次数逐渐减少，对于波形的改善有一定效果。

### 5.2.2 反射引起的振铃效应

驱动源总存在内阻，内阻对进入传输线的初始电压有重要影响。当反射波最终到达源端时，将此内阻作为瞬态阻抗，它的值决定了反射波再次反射回远端的情况。

进入传输线的实际电压是由源电压及内阻和传输线组成的分压器共同决定的，设源电压为 $V_0$ ，内阻为 $R_0$ ，传输线的特性阻抗为 $Z_0$ ，则进入传输线的实际电压为：

$$V_i = V_0 * \frac{Z_0}{Z_0 + R_0}$$

由此可见减小电源的内阻有利于提高电源的利用率，在实际运用中，驱动源内阻都远小于传输线特性阻抗，而负载的输入阻抗一般都大于传输线的特性阻抗，这样就会导致在源端出现负反射，在负载端出现正反射，反射波在源端和负载端来回反射就会引起振铃现象，与电路谐振所产生的振铃效应相比，其本质上是有所区别的。

当走线很长时，由反射引起的振铃是很严重的，对走线长度为10in的传输线

进行仿真，得到如下波形：

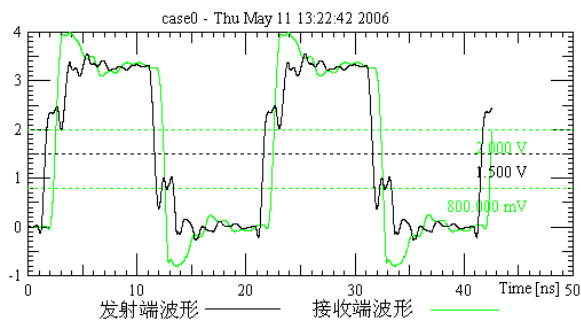


图5.8

由图可以看出，由于阻抗不匹配，在阻抗突变界面上产生多次反射，源端波形和接收端波形均遭受到了不同程度的畸变。

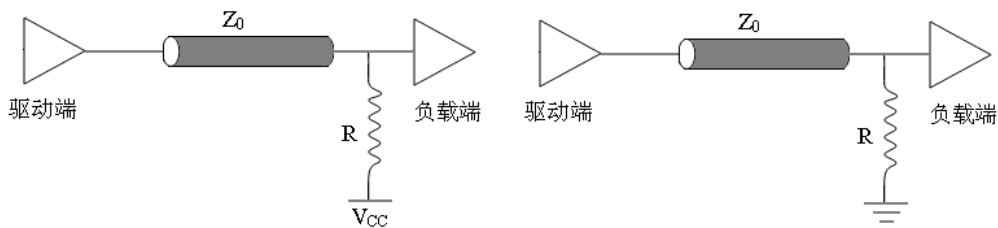
## 5.3 端接电阻匹配方式

匹配阻抗的端接有多种方式，包括并联终端匹配，串联终端匹配，戴维南终端匹配，AC 终端匹配，肖特基二极管终端匹配。

### 5.3.1 并联终端匹配

并联终端匹配是最简单的终端匹配技术：通过一个电阻  $R$  将传输线的末端接到地或者接到  $V_{CC}$  上。电阻  $R$  的值必须同传输线的特征阻抗  $Z_0$  匹配，以消除信号的反射。如果  $R$  同传输线的特征阻抗  $Z_0$  匹配，不论匹配电压的值如何，终端匹配电阻将吸收形成信号反射的能量。终端匹配到  $V_{CC}$  可以提高驱动器的源的驱动能力，而终端匹配到地则可以提高电流的吸收能力。

并联终端匹配技术突出的优点就是这种类型终端匹配技术的设计和应用简便易行，在这种终端匹配技术中仅需要一个额外的元器件；这种技术的缺点在于终端匹配电阻会带来直流功率消耗。另外并联终端匹配技术也会使信号的逻辑高输出电平的情况退化。将 TTL 输出终端匹配到地会降低  $V_{OH}$  的电平值，从而降低了接收器输入端对噪声的免疫能力。



并联终端匹配

图5.9

对长走线进行并联终端匹配后仿真，波形如下：

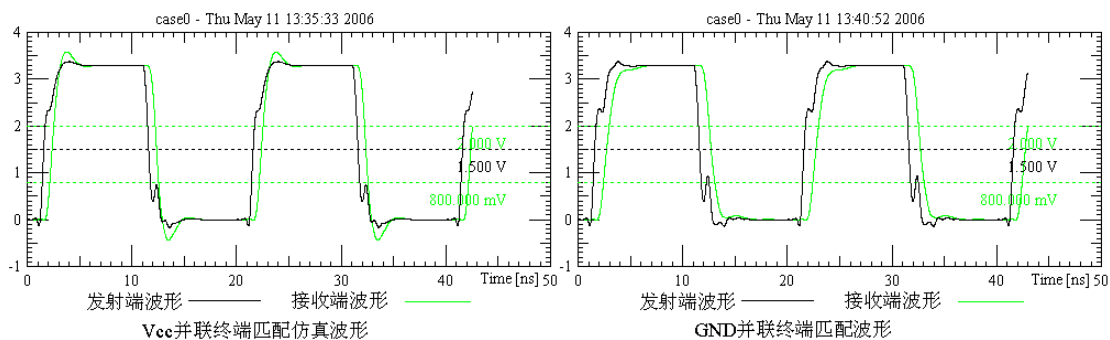


图5.10

### 5.3.2 串联终端匹配

串联终端匹配技术，也称之为后端终端匹配技术，不同于其它类型的终端匹配技术，是源端的终端匹配技术。串联终端匹配技术是在驱动器输出端和信号线之间串联一个电阻。驱动器输出阻抗  $R_0$  以及电阻  $R$  值的和必须同信号线的特征阻抗  $Z_0$  匹配。对于这种类型的终端匹配技术，由于信号会在传输线、串联匹配电阻以及驱动器的阻抗之间实现信号电压的分配，因而加在信号线上的电压实际只有一半的信号电压。

而在接收端，由于信号线阻抗和接收器阻抗的不匹配，通常情况下，接收器的输入阻抗更高，因而会导致大约同样幅度值信号的反射，称之为附加的信号波形。因而接收器会马上看到全部的信号电压（附加信号和反射信号之和），而附加的信号电压会向驱动端传递。然而不会出现进一步的信号反射，这是因为串联的匹配电阻在接收器端实现了反射信号的终端匹配。

串联终端匹配技术的优点是这种匹配技术仅仅为系统中的每一个驱动器增加一个电阻元件，而且相对于其它的电阻类型终端匹配技术来说，串联终端匹配技术中匹配电阻的功耗是最小的，而且串联终端匹配技术不会给驱动器增加任何额外的直流负载，也不会信号线与地之间引入额外的阻抗。

由于许多的驱动器都是非线性的驱动器，驱动器的输出阻抗随着器件逻辑状态的变化而变化，从而导致串联匹配电阻的合理选择更加复杂。所以，很难应用某一个简单的设计公式为串联匹配电阻来选择一个最合适的值。

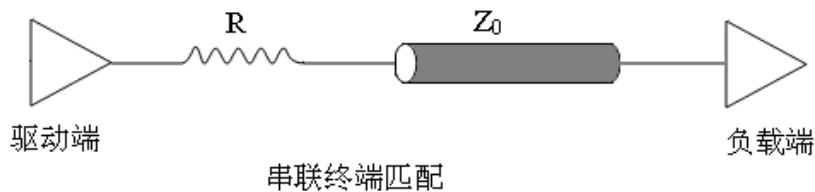


图 5.11

对长走线进行串联终端匹配后仿真，波形如下：

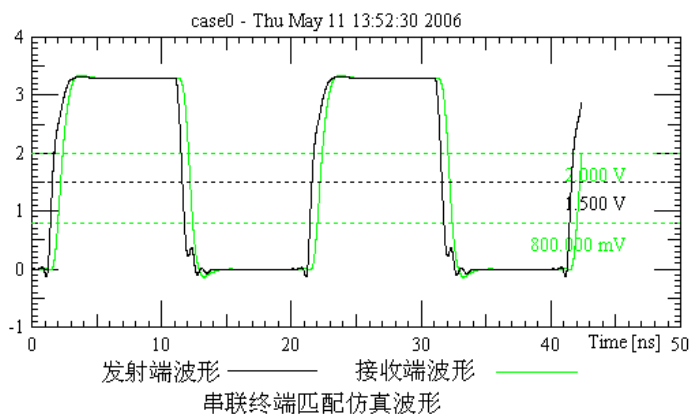


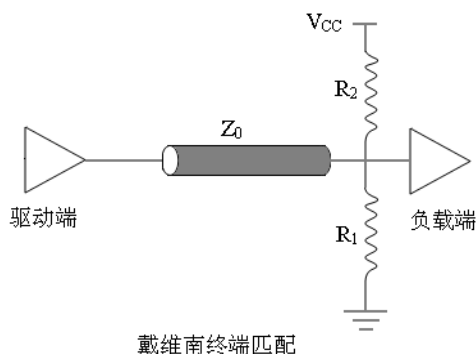
图 5.12

### 5.3.3 戴维南终端匹配

戴维南终端匹配技术或者也叫做双电阻终端匹配技术，采用两个电阻来实现终端匹配， $R_1$  和  $R_2$  的并联组合要求同信号线的特征阻抗  $Z_0$  匹配。 $R_1$  的作用是帮助驱动器更加容易地到达逻辑高状态，这通过从  $V_{CC}$  向负载注入电流来实现。与此相类似， $R_2$  的作用是帮助驱动器更加容易地到达逻辑低状态，这通过  $R_2$  向地释放电流来实现。

戴维南终端匹配技术的优势在于在这种匹配方式下，终端匹配电阻同时还作为上拉电阻和下拉电阻来使用，因而提高了系统的噪声容限。戴维南终端匹配技术同样通过向负载提供额外的电流从而有效地减轻了驱动器的负担，另外这种终端匹配技术还能够有效地抑制信号过冲。

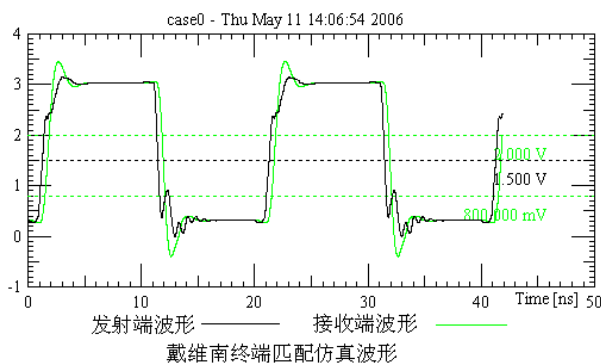
戴维南终端匹配的一个缺点就是无论逻辑状态是高还是低，在  $V_{CC}$  到地之间都会有一个常量的直流电流存在，因而会导致终端匹配电阻中有静态的直流功耗。这种终端匹配技术同样也要求两个匹配电阻之间存在一定的比例关系，同时也存在额外的到电源和地的线路连接。负载电容和电阻 ( $Z_0$ 、 $R_1$  和  $R_2$  的并联组合) 会对信号的上升时间产生影响，提升驱动器的输出电压。



戴维南终端匹配

图 5.13

对长走线进行戴维南终端匹配后仿真，波形如下：



戴维南终端匹配仿真波形

图 5.14

### 5.3.4 AC 终端匹配

AC 终端匹配技术也称之为 RC 终端匹配技术，由一个电阻  $R$  和一个电容  $C$  组成，电阻  $R$  和电容  $C$  连接在传输线的负载一端。电阻  $R$  的值必须同传输线的特征阻抗  $Z_0$  的值匹配才能消除信号的反射，电容值的选择却十分复杂，这是因为电容值太小会导致  $RC$  时间常数过小，这样一来该  $RC$  电路就类型于一个尖锐信号沿发生器，从而引入信号的过冲与下冲，另一方面，较大的电容值会带来更大的功率消耗。通常情况下，要确保  $RC$  时间常数大于该传输线负载延时的两倍。终端匹配元器件上的功率消耗是频率、信号占空比、以及过去数据位模式的函数。所有这些因素都将影响终端匹配电容的充电和放电特性，从而影响功率消耗。

AC 终端匹配技术的优势在于终端匹配电容阻隔了直流通路，因此节省了可观的功率消耗，同时恰当地选取匹配电容的值，可以确保负载端的信号波形接近理想的方波，同时信号的过冲与下冲又都很小。

AC 终端匹配技术的一个缺点是信号线上的数据可能出现时间上的抖动，这主要取决于在此之前的数据位模式。举例来说，一个较长的类似的位串数据会导



致信号传输线和电容充电到驱动器的最高输出电平值。然后，如果紧接着的是一个相位相反的数据位就需要花比正常情况更长的时间来确保信号跨越接收器逻辑阈值电平，这是因为接收器端的电压起自一个很高的电位。

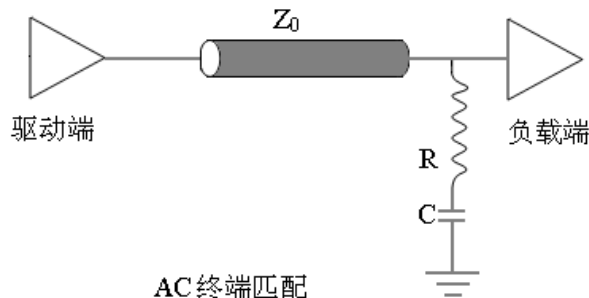


图5.15

对长走线进行 RC 终端匹配后仿真，波形如下：

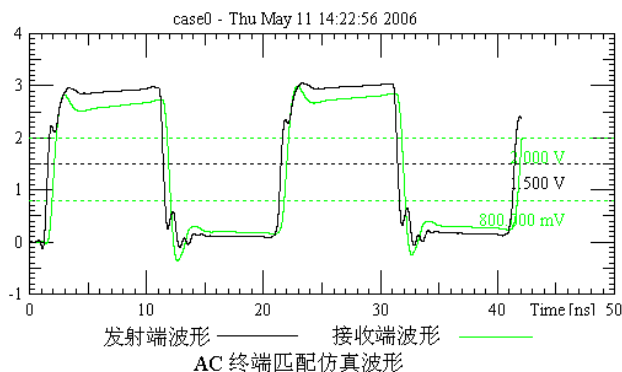


图 5.16

### 5.3.5 肖特基二极管终端匹配

肖特基二极管终端匹配技术也称之为二极管终端匹配技术，由两个肖特基二极管组成。传输线末端任何的信号反射，如果导致接收器输入端上的电压超过  $V_{CC}$  和二极管的正向偏置电压，该二极管就会正向导通连接到  $V_{CC}$  上。该二极管导通从而将信号的过冲箝位到  $V_{CC}$  和二极管的阈值电压的和上。

同样连接到地上的二极管也可以将信号的下冲限制在二极管的正向偏置电压上。然而该二极管不会吸收任何的能量，而仅仅只是将能量导向电源或者是地。这种工作方式的结果是，传输线上就会出现多次的信号反射。信号的反射会逐渐衰减，主要是因为能量会通过二极管在电源和地之间实现能量的交换，以及传输线上的电阻性损耗。能量的损耗限制了信号反射的幅度，确保信号的完整性。

不同于传统的终端匹配技术，二极管终端匹配技术的一个优势就是，肖特基二极管终端匹配无须考虑真正意义上的匹配。所以，当传输线的特征阻抗  $Z_0$

不清楚时,比较适合采用这种终端匹配技术。同时,在肖特基二极管上的动态导通电阻上消耗的功率远远小于任何电阻类型终端匹配技术的功率消耗。事实上,反射功率的一部分会通过正向偏置的二极管反馈回到  $V_{CC}$  或者地,同样也可以在传输线上任何可能引发信号反射的位置加入肖特基二极管。二极管终端匹配技术的缺点是多次信号反射的存在可能会影响后续信号的行为。

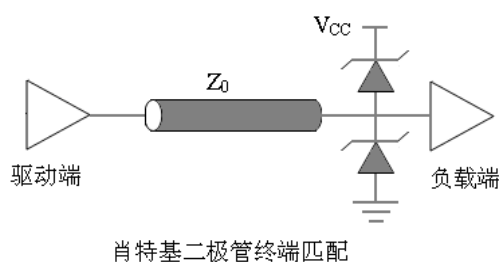


图5.17

## 5.4 多负载的端接

在实际电路中常常会遇到单一驱动源驱动多个负载的情况,这时需要根据负载情况及电路的布线拓扑结构来确定端接方式和使用端接的数量。一般情况下可以考虑以下两种方案。

如果多个负载之间的距离较近,可通过一条传输线与驱动端连接,负载都位于这条传输线的终端,这时只需要一个端接电路。如采用串行端接,则在传输线源端按照阻抗匹配原则加入一串联电阻即可;如采用并行端接(以简单并行端接为例),则端接应置于离源端距离最远的负载处,同时,线网的拓扑结构应优先采用菊花链的连接方式,如下图所示:

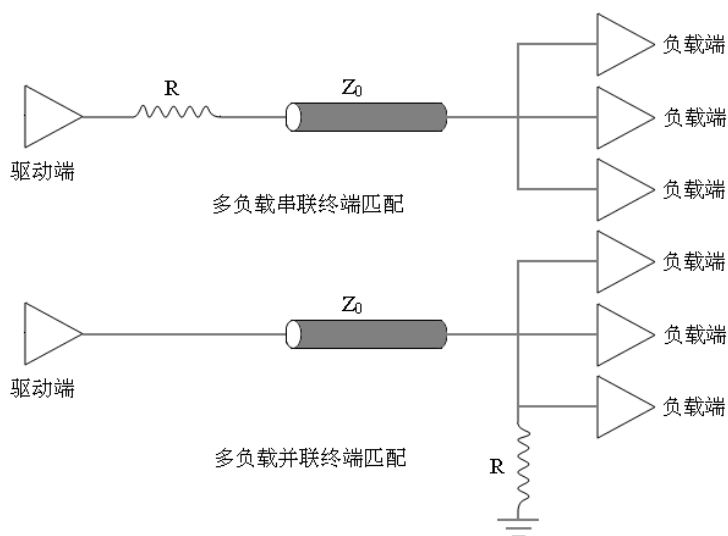


图 5.18

如果多个负载之间的距离较远，需要通过多条传输线与驱动端连接，这时每个负载都需要一个端接电路。如采用串行端接，则在传输线源端每条传输线上均加入一串联电阻；如采用并行端接（以简单并行端接为例），则应在每一负载处都进行端接，下图所示：

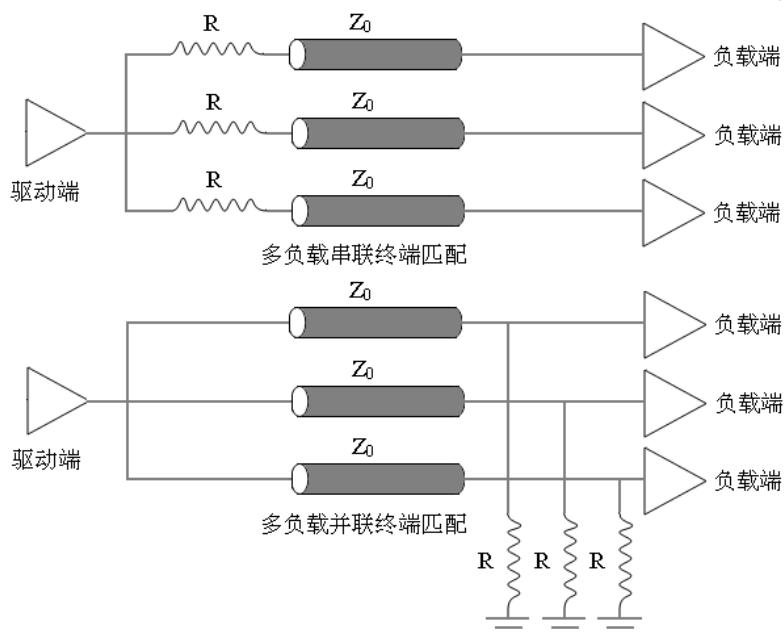


图 5.19

## 5.5 反射的影响因素

### 5.5.1 传输时延对反射的影响

如果传输线的瞬态阻抗不匹配，即  $R \neq Z_0$ ，此时通过在源和负载之间多次反射，就会产生多次振铃，解决的办法就是端接匹配阻抗，但这并不表示在任何情况下都需要端接电阻，如果导线足够短，虽然依旧发生了反射，但多次反射将被掩盖在上升沿中，几乎不能辨认，也就不能引起潜在的问题，当传输线时延TD小于信号上升时间Tr的20%时，可以不考虑反射带来的振铃噪声，所以粗略得出没有端接电阻的最大长度约为：

$$Len_{\max} < RT$$

下图是在不同传输时延下接收端波形的比较：

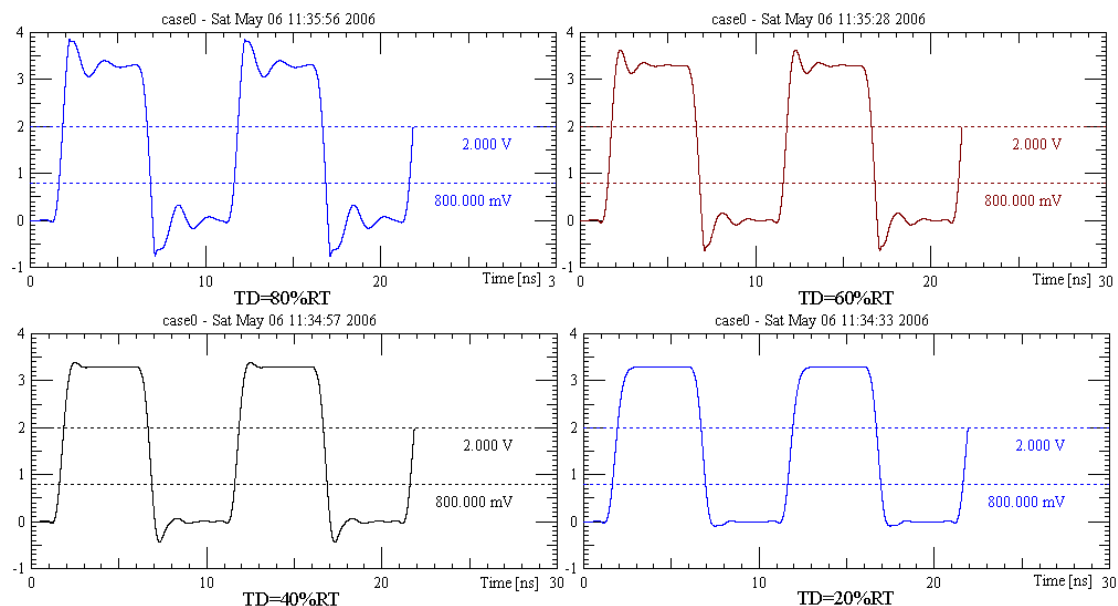


图5.20

### 5.5.2 短串接对反射的影响

电路板上的走线通常要通过过孔区，或是要在元件密集区域布线，此时线宽有可能要变窄，收缩成颈状。如果传输线上有这么一小段的线宽变化，特性阻抗一般是变大。



图5.21

短颈的影响由三个因素决定：颈状线的时延 $TD$ 、颈状线的特性阻抗 $Z_2$ 以及信号的上升时间 $RT$ 。阻抗突变引起了信号来回振荡，这就是要求设计均匀特性阻抗互连线的原因。为了保证反射噪声电压低于电压摆幅的5%，就需要保证特性阻抗的变化率小于10%。

阻抗变化的两个界面处发生的反射大小相等，方向相反，如果颈状线的长度很短，来自两端的反射可以相互抵消，对信号完整性的影响可以忽略，从而可以得到与前面相同的经验法则，即颈状线的最大长度为：

$$Len_{\max} < RT$$

### 5.5.3 容性终端负载对反射的影响

当信号沿传输线到达末端的理想电容时，决定反射系数的瞬态阻抗将随时间的变化而变化。时域中的电容阻抗为：

$$Z_c = \frac{V}{C \frac{dV}{dt}}$$

C表示电容，V表示信号的瞬态电压。

如果信号的上升时间小于电容的充电时间，那么最初电容两端的电压将迅速上升，这时阻抗很小。随着电容充电过程的进行，电容两端的电压变化率的 $dV/dt$ 将下降，这使得电容器阻抗明显增大。如果时间足够长，电容器充电达饱和，电容器就相当于断路。这意味着反射系数随时间的变化而变化，反射信号将先下跌在上升到开路状态的情形。

在带容性负载的传输线末端，电压的变化就像RC在充电，其中C是负载电容，R是传输线特性阻抗Z，传输信号的10-90%上升时间是由RC充电电路决定的，其大约为：

$$\tau_{10-90\%} = 2.2 * Z * C$$

如果初始信号的上升时间比RC充电时间短，则传输线末端的容性负载将决定接收端的上升时间；如果初始信号的上升时间大于RC充电时间，末端电容将使信号上升时间累加上RC充电时间的时延。在不同末端电容值下的接收端信号的上升时间如下表：

表5.2

负载电容C/PF	0	2	5	10
上升时间RT/ ns	2.3	2.5	3.0	3.8

其波形对比如下：

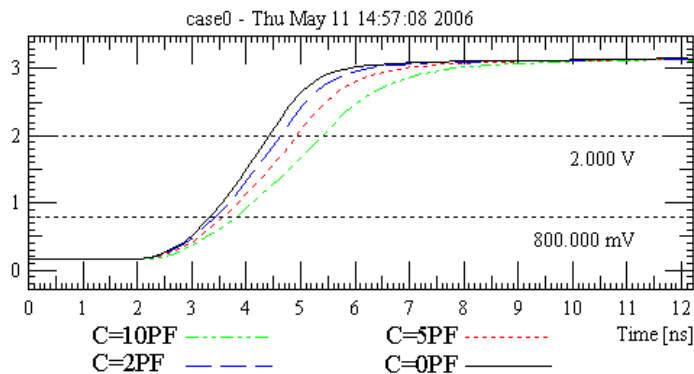


图5.22

### 5.5.4 走线中途容性负载对反射的影响

测试焊盘、过孔、封装引线或连接到互连线中途的短桩线，都起着集总电容器的作用。电容越大，电容阻抗就越小，负反射电压就越大，从而接收端的下冲也就越大。在走线中加入不同大小的中途负载电容进行仿真，结果如下：

表5.3

中途电容值/PF	0	2	5	10
OvershootLow/mv	139.984	163.029	189.335	208.084

波形下冲部分如下：

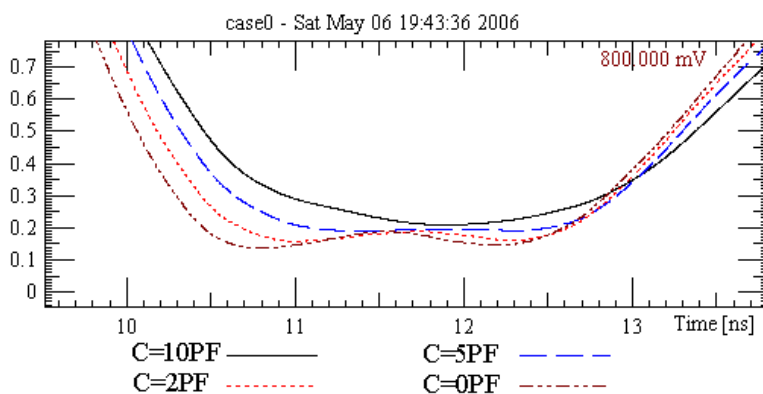


图5.23

如果信号的上升边沿是线性的，则 $dv/dt=V/RT$ ，电容器阻抗为：

$$Z_c = \frac{V}{C \frac{dV}{dt}} = \frac{V}{C \frac{V}{RT}} = \frac{RT}{C}$$

为了避免该阻抗造成严重的问题，则要求该阻抗大于传输线的阻抗，对于不同的RT，应根据 $Z_c > 5 * Z_0$ 来选取限制电容。

### 5.5.5 感性突变对反射的影响

连接到传输线上的任何串联连接都有一些的串联回路电感。对于边沿快速上升的入射信号，串联回路电感最初像是一个高阻抗元件，所以产生返回源端的正反射，近端信号的形状为先上升后下降，呈现非单调。

电路中可允许最大电感总量取决于噪声容限，一般可按分立电感的串联阻抗突变小于走线特性阻抗的20%为限，此时反射信号大约是信号摆幅的10%。当信号的上升沿通过电感时，如果上升沿是线性的，则电感的阻抗约为：

$$Z_L = \frac{V}{I} = \frac{L \frac{dI}{dt}}{I} = \frac{L}{RT}$$

为保证电感阻抗低于导线特性阻抗的20%，可允许的最大感性突变为：

$$L_{\max} < 0.2 * Z_0 * RT$$

感性突变会引起时延累加，即接收端信号的上升时间会随感性突变呈线性增加，时延增加量为：

$$\tau_{add} = 0.5 * \frac{L}{Z}$$

在2in长走线中加入不同值的电感，仿真结果如下：

表5.4

电感值/PF	0	10	20	40
OvershootHigh/mv	3300.19	3400.56	3516.09	3853.81
OvershootLow/mv	-27.68	-57.32	-291.36	-622.41

接收端波形比较如下：

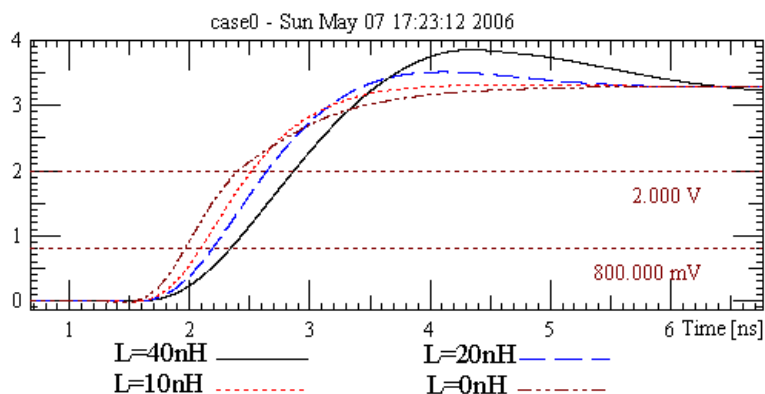


图5.24

从图中可以看出，随着串联电感的增大，信号上升时间将增大。除此之外，信号过冲也随着串联电感的增大而增大，这是由于来自接收端的反射波在感性突变处产生二次正反射所致。

## 第六章 串扰的理论分析和仿真

串扰是由电磁耦合形成的，耦合分为容性耦合和感性耦合两种。容性耦合是由于干扰源（Aggressor）上的电压变化在被干扰对象（Victim）上引起感应电流从而导致的电磁干扰，而感性耦合则是由于干扰源上的电流变化产生的磁场在被干扰对象上引起感应电压从而导致的电磁干扰。因此，信号在通过一导体时会在相邻的导体上引起两类不同的噪声信号：容性耦合信号与感性耦合信号。

图中如果位于A点的驱动源称为干扰源（Aggressor），则位于D点的接收器称为被干扰对象（Victim），A、B之间的线网称为干扰源网络，C、D之间的线网称为被干扰对象网络；反之，如果位于C点的驱动源称为干扰源（Aggressor），则位于B点的接收器称为被干扰对象（Victim），C、D之间的线网称为干扰源网络，A、B之间的线网称为被干扰对象网络。当干扰源状态变化时，会在被干扰对象上产生一串扰脉冲，在高速系统中，这种现象很普遍。为了区分受害线的两端，我们把静态线上距离源端最近的一端C称为近端，而离源端最远的一端D称为远端。

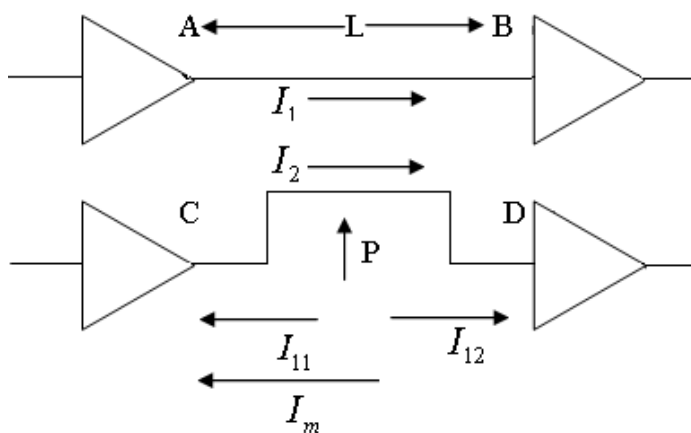


图6.1

$I_1$  和  $I_2$  为两根信号线上传输的电流， $I_{11}$  和  $I_{12}$  为容性耦合所产生的流， $I_m$  为感性耦合所产生的电流。动态线在静态线上引起的近端串扰电流为  $I_{11} + I_m$ ，引起的远端串扰电流为  $I_{12} - I_m$ 。

### 6.1 容性耦合电流

当信号从驱动器输出时，仅在信号前沿存+在的区域，才有容性耦合电流流



入静态线，其中的一半向后流入近端，另一半向前流向远端，这两种电流都为正向。

流向静态线近端的电流随着驱动器出现的上升边沿逐步上升，当信号前沿沿着传输线前进时，后向耦合电流以恒定的速度持续流回近端。当前沿传输了一个饱和长度之后，近端的电流将达到一个稳定值。当动态线上的信号到达远端端接电阻后，就不再有耦合电流，但静态信号线上还有后向电流流向静态线的近端，这段额外时间等于传输时延TD。所以近端容性耦合电流上升到一个恒定值并持续达2\*TD，然后下降到0，近端容性耦合饱和电流的幅度为：

$$I_{11} = \frac{1}{2} * \frac{1}{2} * C_{mL} * v * V = \frac{1}{4} * C_{mL} * v * V$$

$C_{mL}$  为单位长度互容， $v$  为信号传输速度， $V$  表示信号电压。

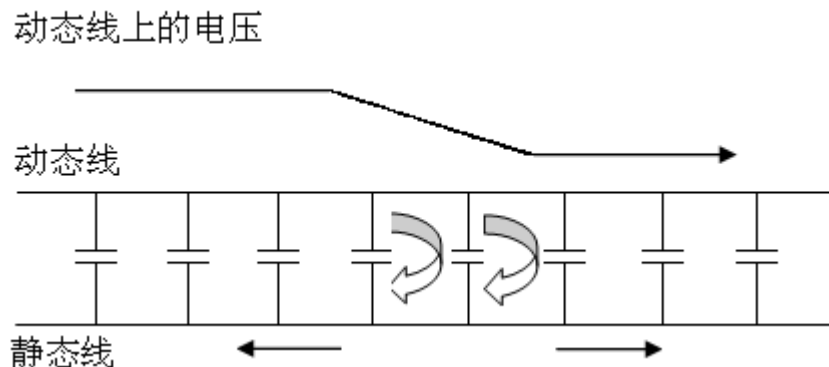


图6.2

静态线上的前向电流流向远端的速度与信号前沿向远端传输的速度相同，前向噪声电流会在静态线上逐步积累。直到信号前沿到达远端，前向耦合电流才到达静态线远端。静态线上的耦合电流与信号电压变化速度成比例，静态线远端的实际噪声波形是信号边沿的微分。如果信号边沿是线性的，则容性耦合噪声电流为短矩形脉冲，持续时间等于信号上升时间，从动态线耦合到静态线上的电流总量将集中于这个窄脉冲，远端容性耦合电流的幅度为：

$$I_{12} = \frac{1}{2} * C_{mL} * L_{en} * V / RT$$

$V$  表示信号电压， $L_{en}$  表示耦合长度， $RT$  表示信号上升时间。

## 6.2 感性耦合电流

由于受到动态线上dI/dt的影响，经过互感在静态线上产生激励电压，进而形

成感性耦合电流。动态线上的电流从信号路径流到返回路径，会在静态线上感应出一个与自身电流回路反向的电流回路。感应电流在静态线上受到前后两个方向的阻抗是相等的，因此它将沿两个方向传播，其中一半流向近端，另一半沿前向传播。

后向感性耦合电流从零开始，随着驱动器的输出信号而上升，当信号传输的长度超过饱和长度时，后向电流将达到一个稳定值并保持这一水平。信号的上升沿达到动态线远端的端接电阻后，静态线上仍有后向感性耦合噪声电流，这些电流流回静态线的近端仍需要一个TD。

动态线上的电压

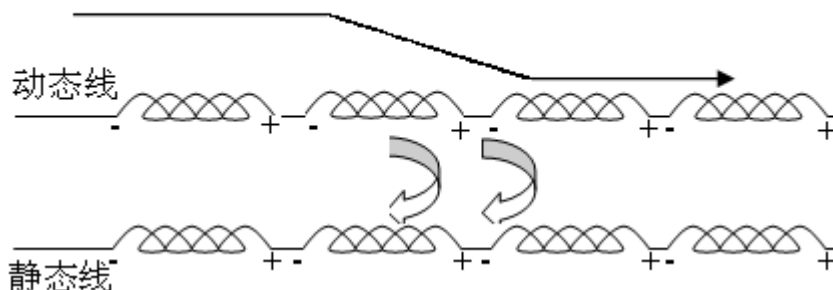


图6.3

前向感性耦合噪声电流与动态线上信号边沿传播速度相同，而且会产生积累效果，所以远端噪声将随着耦合长度而增大。远端感性耦合电流的形状是上边沿的微分，直接与信号的 $dI/dt$ 成正比。

## 6.3 近端串扰

近端噪声电压与经过近端端接电阻的净耦合电流有关，其波形如下：

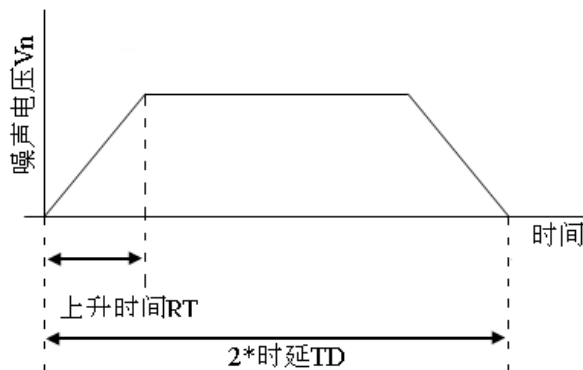


图6.4

近端串扰系数NEXT为：

$$NEXT = \frac{V_n}{V_a} = \frac{1}{4} \left( \frac{C_{mL}}{C_L} + \frac{L_{mL}}{L_L} \right)$$

$V_a$  表示信号电压,  $V_n$  表示噪声电压,  $C_{mL}$ 、 $L_{mL}$  表示单位长度互容和互感,  $C_L$ 、 $L_L$  表示单位长度电容和电感。

如果耦合长度大于饱和长度, 噪声电压将达到一个稳定值; 如果耦合长度小于饱和长度, 电压峰值将会小于饱和电压。实际的噪声电压峰值与耦合长度和饱和长度的比值成比例。

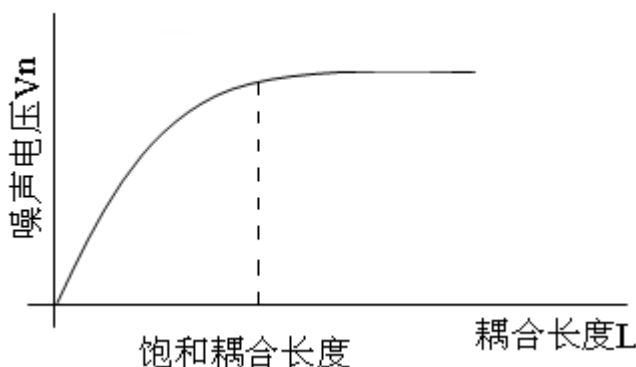


图6.5

发射端AD6644芯片NO.51引脚信号上升时间测得为2.885ns, 则饱和耦合长度为2.885ns\*6in/ns=17.31in, 接收端为74LCX16374芯片NO.26引脚, 微带线距5in, 线宽10in, 激励波形为100MHZ的方波, 如下图所示:

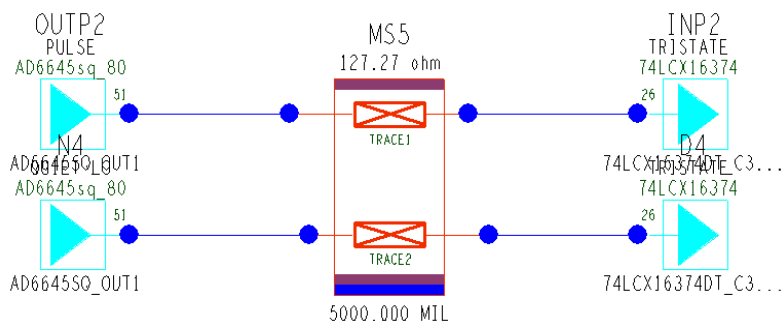


图6.6

分别取传输长度为:  $L=5in$ ,  $L=10in$ ,  $L=17.31in$ ,  $L=20in$ 进行仿真, 可得近端串扰波形如下:

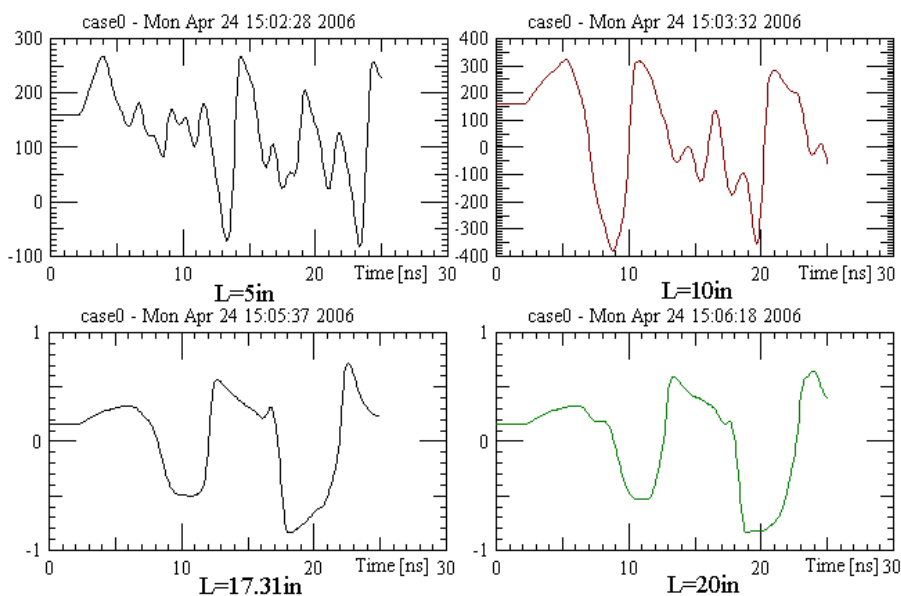


图6.7

从以上波形可以看出，当耦合长度小于饱和长度时，近端串扰电压值随耦合长度成比例增加，当耦合长度达到或超过饱和长度后，近端串扰电压值保持恒定。

## 6.4 远端串扰

远端噪声电压与流经远端端接电阻的净耦合电流有关，其波形如下：

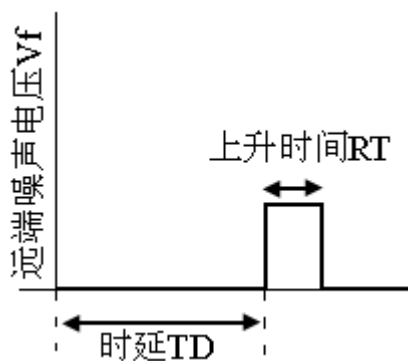


图6.8

远端串扰系数FEXT为：

$$FEXT = \frac{V_f}{V_a} = \frac{Len}{RT} * \frac{1}{2v} * \left( \frac{C_{mL}}{C_L} - \frac{L_{mL}}{L_L} \right)$$

$V_a$  表示信号电压， $V_f$  表示噪声电压， $C_{mL}$ 、 $L_{mL}$  表示单位长度互容和互感， $C_L$ 、 $L_L$  表示单位长度电容和电感， $v$  表示信号的传输速度， $Len$  表示耦合长度。当信号输入TD后，远端噪声才出现，其在静态线上的传播速度与信号速度

相等。远端噪声以脉冲形式出现，它是信号边沿的微分，脉冲宽度等于信号上升时间，随着信号上升时间的减小，脉冲宽度将减小，而峰值将增加。

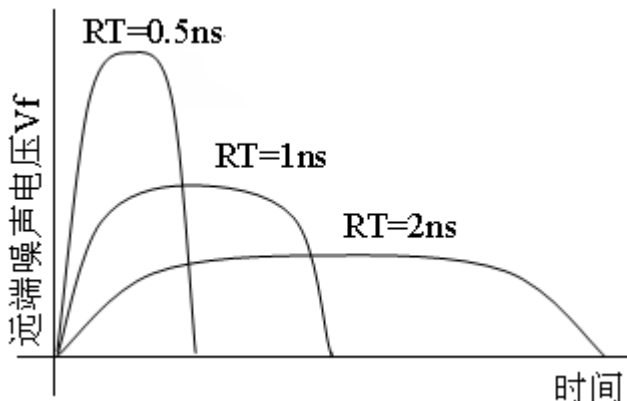


图6.9

远端串扰具有叠加性，如果静态线两边各有一条等宽等间距电流同向的动态线，则每条动态线产生的远端串扰值都相等，且静态线上的总远端串扰等于两条动态线产生的远端串扰之和。

首先分别设置发射端为AD6644芯片NO.51引脚和NO.50引脚、NO.50引脚和NO.49引脚，接收端为74LCX16374芯片NO.26引脚和NO.27引脚、NO.27引脚和NO.29引脚，微带线距5in，线宽10in，激励波形为100MHZ的方波，如下图所示：

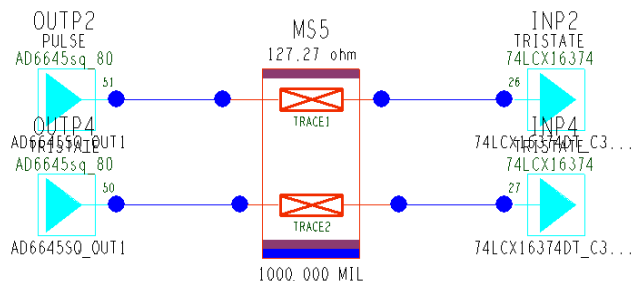


图6.10

远端串扰波形在同一座标中显示如下：

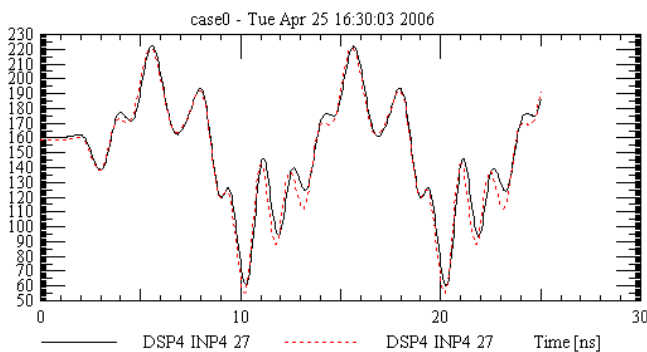


图6.11

再建立模型观察两根等距动态线对同一根静态线的远端串扰，如下图：

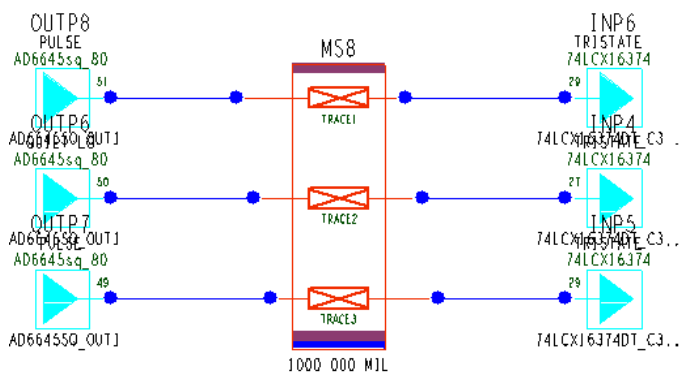


图6.12

静态线上的远端串扰波形如下图所示：

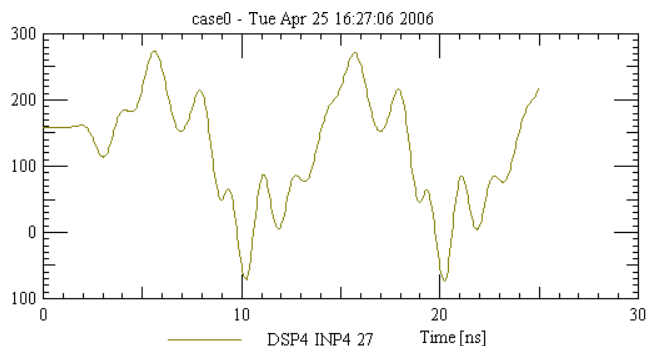


图6.13

远端串扰峰值表如下：

表6.1

串扰关系	Trace1 to Trace2	Trace3 to Trace2	Trace2
远端串扰峰值 (mv)	58.632	59.546	114.465

再交换Trace1的发射端和接受端，使得Trace1和Trace3的电流方向相反，那么理论上Trace1和Trace3在Trace2上引起的感性耦合电流大小相同，方向相反，可以相互抵消，远端串扰和近端串扰会大大减小，仿真结果如下表：

表6.2

动态线电流方向	同向	反向
远端串扰峰值 (mv)	114.465	54.398

仿真波形如下：

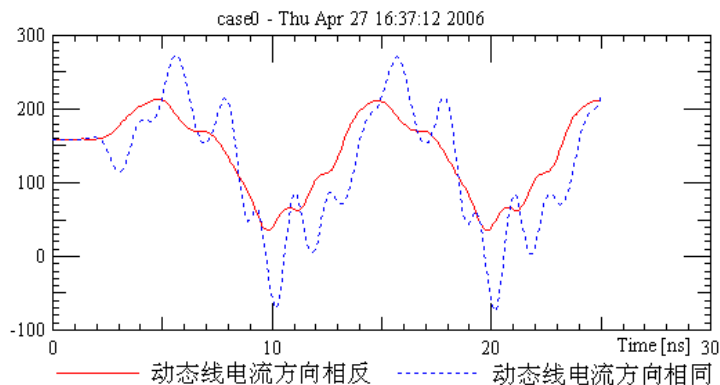


图6.14

## 6.5 串扰的影响因素

### 6.5.1 两线间距P与两线平行长度L对串扰大小的影响

串扰的大小与传输线的并行耦合长度L和间距P有关，耦合长度越短，间距越大，串扰就越小。以远端串扰为对象的仿真结果如下表：

表6.3

仿真结果 (mv)	P=5mil	P=10mil
L=500mil	30.026	16.607
L=1000mil	62.569	39.511

仿真波形如下：

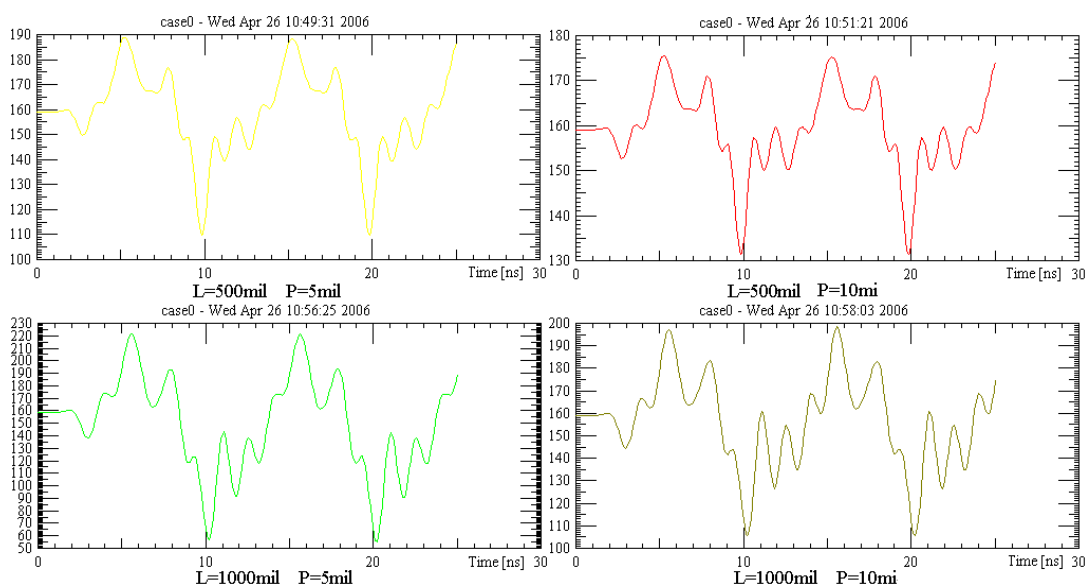


图6.15

### 6.5.2 电流流向对串扰的影响

串扰是与方向有关的，其波形是电流流动方向的函数，下面分别作动态线电流（ $I_1$ ）和静态线电流（ $I_2$ ）同向和反向的仿真，结果如下表：

表6.4

仿真结果	$I_1$ 与 $I_2$ 同向	$I_1$ 与 $I_2$ 反向
远端串扰峰值/mv	227.272	240.927

仿真波形如下：

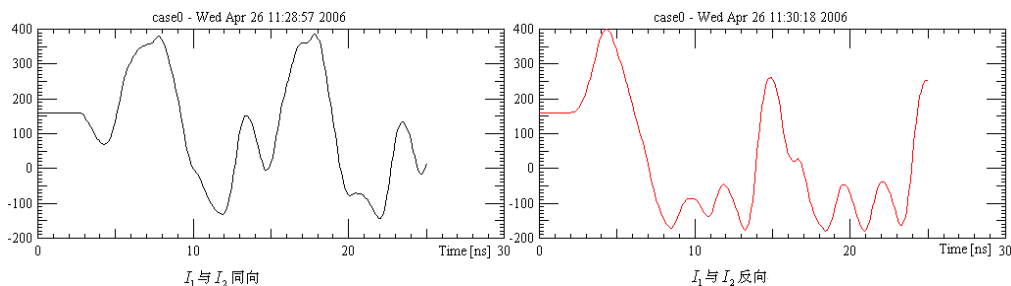


图6.16

由仿真结果可知，电流反向时的串扰要大于电流同向时的串扰。

### 6.5.3 干扰源信号频率及上升时间对串扰的影响

动态线上信号的频率变化会对静态线上的串扰产生一定的影响，保持其它条件不变，对于动态线AB上的信号频率分别取不同频率时进行仿真，结果如下表：

表6.5

频率/MHz	50	100	200	500
远端串扰峰值/mv	476.971	497.378	546.092	900.023

仿真波形如下：

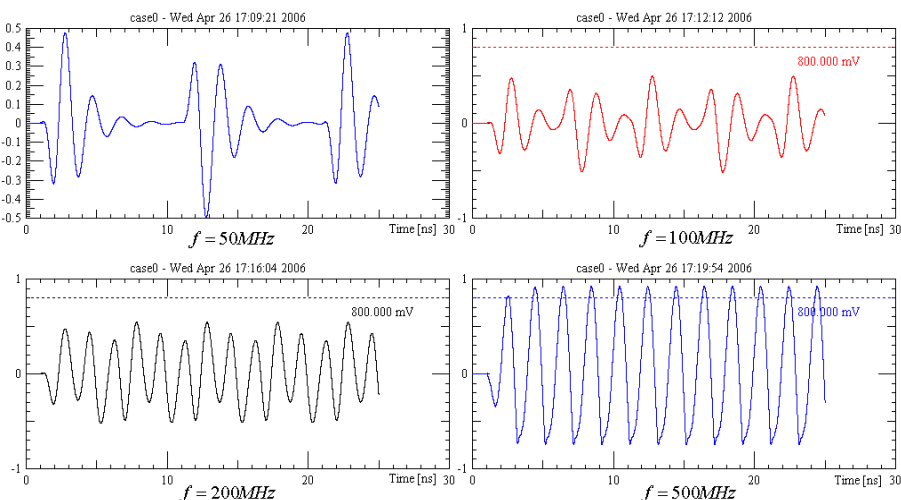


图6.17



由仿真结果可以看出，随着动态信号频率的增加，静态线上的串扰幅值也随之增加，频率越高，串扰幅值增加得越快。

除此之外，动态线的驱动源的上升时间也是影响串扰的重要因素。发射端AD6644芯片NO.51引脚信号上升时间测得为2.885ns，发射端74LCX16374芯片NO.23引脚信号上升时间测得为0.8ns,用它们分别作动态线的驱动端，其它布线条件不变，仿真结果如下表：

表6.6

上升时间RT/ns	0.8	2.885
远端串扰峰值/mv	90.305	74.7585

仿真波形如下：

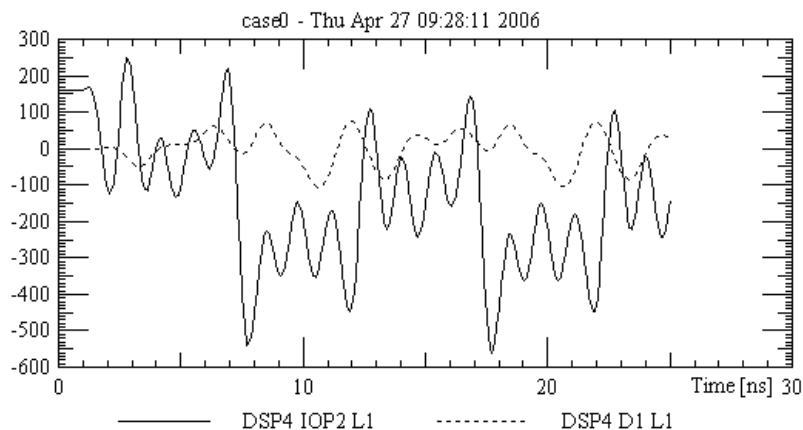


图6.18

其中实线为驱动源上升时间为0.8ns时的串扰波形，虚线为驱动源上升时间为2.885ns时的串扰波形。从图中可以看出信号的上升/下降时间或边沿变化（上升沿和下降沿）对串扰的影响很大，边沿变化越快，串扰越大。由于在现代高速数字电路的设计中，具有快速上升时间的器件的应用越来越广泛，因此对于这类器件，即使其信号频率不高，在布线时也应认真对待以防止过大的串扰产生。

#### 6.5.4 传输线特性阻抗对串扰的影响

在当今高速系统的设计实现中，采用多层PCB板的最大优点是可以在有限面积的条件下，极大地提高布线资源，设计中使用的元器件在布局时即使摆放的很密，也可以通过多层信号走线来实现互连，从而使系统的小型化成为现实。多层PCB板的层与层之间是用电介质填充的，这个电介质层的厚度是影响传输线特性阻抗的重要因素，当它变厚时，传输线特性阻抗变大，当它变薄时，传输线特性

阻抗变小，这将影响串扰得大小。分别采用微带传输线（TOP层）和带状传输线（信号层）两种布线结构进行了仿真，这两种情况除了使用不同的布线层以外，其它条件如两线平行长度、间距、信号频率等均不变。通过改变电介质厚度来观察串扰的变化，取三个典型值3.6mils、7.2mils、14.4mils进行仿真时相应微带传输线和带状传输线上的远端串扰峰值如下表：

表6.7

	微带线			带状线		
	3.6	7.2	14.4	3.6	7.2	14.4
电介质厚度d/mil	3.6	7.2	14.4	3.6	7.2	14.4
特性阻抗/ohm	66.889	89.040	102.04	42.635	61.597	74.076
远端串扰峰值/mv	102.517	179.04	309.07	34.236	93.462	186.57

其仿真波形对比如下：

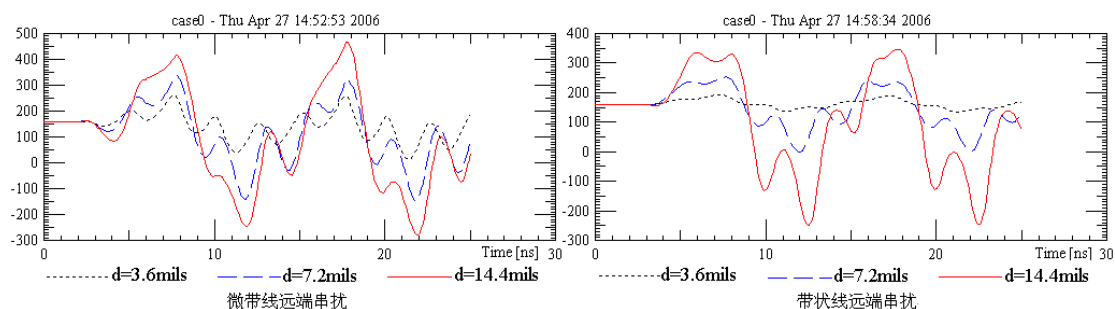


图6.19

由仿真结果可见，PCB 板层之间的电介质层的厚度对串扰的影响很大，对于同一布线结构，当电介质层的厚度增大一倍时，串扰明显加大了，反之，当电介质层厚度减小时，串扰有明显减小。另外，对于同样的电介质层厚度，带状传输线的串扰要小于微带传输线的串扰，因此在高速电路布线时，如带状传输线的阻抗控制能够满足要求，那么使用带状传输线可以比使用微带传输线获得更好的串扰抑制效果。

### 6.5.5 反射对串扰的影响

如果动态线和静态线的阻抗没有完全匹配，即  $R_t \neq Z_0$ ，则有反射产生，此时就会在发射端和接收端之间产生多次反射，串扰就会加剧，如果给动态线和静态线端接电阻，使之待到阻抗匹配，即  $R_t = Z_0$ ，就能有效抑制串扰。分别对动态线和静态线都不端接电阻、仅静态线端接电阻、仅动态线端接电阻、动态线和静态线

都端接电阻进行仿真，端接电阻均为 100ohm,结果如下表：

表 6.8

端接情况	两线均不端接	静态线端接	动态线端接	两线均端接
远端串扰峰值/mv	225.555	202.534	179.377	130.822

仿真波形对比如下：

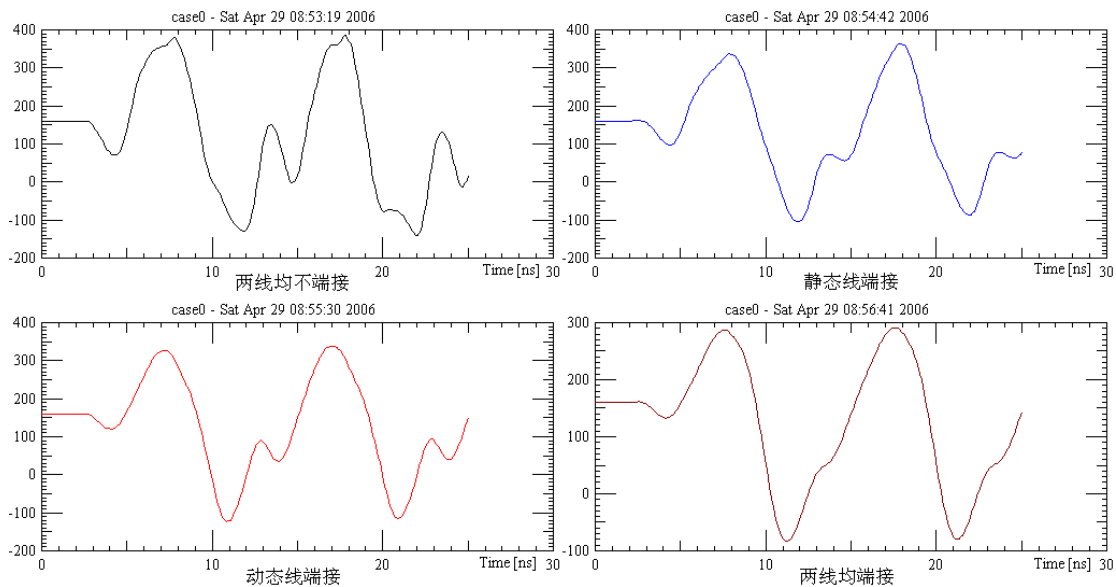


图 6.20

由图可以看出，对传输线端接电阻后，串扰可以得到有效的抑制。

## 第七章 结束语

通常当提到印刷电路板（PCB）时，会想到电路设计、板图设计和可靠性分析等。现在，随着数字电子系统突破1GHz的壁垒，PCB板的设计必需要考虑信号完整性问题，保持信号完整性对设计者来说越来越富有挑战性。

随着信号电平跳变时间的不断减小，PCB板面上的走线将都可以作为传输线来看待，理解传输线原理是研究信号完整性问题的基础和前提。信号完整性问题的引发因素是多方面的，其中串扰和反射是最主要的因素，减小反射和串扰就成为信号完整性研究的主要内容。通过减小走线长度可以抑制反射，但这在元件密度甚高的PCB板中往往是不现实的，通过端接电阻达到阻抗匹配才是减小反射的最可行和有效的办法。对于串扰而言，最直观的减小串扰的方法就是增大走线间距和缩短走线并行长度，但这些做法在高密度板中是很难办到的，由于串扰具有叠加性，所以可以用巧妙的走线拓扑结构来抵消串扰，这种叠加抵消的方法不能完全使串扰抵消为零，只能使串扰大幅度减小，同时根据传输线特性阻抗对串扰的影响，在带状传输线的阻抗控制能够满足要求的情况下，使用带状传输线可以比使用微带传输线获得更好的串扰抑制效果。

在PCB板设计中，信号完整性问题是不可避免的，作为PCB设计者，只能通过分析优化设计，来使信号完整性问题减小到板级功能可以接受的程度。传统PCB的设计方法是根据要求制作样板，然后进行测试和调试，没有进行仿真分析。在今天产品的上市时间和产品的成本、性能同样重要，采用传统做法的效率会很低，这是因为一个PCB设计如果在开始阶段不考虑信号完整性，就很难做到首件产品一次成功。就算在设计时考虑到信号完整性问题，问题仍然得不到根本上的解决，因为单纯借助经验公式通过人工计算，很难得到信号完整性问题的准确预测，因此仿真工具对于PCB设计来说就显得尤为重要。

在本课题的研究中，我学习了Candence公司的PCB系列软件并制作了PCB板，查阅了大量的文献资料，基本掌握了PCB制作和信号完整性分析的知识。鉴于本人能力有限和论文设计篇幅的限制，PCB板的设计方法没有详尽阐述，对信号完整性分析在权威理论的基础上融入了自己的理解和看法，任何不完善之处，请各位老师和专家理解；若存在谬误之处，恳请你们给予指正。

## 参考文献

- [1]、《Concept HDL Front-to-Back》，[China\\_support@cadence.com](mailto:China_support@cadence.com),2004
- [2]、《Allegro PCB Layout System》，[China\\_support@cadence.com](mailto:China_support@cadence.com),2004
- [3]、《信号完整性分析》，Eric Bogatin，电子工业出版社，2005
- [4]、《电磁兼容和印刷电路板》，Mark I.Montrose,人民邮电出版社，2002
- [5]、《高速数字设计》，Howard Johnson,电子工业出版社，2004
- [6]、《PCB Design for Real World EMI Control》,Archangeault.B ,The Netherlands  
Kluwer Academic Publishers，2002
- [7]、《Signal and Power Integrity in Digital Systems》，Buchanan,J.E. ， McGraw-Hill  
Book Company，1995
- [8]、《Allegro 15.x学习与使用》，易鸿，清华大学出版社，2005
- [9]、《印制电路板设计与制作》，曾峰、曾波、巩海洪，电子工业出版社，2005
- [10]、《Cadence Concept HDL & Allegro 》，李楠，人民邮电出版社，2005
- [11]、《印制电路板设计》，范博，机械工业出版社，2006
- [12]、《Cadence PCB 设计与制板》，周润景，电子工业出版社，2005
- [13]、《印制电路板的电磁兼容性设计》，吴建辉，国防工业出版社，2005
- [14]、《Allegro PCB Layout 高速电路板设计》，黄宏安，台科大图书股份有限责  
任公司，2003
- [15]、《电磁兼容设计》，白同云，北京邮电大学出版社，2003
- [16]、《印制电路板的可靠性设计》，国防工业出版社，2004