

# 高速电路中的信号完整性及仿真

张 磊, 唐继勇, 杨 峰

( 电子科技大学自动化工程学院, 四川 成都 610054)

摘 要: 在高速印刷电路板设计过程中, 高速电路设计的仿真显示出越来越重要的地位。利用仿真分析的方法, 可以在 PCB 制作之前尽可能发现并解决隐藏的信号完整性和电磁兼容性问题, 最大限度地减小产品设计失败概率, 提高电路系统工作可靠性。通过采用 PADS2004/hyperLynx 软件对一高速 DSP 图像处理印刷电路板中的高速信号线的布局布线前的仿真, 分析高速电路板中普遍存在的信号完整性、串扰等问题, 并给出了相应的解决办法。

关键词: 高速电路; 仿真; hyperLynx; 印刷电路板; 信号完整性

中图分类号: TP337, TN431.2 文献标识码: A 文章编号: 1672-4984(2008)01-0063-04

Signal integrity and simulation in high speed circuit

ZHANG Lei, TANG Ji-yong, YANG Feng

( College of Automatization Engineering, University of Electronic Science and Technology, Chengdu 610054, China)

Abstract: Simulating of high speed circuit design plays a more and more important role in design process of high speed print circuit board. Simulation and analysis could discover hidden problems of signal integrity and electromagnetic compatibility before PCB being made. This reduced probability of design failure to the lowest level and thus reliability of products was enhanced. With the help of PADS2004/hyperLynx software, simulation of high speed signal circuits before layout of one DSP image process print circuit board was introduced. The problems such as signal integrity, disturbance between signal lines in high speed circuit boards were analyzed and solutions were also provided.

Key words: High speed circuit; Simulation; HyperLynx; Print circuit board; Signal integrity

## 1 引言

现在的高速数字系统的时钟频率可能高达数百兆赫兹, 其快斜率瞬变和极高的工作频率, 以及很大的电路密集度, 必将使得系统表现出与低速设计截然不同的行为, 出现了信号完整性问题。破坏信号完整性将直接导致信号失真、定时错误, 以及产生不正确的数据、地址和控制信号, 从而造成系统误工作甚至导致系统崩溃, 因此印刷电路板布线前的仿真显得非常重要。

## 2 信号完整性

信号完整性 (Signal Integrity, 简称 SI) 是指信号线上的信号质量。差的信号完整性不是由某一单一因素导致的, 而是板级设计中多种因素共同引起的。主要的信号完整性问题包括反射、振铃、地弹、串扰等。

收稿日期: 2007-03-28; 收到修改稿日期: 2007-06-11

基金资助: 四川省应用基础研究项目 (02GY029-033)

作者简介: 张 磊 (1982-), 男, 河南民权人, 硕士研究生, 专业方向为多媒体技术与通信。

源端与负载端阻抗不匹配会引起线上反射, 负载将一部分电压反射回源端。如果负载阻抗小于源端阻抗, 反射电压为负; 反之, 如果负载阻抗大于源端阻抗, 反射电压为正。布线的几何形状、不正确的线端接、经过连接器的传输及电源平面的不连续等因素的变化均会导致此类反射。信号的振铃和环绕振荡由线上过度的电感和电容引起, 振铃属于欠阻尼状态而环绕振荡属于过阻尼状态。信号完整性问题通常发生在周期信号中, 如时钟等。振铃和环绕振荡同反射一样也是由多种因素引起的, 振铃可以通过适当的端接予以减小, 但是不可能完全消除。在电路中有大的电流涌动时会引起地弹。振铃和地弹都属于信号完整性问题中单信号线的现象, 串扰则是由同一 PCB 板上的两条信号线与地平面引起的, 故也称为二线系统。串扰是两条信号线之间的耦合, 信号线之间的互感和互容引起线上的噪声。容性耦合引发耦合电流, 而感性耦合引发耦合电压。PCB 板层的参数、信号线间距、驱动端和接收端的电气特性及线端接方式对串扰都有一定的影响。表 1 列出了高

速电路中常见的信号完整性问题与可能引起该信号完整性问题的原因,并给出了相应的解决方法。

表1 信号完整性常见问题及解决方法

问题	可能原因	解决方法	变更的解决方法
上冲过大	终端阻抗不匹配	终端端接	使用上升时间缓慢的驱动源
直流电压电平不好	线上负载过大	以交流负载替换直流负载	使用能提供更大驱动电流的驱动源
串扰过大	线间耦合过大	使用上升时间缓慢的主动驱动源	在被动接收端端接,重新布线或检查地平面
传播时间过长	传输线距离太长	替换或重新布线,检查串行端接	使用阻抗匹配的驱动源,变更布线策略

在一个已有的PCB板上分析和发现信号完整性问题是一件非常困难的事情,即使找到了问题,在一个已成形的板上实施有效的解决办法也会花费大量时间和费用。那么,我们就期望能够在物理设计完成之前查找、发现并在电路设计过程中消除或减小信号完整性问题,这就是EDA工具需要完成的任务,而Mentor Graphics公司PADS2004/hyperLynx工具使用起来简单、方便、实用。

### 3 理解和使用IBIS模型

IBIS(Input/Output Buffer Information Specification)模型<sup>[1]</sup>,是一种基于V/I曲线的对I/O BUFFER快速准确建模的方法,是反映芯片驱动和接收电气特性的一种国际标准<sup>[2]</sup>,它提供一种标准的文件格式来记录如驱动源输出阻抗、上升/下降时间及输入负载等参数,非常适合做振铃和串扰等高频效应的计算与仿真。现在已有多家半导体器件生产厂家及CAE/EDA公司支持此IBIS规范,提供不同器件的IBIS模型及软件仿真工具,如Mentor Graphics公司既提供使用IBIS模型的仿真工具Interconnect Synthesis,同时提供Zeelan的IBIS的仿真模型库,另外还可根据用户的特殊需求定制相应器件的IBIS模型。

IBIS本身只是一种文件格式,它说明在一标准的IBIS文件中如何记录一个芯片的驱动器和接收器的不同参数,但并不说明这些被记录的参数如何使用,这些参数需要由使用IBIS模型的仿真工具来读取。IBIS提供两条完整的V-I曲线分别代表驱动器为高电平和低电平状态,以及在确定的转换速度下状态转换的曲线。

### 4 阻抗匹配、端接方案及仿真分析

本文以DSP系统为例,介绍HyperLynx仿真在高速电路设计中的应用,系统的主芯片采用的是TI

公司的DM642芯片,外部接有SDRAM,FLASH,FIFO等存储器件,其中速度最高的是DM642和SDRAM的连接,接口的时钟频率高达133MHz,时钟信号传输延迟大小和信号质量的优劣将直接关系到系统的定时是否准确。在设计布局布线时,应优先考虑重要的时钟线,即通过规划时钟线,使得时钟线的连线远离其它的信号线;连线尽量短,并且加上地线保护。信号驱动器和接收器均使用标准TTL工艺器件的IBIS模型。仿真基本条件为:顶层微带传输线,所有线宽都是6mil,PCB板为6层(其中TOP层为布线层,中间第一层为地平面层,中间第二层为布线层,中间第三层为布线层,中间第四层为电源平面层,BOTTOM层为布线层),电介质介电常数为4.0,通过HyperLynx里面的叠层仿真工具使走线的特征阻抗控制在75 $\Omega$ ,以仿真SDRAM的CLK管脚处的波形为例,在HyperLynx中为DM642和SDRAM分配IBIS模型,图1中上图为在不加端接的情况下的仿真波形图。

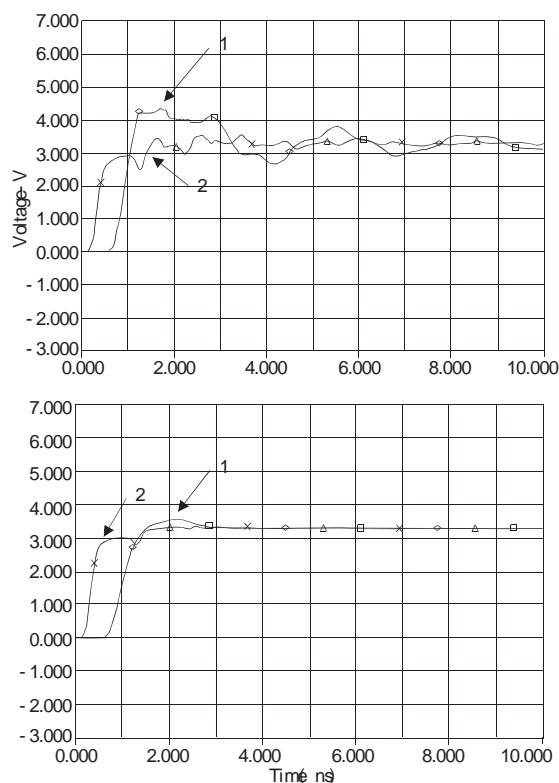


图1 端接电阻对信号性能的影响

图中标记“2”箭头所指的波形为驱动端DM642的AECLKOUT1管脚,“1”为接收端SDRAM的CLK管脚,由波形可见,在未加端接的情况下,传输线上的阻抗不连续会导致信号反射,并且接收端的波形过冲很大,还会伴有振铃发生,这是在高速电路设计

中不希望看到的现象,为了解决这种问题,一般需要加端接,主要有以下几种端接方式:

#### (A) 并行端接

并行端接主要是在尽量靠近负载端的位置加上拉和/或下拉阻抗以实现终端的阻抗匹配,并行端接又可分为以下几种类型:

(1) 简单的并行端接:这种端接方式是简单地在负载端加入一下拉到地的电阻来实现匹配。在输出为高电平状态时,这种并行端接电路消耗的电流过大,对于 50 的端接负载,维持 TTL 高电平消耗电流高达 48mA,因此一般器件很难可靠地支持这种端接电路。

(2) 戴维宁 Thevenin) 并行端接:戴维宁 Thevenin) 端接即分压器型端接,它采用上拉电阻  $R_1$  和下拉电阻  $R_2$  构成端接电阻,通过  $R_1$  和  $R_2$  吸收反射。此端接方案虽然降低了对源端器件驱动能力的要求,但却由于在 VCC 和 GROUND 之间连接的电阻  $R_1$  和  $R_2$  从而一直在从系统电源吸收电流,因此直流功耗较大。

(3) 主动并行端接:在此端接策略中,端接电阻  $R_T$  将负载端信号拉至一偏移电压 VBIAS, VBIAS 的选择依据是使输出驱动源能够对高低电平信号有汲取电流能力的独立的电压源来满足输出电压的跳变速度的要求。在此端接方案中,如偏移电压 VBIAS 为正电压,输入为逻辑低电平时有 DC 直流功率损耗,如偏移电压 VBIAS 为副电压,则输入为逻辑高电平时有直流功率损耗。

(4) 并行交流端接:并行交流端接使用电阻和电容网络(串联  $R_C$ ) 作为端接阻抗。端接电阻  $R$  要小于等于传输线阻抗  $Z_0$ , 电容  $C$  必须大于 100 pF, 推荐使用 0.1  $\mu$ F 的多层陶瓷电容。电容有阻低频通高频的作用,因此电阻  $R$  不是驱动源的直流负载,故这种端接方式无任何直流功耗,但要在电路中增加一个电容和一个电阻。

#### (B) 串行端接

串行端接是通过在尽量靠近源端的位置串联一个电阻  $R_S$  (典型 10 ~75 ) 来实现的。此类端接法要求缓冲器阻抗和端接电阻值的总和等于传输线的特征阻抗<sup>[9]</sup>。这种策略通过使源端反射系数为零从而抑制信号的反射。串行端接的优点在于:每条线只需要一个端接电阻,无需与电源相连接,消耗功率小。当驱动高容性负载时可提供限流作用,这种限流作用可以帮助减小地弹噪声,因此本系统采用的是

串行端接,在源端端接了一个 33 的电阻以后的仿真波形如图 1 下图所示,由波形可见,信号的反射,过冲,振铃明显的减弱了。

## 5 串扰及仿真分析

串扰是指当信号在传输线上传播时,因电磁耦合对相邻的传输线产生的不期望的电压噪声干扰。过大的串扰可能引起电路的误触发,导致系统无法正常工作。如图 2 所示,设位于 A 点的驱动源为干扰源,则位于 D 点的接收器称为被干扰对象,A、B 之间的线网称为干扰源网络,C、D 之间的线网称为被干扰对象网络;反之,如果位于 C 点的驱动源为干扰源,则位于 B 点的接收器称为被干扰对象,C、D 之间的线网称为干扰源网络,A、B 之间的线网称为被干扰对象网络。当干扰源状态变化时,会在被干扰对象上产生一串扰脉冲,在高速系统中,这种现象很普遍。

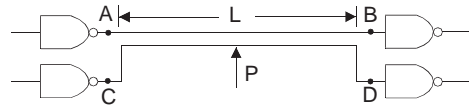


图 2 串扰中的干扰源与被干扰对象

为方便下面的仿真,我们组成构造如下的仿真条件:电路布局布线严格按照图 3 中两线系统的结构,设线宽均为  $W$ ,线间距为  $P$ ,而线到平面层的距离为  $L$ ,本 DSP 系统中  $W=6$  mil,而  $P$  和  $L$  根据具体仿真结果再确定,被干扰对象受和它相邻的左右两条线之间的干扰最大,本文以 DM 642 的 CAS#, WE#, CEO 三条线为例,三条线均为顶层微带传输线,是相邻的。信号驱动器和接收器均使用标准 TTL 工艺器件的 IBIS 模型。影响串扰的因素很多,本文主要讨论三种。

### 5.1 间距对串扰的影响

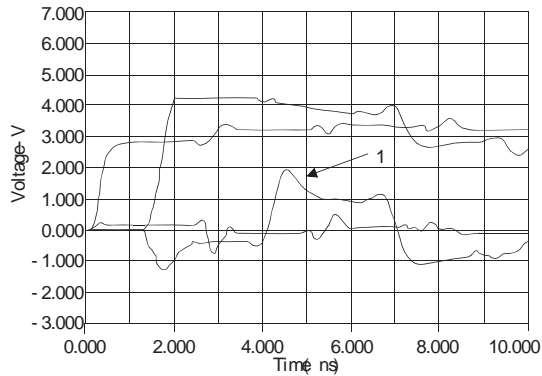
图 3 所示的波形是当  $W=6$  mil,  $L=13$  mil, 线间距  $P$  不同的仿真结果。图中标记“1”箭头所指的波形为被干扰对象 WE#, 由仿真结果可见,当两线的间距拉大时 ( $P$  由 10 mil 变为 20 mil), 串扰明显地减小了。

### 5.2 传输线到平面层的距离对串扰的影响

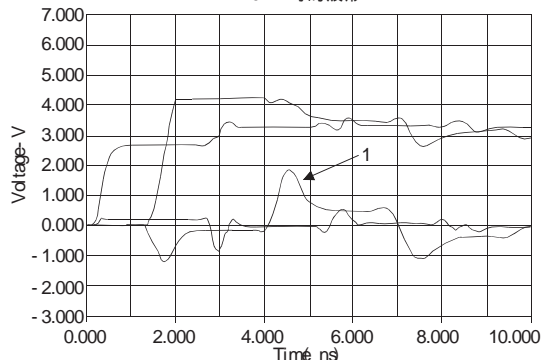
基于图 3 的结果,将  $L$  改为 7 mil, 仿真结果如图 4 所示,由图 4 和图 3 比较可见,除了尖峰干扰外其他的干扰已经很小了,因此,减小  $L$  有利于降低串扰的影响。

### 5.3 端接电阻对串扰的影响

当增加信号线间距和减小信号线到平面层的距



P=10mil 时的波形



P=20mil 时的波形

图3 信号线间距对信号性能的影响

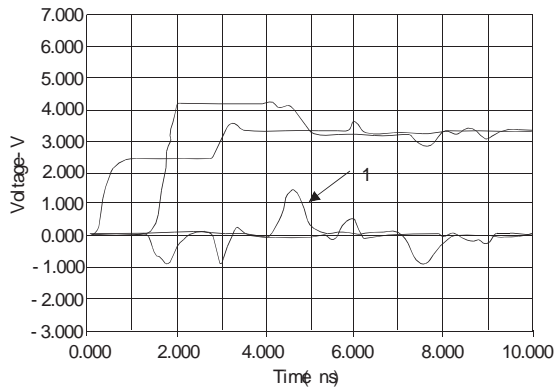


图4 信号线到平面层的距离对信号性能的影响

离后, 再在3个驱动端分别加入端接电阻33 $\Omega$ , 得到的仿真结果如图5所示。由仿真结果可见, 基本上全部消除了串扰的影响。

## 6 结束语

以上 Hyperlynx 仿真都是针对实际 DSP 高速系

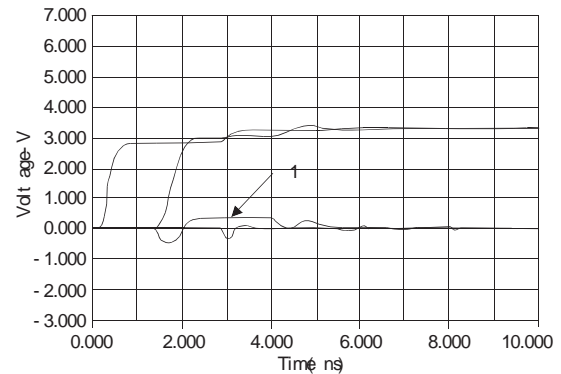


图5 加上端接电阻以后的波形

统得出的结果。由仿真结果可知在高速电路系统设计中, 必须仔细分析信号完整性对电路的影响, 稍有不慎, 就会使硬件电路设计出现问题, 造成误触发, 甚至导致系统无法正常工作。同时, 针对不同的信号完整性应该采用不同的解决方法, 如在信号反射、过冲与振铃比较大的情况下, 加端接等可以很好的得到解决; 降低串扰的主要方法是将走线靠近平面层布线和将走线之间的间距增大, 随着走线和参考平面的拉近, 走线的特性阻抗也在降低, 因此需要调整端接电阻。

## 参考文献

- [1] Ross B. IBIS models for signal integrity applications[J]. EE Times, 1996, 18(9): 38-43.
- [2] Hobbs W, Muranyi A, Rosenbaum R, et al. IBIS: I/O buffer information specification, overview [EB/OL]. 1994 (1): 14.
- [3] 张海风. Hyperlynx 仿真与 PCB 设计[M]. 北京: 机械工业出版社, 2005.
- [4] 曾 铮, 郑建宏. 高速 PCB 板设计中的串扰问题和抑制方法[J]. 电子设计应用, 2006(4): 81-84.
- [5] 毕 明, 陈光 祚, 谢永乐. 高速数字电路中信号反射的分析及解决方案[J]. 中国测试技术, 2007, 33(1): 99-101.
- [6] Brooks. 信号完整性问题和印制电路板设计[M]. 北京: 机械工业出版社, 2005.
- [7] 夏军成. 高速数字设计中的信号完整性问题[J]. 舰船电子对抗, 2003, 26(4): 10-11.
- [8] 朱 滔. 信号完整性原则在高速设计中的应用[J]. 现代有线传输, 2003(2): 58-62.