

高速数字电路设计

及 EMC 设计



目 录

1. 高速数字电路设计	5
1.1 何谓高速数字信号?	5
1.2 微带线、带状线的概念	5
1.2.1 微带线 (Microstrip)	5
1.2.2 带状线 (Stripline)	6
1.2.3 经验数据	6
1.2.4 同轴线 (coaxial cable)	6
1.2.5 双绞线 (twisted-pair cable)	7
1.2.6 等间隔的电容负载的影响	7
1.3 常见高速电路	8
1.3.1 ECL (Emitter Coupled Logic) 电路	8
1.3.2 CML (Current Mode Logic) 电路	9
1.3.3 GTL (Gunning Transceiver Logic) 电路	10
1.3.4 BTL (Backplane Transceiver Logic) 电路	10
1.3.5 TTL (Transistor Transistor Logic) 电路	11
1.3.6 模数转换电路—线接收器	12
1.4 常见电路匹配措施	12
1.4.1 反射	12
1.4.2 终端匹配	13
1.4.3 始端匹配	15
1.5 高速电路设计一般原则和调试方法	16
1.5.1 同步逻辑设计	16
1.5.2 了解选用器件的输入、输出结构, 选用恰当的匹配电路; 在考虑节省功耗, 电路又能容许的情况下, 可适当地引入失配。	19
1.5.3 对极高速率 (300MHz 以上) 的信号, 一般建议选用互补逻辑, 以降低对电源的要求。	19
1.5.4 了解每一根高速信号电流的流向 (电流环)	19
1.5.5 信号的布线、电源和地层的分割, 是否符合微带线、带状线的要求? 高速信号要有回路地相配 (不是屏蔽地)	19
1.5.6 电源滤波	19
1.5.7 对很高速度的信号要估算其走线延迟。	19
1.5.8 在满足速度要求的前提下, 尽量选用工作速率低的器件。	19
1.5.9 差分线尽量靠近走线	19
1.5.10 测试方法: 选择有 50Ω 输入的高速示波器, 一般自制一个探头, 测量点应尽量靠近所观察的位置或者需要该信号的实际位置。一般不建议测输出端的信号波形, 与实际	

使用的位置有一定差别。	19
1.5.11 ringing, crosstalk, radiated noise —— 数字系统的三种噪声	19
1.5.12 数字信号的绝大部分能量（功率谱密度）集中在 f_{knee} 之内	19
1.5.13 延时：FR4 PCB, outer trace: 140~180 ps/inch inner trace: 180 ps/inch	20
1.5.14 集总参数与分布参数系统	20
1.5.15 互感、耦合电容的作用（干扰）	20
1.5.16 ECL 电路的上升时间、下降时间的计算	20
1.5.17 在数字系统中，耦合电容引起的串扰比起互感引起的串扰要小。	21
1.5.18 传输通道包括器件封装、PCB 布局、连接器，至少在 f_{knee} 的范围内要有平坦的 频响，以保证信号不失真，否则信号在收端可能会遇到上升时间劣化、过冲、振铃、lump 等现象。	21
1.5.19 阻容负载对电流变化的作用	21
1.5.20 噪声容限（noise immunity）：以 10H189 器件为例	22
1.5.21 地反弹（ground bounce）	23
1.5.22 寄生电容 Stray Capacitance 的影响：对于高输入阻抗电路影响尤为严重	23
1.5.23 示波器探针的电气模型	24
1.5.24 21:1 探针：	25
1.5.25 趋肤效应（skin effect）：在高频时导线表面附近的电流密度加大，而中心部分的 电流密度减小。趋肤效应使得导线对高频信号的衰减增大。趋肤效应的频率与导体的材 料有关。	25
1.5.26 对低频信号，电流流经电阻最小的路径；对高频信号，回流路径的电感远比其电 阻重要，高频电流流经电感最小的路径，而非电阻最小的路径。最小电感回流路径正好 在信号导线的下面，以减小流出和流入电流通路间的环路面积。	25
1.5.27 负载电容对上升时间的影响	26
1.5.28 直流匹配和交流匹配的功耗比较	27
1.5.29 电源系统设计原则	27
1.5.30 TTL 和 ECL 的混合系统要注意	27
1.5.31 电源线上的电磁辐射防护	28
1.5.32 旁路电容的选取和安装：	28
1.5.33 连接器对高速系统的影响	28
1.5.34 总线：	30
2、电磁兼容性（Electromagnetic Compatibility）	32
2.1 关于电磁兼容性的基本原理	32
2.1.1 下面的电路布局有什么问题？	32
2.1.2 走线可穿过回流平面的缝隙吗？ No!	33
2.1.3 走线的电感和电容	33
2.1.4 接地的作用：	34
2.1.5 信号参考点应在何处接至基底(chassis)	35
2.1.6 周期信号	36

2.1.7 EMC 三要素	36
2.1.8 共模和差模.....	38
2.1.9 减小噪声的措施.....	39
2.2 信号完整性——减小串扰和信号畸变.....	39
2.2.1.....	39
2.2.2 屏蔽.....	40
2.2.3 信号畸变.....	41
2.3 通过滤波减小直流电源噪声	41
2.3.1.....	42
2.3.2 If DC power planes can't be used, then lumped decoupling capacitors must be sized and placed correctly.	42
2.3.3 多层 PCB、表贴电容，串联电感在何处?	43
2.3.4 How to distribute DC power from a single supply to both analog and digital circuits?..	43
2.4 元件放置与信号层分配.....	44
2.5 Reducing conducted & radiated emission & susceptibility.....	46
2.6 电路板 EMC 准则总结	48
2.6.1 Component Placement	48
2.6.2 DC Power Distribution.....	48
2.6.3 Routing of Signal Output and Return Paths	49
2.6.4 Signal Integrity – Reducing Crosstalk and Distortion.....	49
2.6.5 High Frequency Transmission Lines	50
2.6.6 Reducing Conducted and Radiated Emissions	50

高速数字电路及 EMC 设计

1. 高速数字电路设计

1.1 何谓高速数字信号？

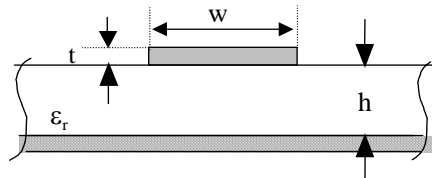
高速数字信号由信号的边沿速度决定，一般认为上升时间小于 4 倍信号传输延迟时可视为高速信号。平常讲的高频信号是针对信号频率而言的。

设计开发高速电路应具备信号分析、传输线、模拟电路的知识。

错误的概念：8kHz 帧信号为低速信号。

1.2 微带线、带状线的概念

1.2.1 微带线 (Microstrip)



$$\text{特性阻抗} \quad Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \frac{5.98h}{0.8w + t} (\Omega)$$

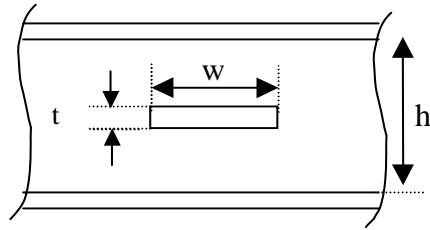
$$\text{传输延迟} \quad t_{PD} = 1.017 \sqrt{0.457 \epsilon_r + 0.67} \left(\frac{ns}{ft} \right)$$

或 $85 \sqrt{0.475 \epsilon_r + 0.67} \left(\frac{ps}{inch} \right)$

$$\text{固有电容} \quad C_0 = 1000 \frac{t_{PD}}{Z_0} \left(\frac{pF}{ft} \right)$$

$$\text{固有电感} \quad L_0 = Z_0^2 C_0 \left(\frac{pH}{ft} \right)$$

1.2.2 带状线 (Stripline)



特性阻抗 $Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \frac{4h}{0.67\pi w(0.8+t/w)} (\Omega)$

传输延迟 $t_{PD} = 1.017\sqrt{\epsilon_r} (ns/ft)$ 或 $85\sqrt{\epsilon_r} (ps/inch)$

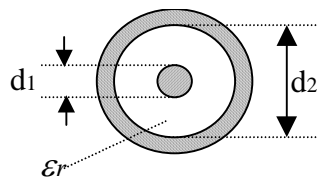
固有电容 $C_0 = 1000 \frac{t_{PD}}{Z_0} (pF/ft)$

固有电感 $L_0 = Z_0^2 C_0 (pH/ft)$

1.2.3 经验数据

对 FR-4 材料 (ϵ_r 在 4.5~5 之间): 75 Ω 微带线, $w \approx h$; 50 Ω 微带线, $w \approx 2h$; 25 Ω 微带线, $w \approx 3.5h$ 。75 Ω 带状线, $w = h/8$; 50 Ω 带状线, $w = h/3$ 。

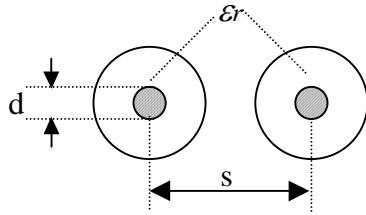
1.2.4 同轴线 (coaxial cable)



阻抗: $Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \frac{d_2}{d_1} (\Omega)$

传输延迟: $t_{PD} = 85\sqrt{\epsilon_r} (ps/inch)$

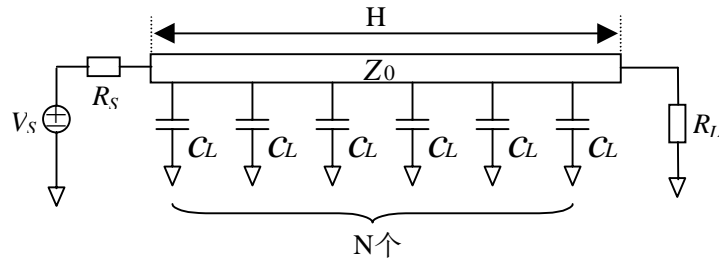
1.2.5 双绞线 (twisted-pair cable)



阻抗: $Z_0 = \frac{120}{\sqrt{\epsilon_r}} \ln \frac{2s}{d} (\Omega)$

传输延迟: $t_{PD} = 85\sqrt{\epsilon_r} (ps/inch)$

1.2.6 等间隔的电容负载的影响



传输线的有效阻抗和传输延迟将发生变化:

阻抗: $Z_0' = \sqrt{\frac{L}{C + \frac{NCL}{H}}}$

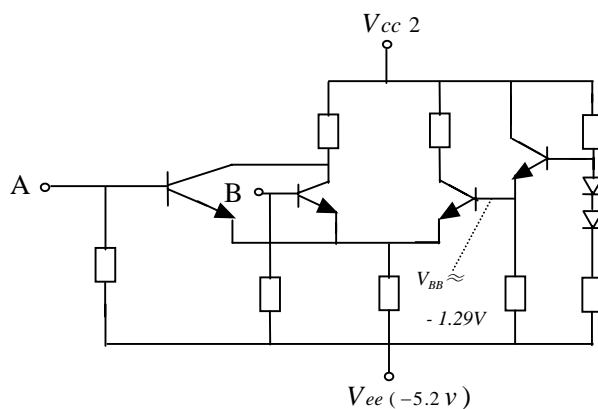
传输延迟: $t_{PD}' = \sqrt{L(C + \frac{NCL}{H})}$

对单个负载电容的情况也可以这样计算。

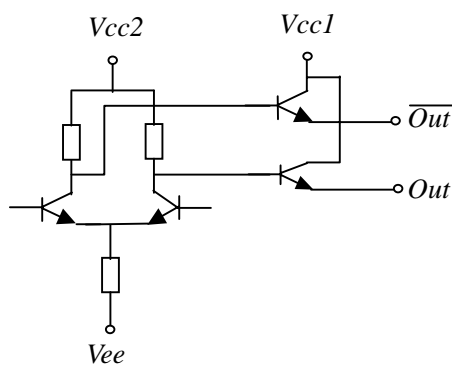
1.3 常见高速电路

1.3.1 ECL (Emitter Coupled Logic) 电路

典型输入:



典型输出:

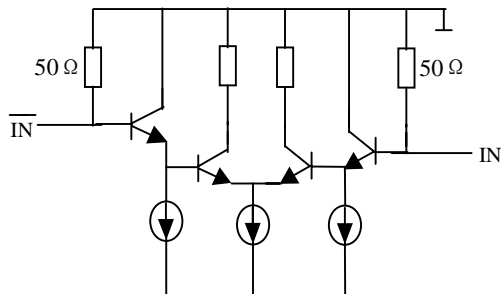


- 特点: ① 非饱和逻辑, 克服扩散电容的影响, 工作速度很高;
- ② 射极跟随器输出, 驱动能力很强。
- ③ 高电平 -0.88V 左右, 低电平 -1.72V 左右。
- ④ 根据速度不同有 10K(包括 10H)、100K(300K)、100M、100EL 系列器件可供选用。

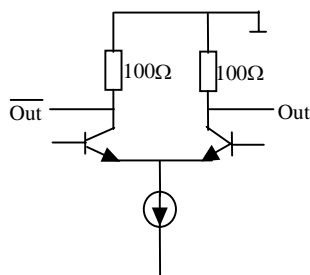
1.3.2 CML (Current Mode Logic) 电路

以 Philips 器件为例介绍其输入、输出

典型输入:



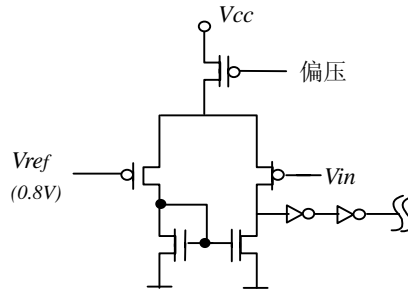
典型输出:



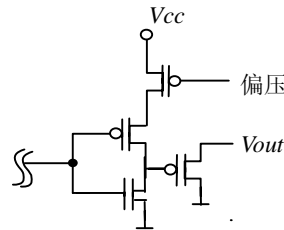
- 特点: ① 低电压摆幅 (200 ~ 400 mVpp), 干扰、辐射小;
- ② 输入 50 Ω 阻抗;
- ③ 地平面作参考电压 (而 ECL 为 -2V);
- ④ 信号差分传输。

1.3.3 GTL (Gunning Transceiver Logic) 电路

典型输入:



典型输出:



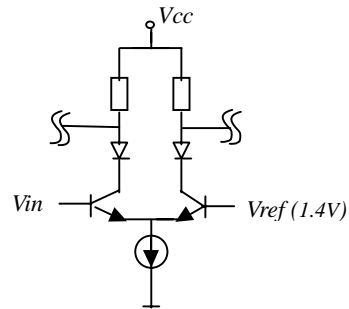
特点: ① 低功耗;

② 工作频率可达 100MHz 或 200MHz;

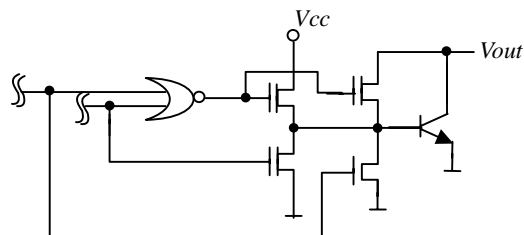
③ 电压摆幅小 ($V_{OLmax}=0.4V, V_{OHmin}=1.2V$)

1.3.4 BTL (Backplane Transceiver Logic) 电路

典型输入:



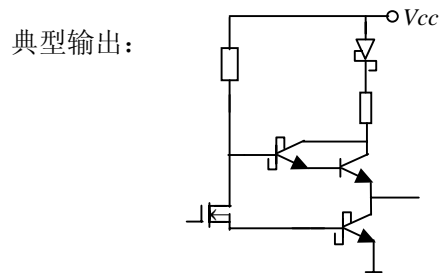
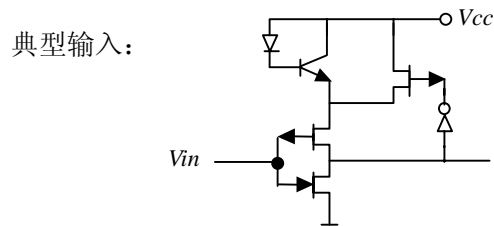
典型输出:



- 特点：① 驱动能力强，用于重负载背板（ $I_{OL}=100\text{mA}$ ）；
- ② 工作频率小于 75MHz ；
- ③ 电压摆幅比 TTL 小（ $V_{OL\text{max}}=1\text{V}$ ， $V_{OH\text{min}}=2.1\text{V}$ ）

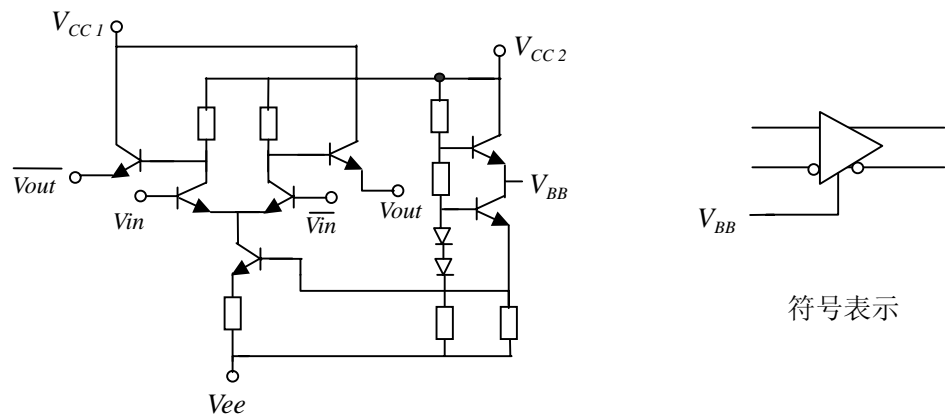
1.3.5 TTL（Transistor Transistor Logic）电路

以 ABT（Advanced BiCMOS Technology）为例。



- 特点：① 驱动能力强， I_{OH} 达 32mA ， I_{OL} 达 64mA ；高电平输出电阻约 $30\ \Omega$ ，低电平输出电阻 $<10\ \Omega$ ；
- ② 对于带阻尼输出（输出电阻 $33\ \Omega$ 左右），高、低电平电流均为 12mA ；
- ③ 速度快，上升时间在几 ns 范围，触发器翻转频率可达 100MHz 以上。

1.3.6 模数转换电路—线接收器

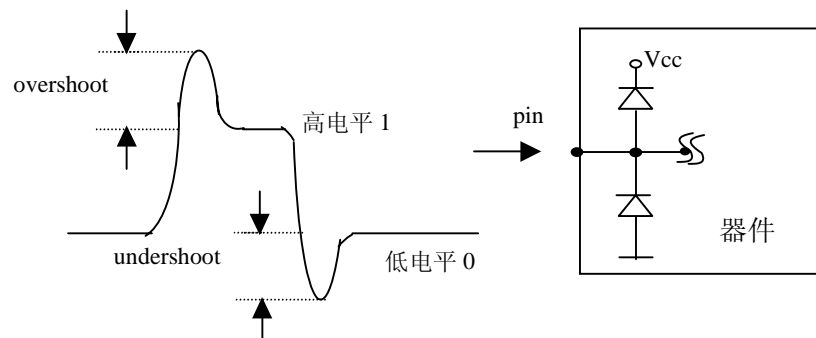


- 特点：① 将模拟小信号转换为数字信号；
② 有不同速度级别的线接收器；
③ 注意输入信号的共模和差模范围。

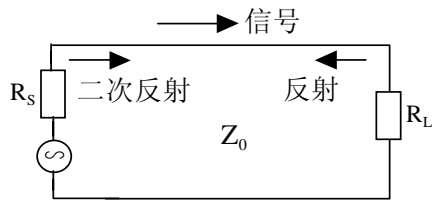
1.4 常见电路匹配措施

1.4.1 反射

传输过程中的任何不均匀(如阻抗变化、直角线)都会引起信号的反射，反射的结果对模拟信号（正弦波）是形成驻波，对数字信号则表现为上升沿、下降的振铃和过冲。这种过冲一方面形成强烈的电磁干扰，另一方面对后续输入电路的保护二极管造成损伤甚至失效。



一般而言，过冲超过 0.7V 就应采取保护措施。在下面的图中，信号源阻抗、负载阻抗是造成信号来回反射的原因。



$$\rho_s = \frac{R_s - Z_0}{R_s + Z_0}$$

$$\rho_L = \frac{R_L - Z_0}{R_L + Z_0}$$

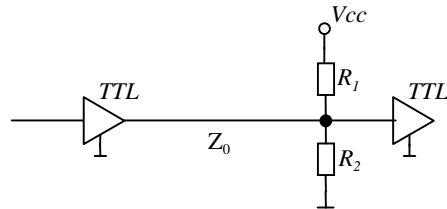
在实际应用中，通过阻抗匹配、正确布线等措施来减小或消除信号反射。

1.4.2 终端匹配

终端匹配的目的是使 ρ_L 尽量小或者等于 0。

1.4.2.1 TTL 电路的匹配

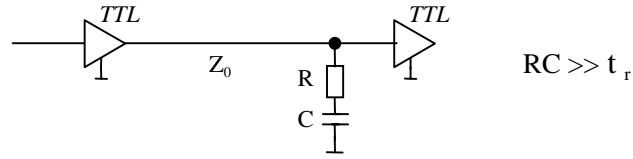
(1) 直流匹配



一般地， $R_1 // R_2 = Z_0$ ， $\frac{R_2}{R_1 + R_2} \times V_{CC} > 2.4V$ 。

在非理想匹配条件下，可取 $R_1 // R_2 = 1.5Z_0$ ，既符合 TTL 电路的噪声容限，又可节省一定的功耗。

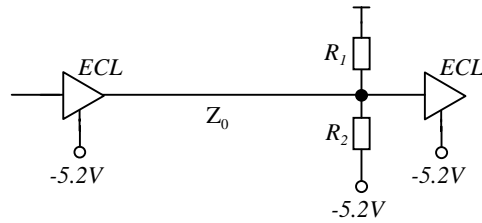
(2) 交流匹配



一般取 R 、 C 串联阻抗值比 Z_0 大一些以降低功耗。对于周期性不强的信号（如帧脉冲），不建议使用交流匹配。

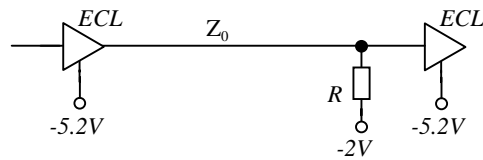
1.4.2.2 ECL 电路的匹配

(1) 单端匹配方式 1



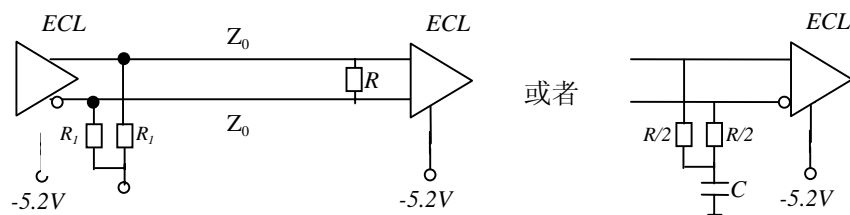
$$R_1 // R_2 = Z_0, \quad \frac{R_1}{R_1 + R_2} \times (-5.2V) = -2V$$

(2) 单端匹配方式 2



$$R = Z_0$$

(3) 差分电路匹配



$R=2Z_0$, R_1 要保证 ECL 输出电路的偏置电流。

对差分电路而言, 一般要求两条信号线并行、等长走线, 相距越近越好。这时由于线间耦合电容的因素, 传输线阻抗的计算在把这种影响考虑进去。差分电路的匹配可以采用两个独立的单端匹配方式。

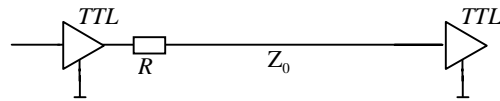
对于 PECL 电路, 匹配方式相似, 只是将 -5.2V 换成地, 地换成 Vcc 即可。

1.4.2.3 其它电路

对于 GTL、BTL 电路, 由于采用的是开漏、开集输出的方式, 因此负载电阻就是匹配电阻, 接在相应的电源上即可。GTL 电路是一种基于 50Ω 阻抗的设计, 匹配时要结合信号幅度、偏置电压、耗合方式等综合考虑, 没有统一规则。

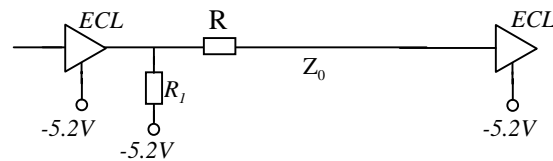
1.4.3 始端匹配

(1) TTL 电路



一般取 R 略小于 Z_0 , 由于在终端有一次全反射 ($\rho_L=1$), 在始端的信号波形边沿有一个台阶, 一般不要取这点的信号来设计电路。

(2) ECL 电路



$$R_1 \cong 5.23Z_0 + 7\Omega, R < 6.23Z_0 - R_1$$

(3) 其它电路

不推荐使用始端匹配。

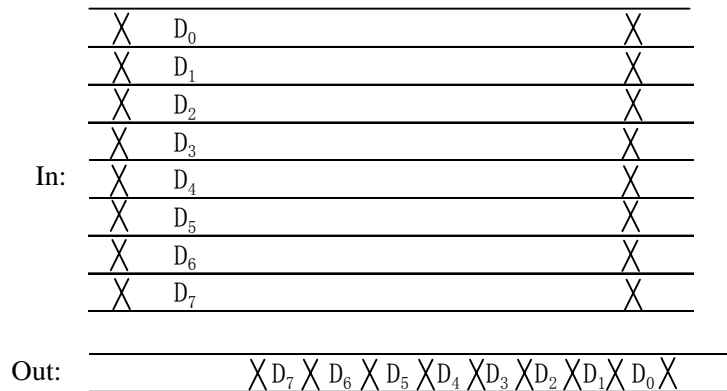
1.5 高速电路设计一般原则和调试方法

1.5.1 同步逻辑设计

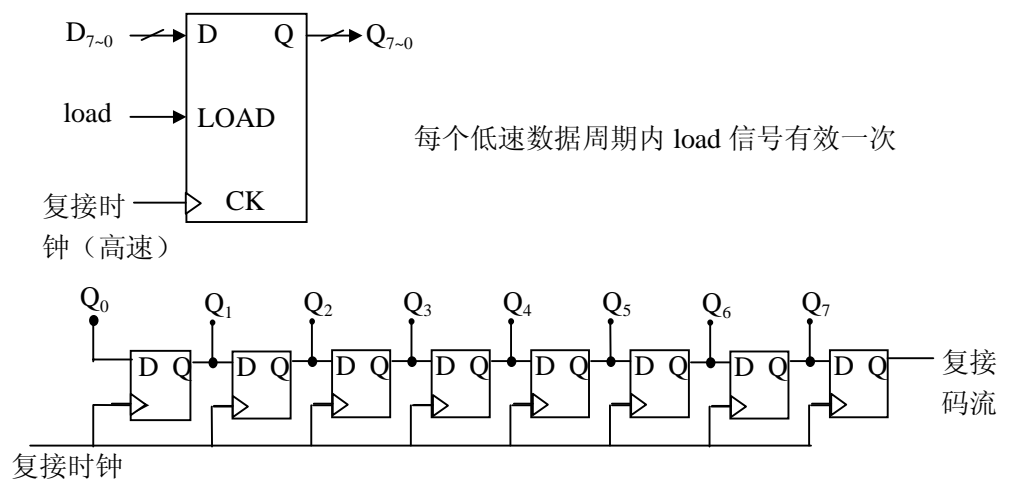
高速电路的最优设计，尽量利用一个同步系统时钟产生各种逻辑，尽量避免依赖于时延来设计系统，避免采用异步逻辑。

1.5.1.1 复接电路举例

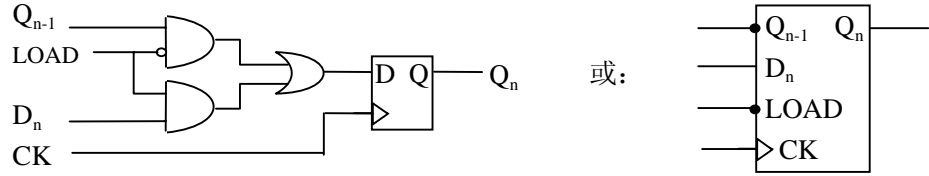
8:1 的同步复接器



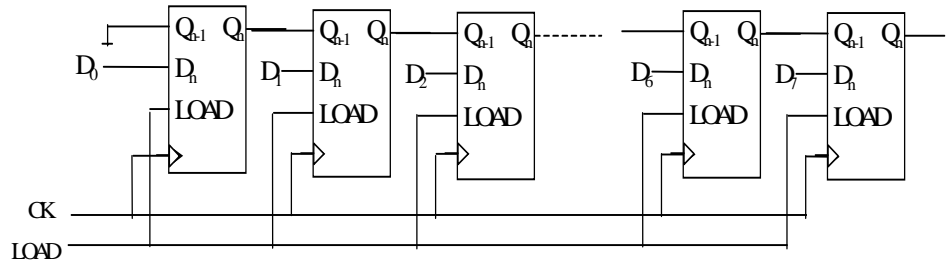
设计思路：① 同步 load；② 同步移位。



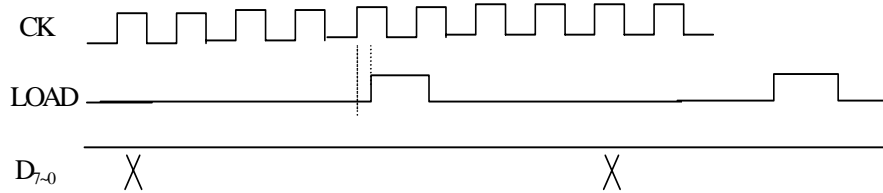
根据上述思路，可以构成下面的基本单元：



将 8 个这样的功能单元首尾串接，就可以实现同步复接功能。

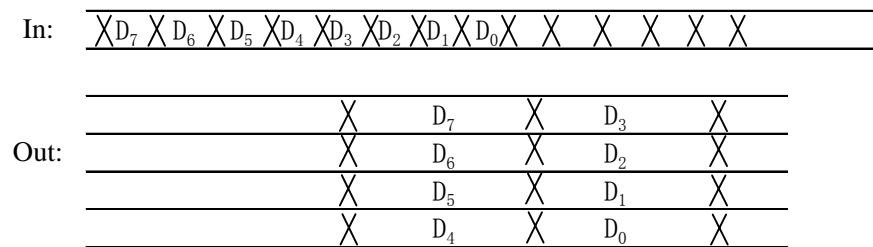


- 注意：① LOAD 信号必须由复接时钟产生；
- ② LOAD 信号为 1/8 占空比的脉冲信号；
- ③ 不建议用复接时钟下降沿产生 LOAD 信号；
- ④ 利用分频器的触发器固有延迟和二选一组合逻辑的延迟，即可保证复接电路的时序正常。

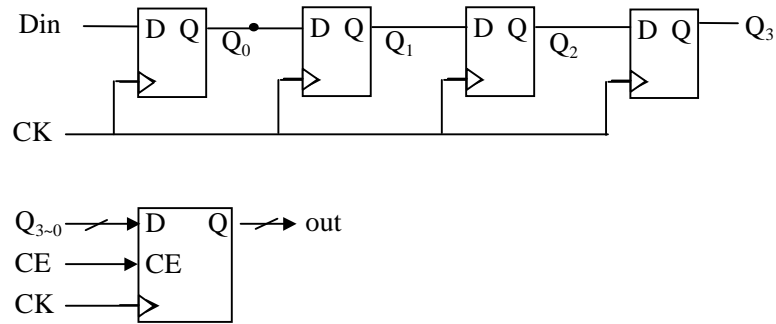


1.5.1.2 分接电路举例

1 : 4 的同步分接器



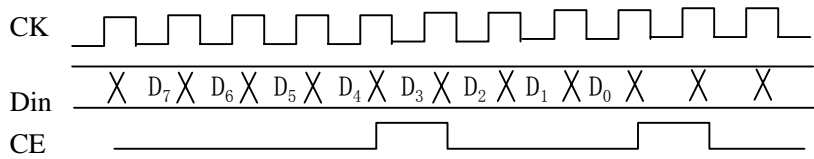
设计思路：① 同步移位；② 同步分接。



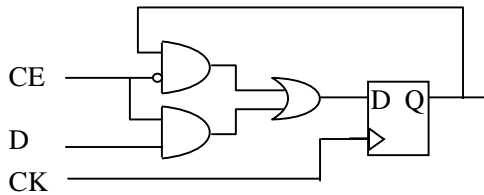
注意：① 所有的电路——定时、移位、分接均由同一高速时钟 CK 产生或控制；

② CE（时钟使能）与复接电路的 LOAD 信号类似，为 1/4 占空比的脉冲信号；

③ 不建议使用时钟信号的下降沿。



④ 很多器件都可提供 CE 功能。若没有，可自行产生：



1.5.1.3 组合逻辑

影响时序的一个重要因素。

1.5.2 了解选用器件的输入、输出结构，选用恰当的匹配电路；在考虑节省功耗，电路又能容许的情况下，可适当地引入失配。

1.5.3 对极高速率（300MHz 以上）的信号，一般建议选用互补逻辑，以降低对电源的要求。

1.5.4 了解每一根高速信号电流的流向（电流环）

1.5.5 信号的布线、电源和地层的分割，是否符合微带线、带状线的要求？高速信号要有回路地相配（不是屏蔽地）

1.5.6 电源滤波

1.5.7 对很高速度的信号要估算其走线延迟。

1.5.8 在满足速度要求的前提下，尽量选用工作速率低的器件。

1.5.9 差分线尽量靠近走线

终端匹配元件一定要放在最靠近传输线末端的地方。

集总参数电路，增加阻尼、降低 Q 值可防止振荡。

1.5.10 测试方法：选择有 $50\ \Omega$ 输入的高速示波器，一般自制一个探头，测量点应尽量靠近所观察的位置或者需要该信号的实际位置。一般不建议测输出端的信号波形，与实际使用的位置有一定差别。

1.5.11 ringing, crosstalk, radiated noise —— 数字系统的三种噪声

1.5.12 数字信号的绝大部分能量（功率谱密度）集中在 f_{knee} 之内

$$f_{\text{knee}} = \frac{0.5}{t_r} \quad (t_r: 10\% \sim 90\% \text{ 上升时间})$$

因此电路在超过 f_{knee} 的频率范围对数字信号的影响甚小，在低于 f_{knee} 的范围要求电路有平坦的响应，以保证理想的波形。

1.5.13 延时: FR4 PCB, outer trace: 140~180 ps/inch inner trace: 180 ps/inch

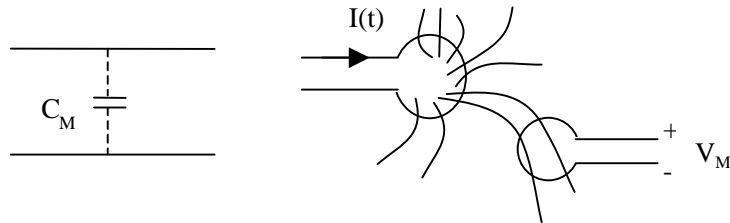
1.5.14 集总参数与分布参数系统

上升沿长度 $l = \frac{t_r}{D(\text{延时})}$

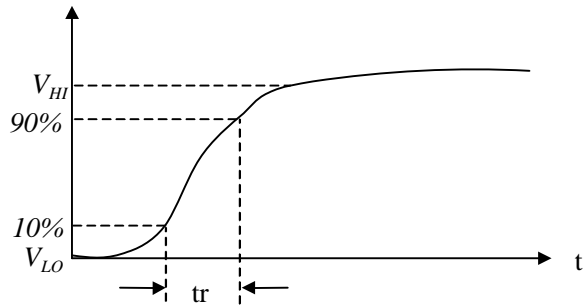
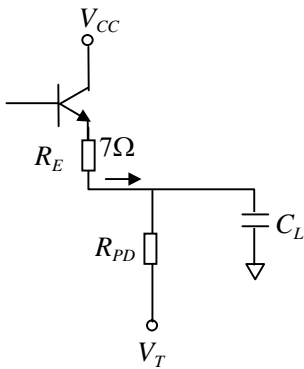
线长小于 1/6 上升沿长度时视为集总参数系统, 否则为分布参数系统。

1.5.15 互感、耦合电容的作用 (干扰)

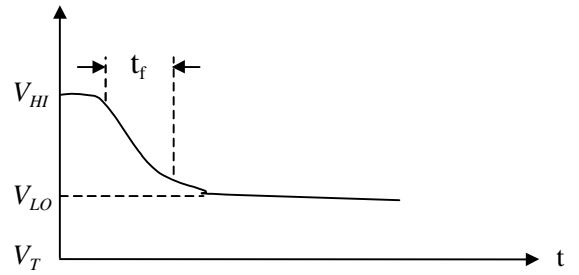
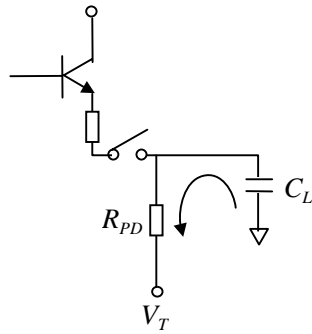
$$I_M = c_M \frac{dV}{dt}, V_M = L_M \frac{dI}{dt}$$



1.5.16 ECL 电路的上升时间、下降时间的计算



$t_r = 2.2R_E \cdot C_L$ (R_E : 等效射极串联电阻, 7Ω ; C_L : 负载电容)



$$t_f = R_{PD} C_L \ln\left(\frac{1-0.1K}{1-0.9K}\right), \quad K = \frac{V_{HI} - V_{LO}}{V_{HI} - V_T}$$

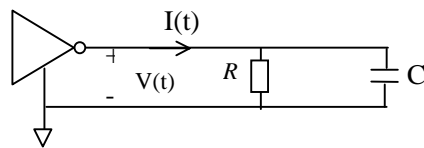
$$V_T = -5.2V \text{ 时, } t_f = 0.164R_{PD} \cdot C_L$$

$$V_T = -2V \text{ 时, } t_f = 0.987R_{PD} \cdot C_L$$

1.5.17 在数字系统中，耦合电容引起的串扰比起互感引起的串扰要小。

1.5.18 传输通道包括器件封装、PCB 布局、连接器，至少在 f_{knee} 的范围内要有平坦的频响，以保证信号不失真，否则信号在收端可能会遇到上升时间劣化、过冲、振铃、lump 等现象。

1.5.19 阻容负载对电流变化的作用



$$I(t) = \frac{V(t)}{R} + C \frac{dV(t)}{dt}, \quad \frac{dI(t)}{dt} = \frac{1}{R} \frac{dV(t)}{dt} + C \frac{d^2V(t)}{dt^2}$$

$$\text{电阻上 } \frac{dI(t)}{dt}_{\max} = \frac{\Delta V}{t_r} \cdot \frac{1}{R}$$

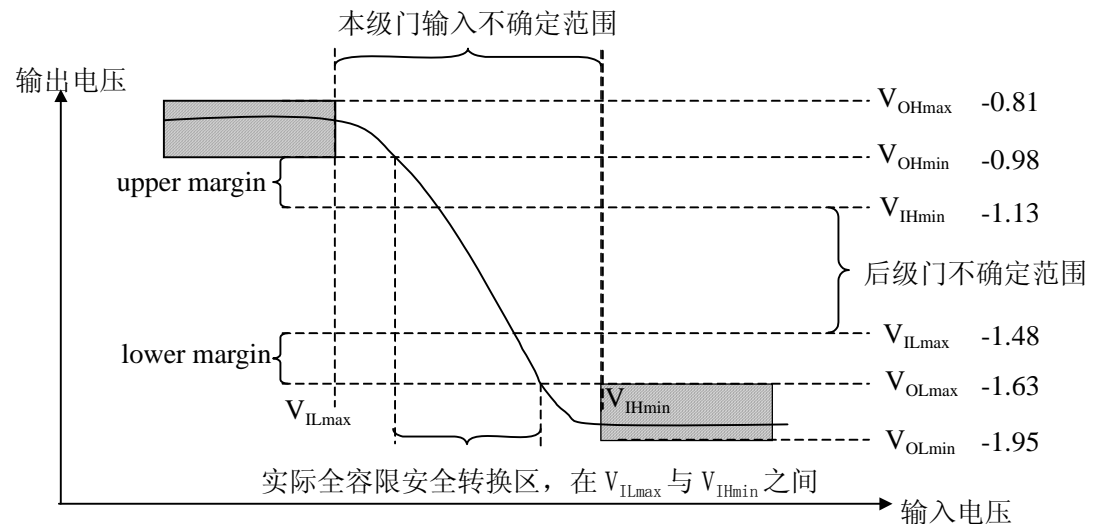
$$\text{电容上 } \frac{dI(t)}{dt}_{\max} = \frac{1.52\Delta V}{t_r^2} C$$

互感串扰中电流的影响，反比于上升时间 t_r 。

例：TTL 驱动 50pF 负载，设 $\Delta V=3.7V$, $t_r=2ns$, $\frac{dI}{dt} = 7.0 \times 10^7 A/s$

ECL 驱动 50Ω 负载，设 $\Delta V=1V$, $t_r=0.7ns$, $\frac{dI}{dt} = 2.8 \times 10^7 A/s$

1.5.20 噪声容限 (noise immunity)：以 10H189 器件为例



为什么需要容限？容限是为了补偿数字信号在实际系统中不够理想的传输和接收。若没有适当的容限，系统在下述信号畸变的场合将不能工作：

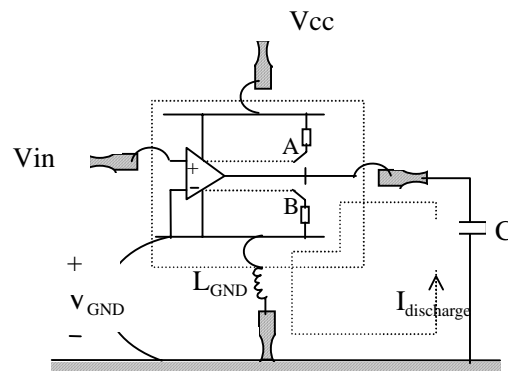
- 1、直流电流在不同器件的地间形成电位差，因此发送、接收器件的参考地有电位差；
- 2、高速回流电流在地通道的电感上产生压降，引起器件间电位差；
- 3、邻线上的信号通过电容耦合或互感引入串扰，叠加到接收信号上；
- 4、振铃、反射、长线使信号畸变；
- 5、某些器件的阈值电压是温度的函数。

对高速系统，2~4 项表现尤为突出

$$\text{噪声容限} = \frac{V_{OH\min} - V_{IH}}{V_{OH\max} - V_{OL\min}} \quad \text{或} \quad \frac{V_{IL} - V_{OL\max}}{V_{OH\max} - V_{OL\min}}$$

对 10KH 器件为 17.8%，对 74AS 器件为 9.1%，可见 ECL 比 TTL 器件有更好的噪声容限。

1.5.21 地反弹 (ground bounce)



$$V_{GND} = L_{GND} \frac{d}{dt} I_{discharge}$$

由于输出的开关引起的内部地参考电压的偏移称为地反弹。地反弹电压 V_{GND} 和输出电压相比较小，因此对发送信号影响不大，主要影响接收，相当于叠加在输入信号上的一个噪声信号。若有多个输出同时开关，则噪声电压将增加若干倍。

几种封装的引线电感：

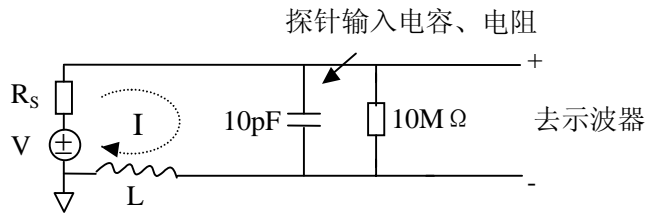
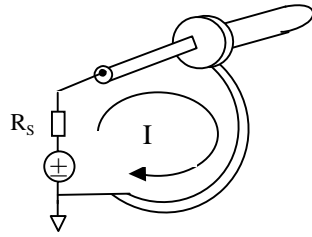
14pin DIP	68pin DIP	68pin PLCC	Wire bonded to hybrid substrate
8nH	35nH	7nH	0.1nH

减小地反弹的办法：①降低开关速度；②封装时增加地引线；③对功率级另外分配电源脚；④对输入电路分配一个地参考引脚；⑤差分输入。

1.5.22 寄生电容 Stray Capacitance 的影响：对于高输入阻抗电路影响尤为严重

相邻管脚间电容：PIP14——4pF，PLCC68——7pF。

1.5.23 示波器探针的电气模型

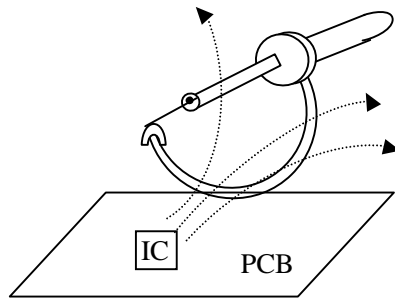


L 为地环路电感

$$t_r = 3.4\sqrt{LC}, \quad Q = \frac{\sqrt{L/C}}{R_s} \text{ (} R_s \text{ 太小时会引起频响曲线出现尖峰)}$$

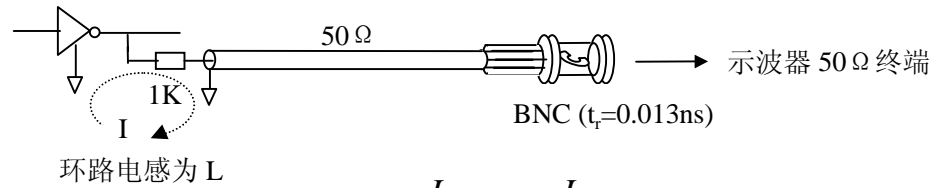
Q=1, 16%过冲; Q=2, 44%过冲; Q<0.5, 无过冲 (指阶跃响应)。

地环的影响: 上升时间加长, 拾取寄生信号 (互感)



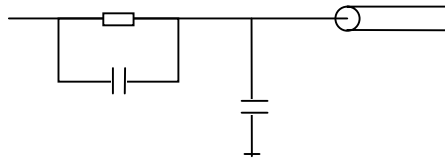
实际上升时间 $t_{ra} = \sqrt{t_r^2 + (2.2\tau)^2}$ (tr: 信号上升时间, τ : 测量电路时间常数)

1.5.24 21:1 探针:



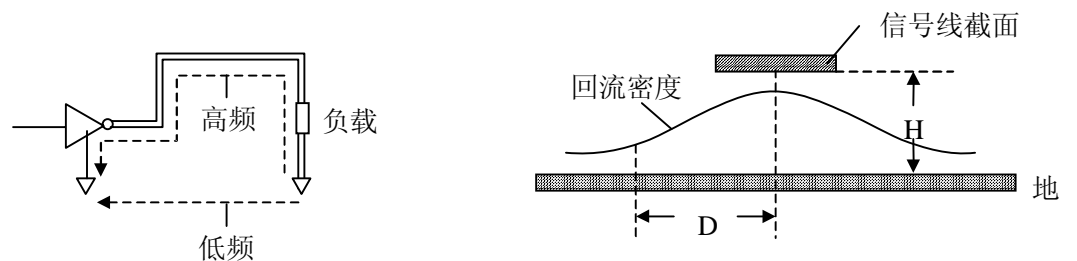
$$t_r = 2.2 \frac{L}{R} = 2.2 \frac{L}{1050}$$

由于增加了 1KΩ 输入电阻，上升时间减小，加大电阻时会为得更小。其受到的限制是电阻上的旁路电容，在高频时会引入不必要的功率至同轴线，解决办法是采用下面的网络，获得平坦的频响（商用示波器探头采用这一技术）：

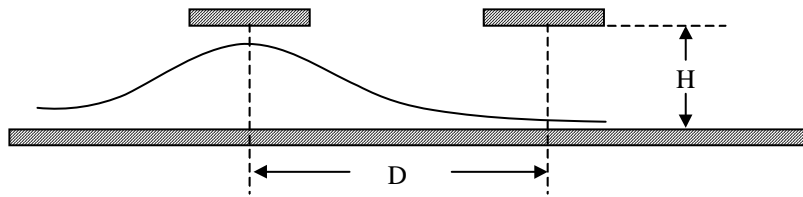


1.5.25 趋肤效应 (skin effect)：在高频时导线表面附近的电流密度加大，而中心部分的电流密度减小。趋肤效应使得导线对高频信号的衰减增大。趋肤效应的频率与导体的材料有关。

1.5.26 对低频信号，电流流经电阻最小的路径；对高频信号，回流路径的电感远比其他电阻重要，高频电流流经电感最小的路径，而非电阻最小的路径。最小电感回流路径正好在信号导线的下面，以减小流出和流入电流通路间的环路面积。

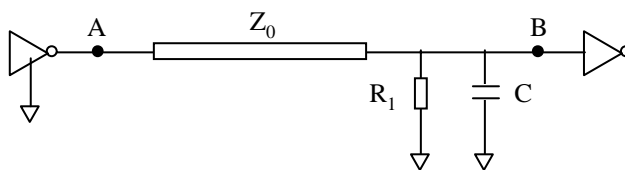


$$\text{回流电流密度 } i(D) = \frac{I_0}{\pi H} \cdot \frac{1}{1 + \left(\frac{D}{H}\right)^2}$$



串扰 $\approx \frac{K}{1+(D/H)^2}$ ，K 取决于信号上升时间和干扰段长度，这里讲到的干扰指互感引起的磁干扰，电容耦合引起的干扰可忽略。

1.5.27 负载电容对上升时间的影响

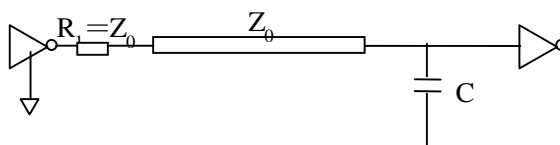


阻抗匹配时 $R_1=Z_0$ ，RC 时间常数为 $\frac{Z_0}{2}C$ （C 为输入寄生电容），RC 滤波器的

的上升时间为 $t_1 = 2.2 \frac{Z_0}{2} C = 1.1Z_0C$ ，B 点的信号上升时间为：

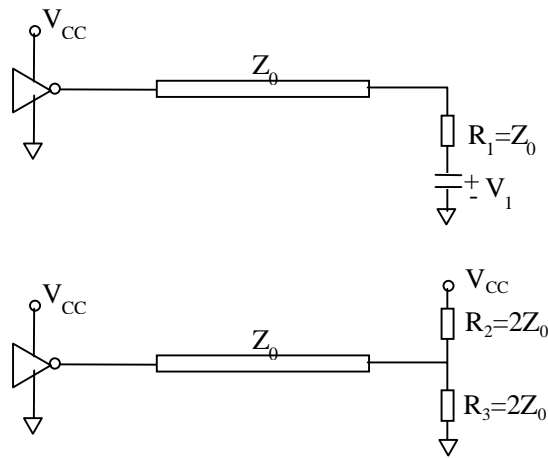
$$t_B = \sqrt{t_r^2 + t_1^2}$$

但若减小传输线的长度时，在 B 点所观察到的线阻抗将降低，这样会使得 B 点的信号上升速度加快。



对源端匹配的情形，RC 时间常数为 Z_0C ，上升时间 $t_1=2.2Z_0C$ ，因此上升速度比终端匹配要慢。源端匹配由于可做到 0 反射系数，因此可获得一个平坦的频响。

1.5.28 直流匹配和交流匹配的功耗比较



如果驱动信号高、低电平的时间大致相等（DC-balanced），那么电容 C 上的平均电压处于高、低电平中间，负载功耗：

$$P_{R1} = \frac{(\Delta V / 2)^2}{Z_0} = \frac{(\Delta V)^2}{4Z_0}$$

而对于直流匹配：

$$P_{R2+R3} = \frac{(\Delta V)^2}{2Z_0}$$

额外消耗的功率直接从 V_{cc} 经过 R_2 、 R_3 流到地。

1.5.29 电源系统设计原则

- 1、芯片间使用低阻抗地连接（通常是地平面）；
- 2、不同芯片的电源脚间的阻抗也应尽量小；
- 3、电源和地之间应当有低阻抗通路（旁路电容或平面间的电容）。

$$C_{plane} = \frac{0.225 \epsilon_r A}{d} \quad (A: \text{inch}^2, d: \text{inch}, C: \text{pF})$$

1.5.30 TTL 和 ECL 的混合系统要注意

- 1、使 TTL 信号和 ECL 信号线相距一定距离（至少 8 倍于线离地平面的高度），

减小直接串扰：

2、若使用+5V 于 TTL，-5.2V 于 ECL，一定要加一个地平面，这样 TTL 噪声泄漏到 ECL 系统的机会就很小；

3、若使用+5V 于 TTL 和 ECL，这不是 ECL 电路的最优工作电压，但可以工作。最好将+5V 平面（非地平面）一分为二，使 PCB 分割为 TTL 和 ECL 的不同区域。进入板内的电源应在 TTL 侧。注意不要有长线穿越两个+5V 区域的边界。在两个+5V 平面用电容量足够大的 $1\mu\text{H}$ 电感串接，这可以减小 TTL 噪声进入 ECL 系统。

4、两部分间用差分信号传输，可获得最大可靠性。

1.5.31 电源线上的电磁辐射防护

1、用旁路电容限制电路板上交流电流的泄漏；

2、在电源线上串接共模扼流圈（common mode choke）以抑制流经线中的共模电流；

3、布线靠近，减小磁辐射面积；

4、将电源线用金属屏蔽体盖住，其每端都接至底座地（chassis ground）。

1.5.32 旁路电容的选取和安装：

每个电容都包含一个寄生串联电感，称为 lead inductance, package inductance 或者 mounting inductance。每个电容还包含一个寄生串联电阻，称为等效串联电阻 ESR（equivalent series resistance）。

0805 封装的电感比 1206 线电感小，1206 大概在 1nH 左右。

安装表贴电容时，使用大的过孔或多个过孔，且过孔到电容间的连线应尽量短、粗。

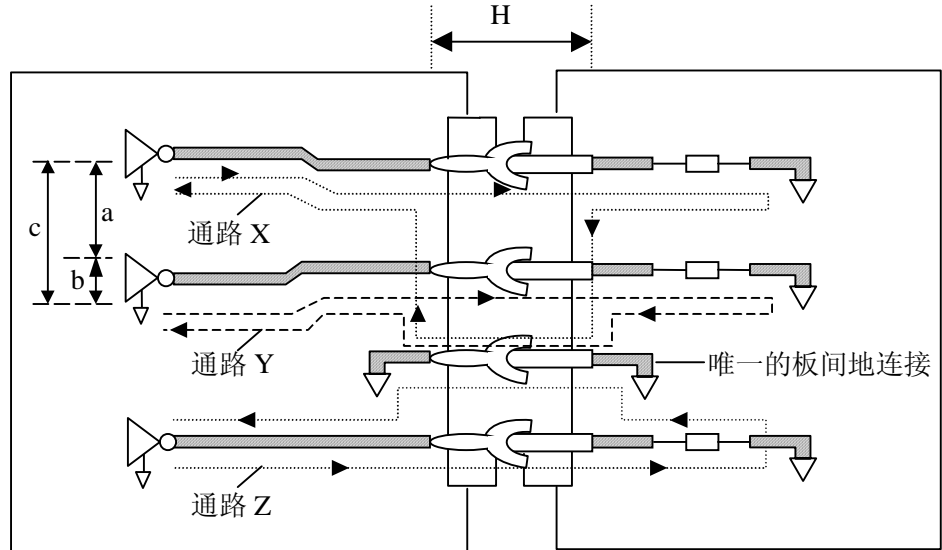
1.5.33 连接器对高速系统的影响

互感——引起串扰

串联电感——减缓信号的传播，产生电磁干扰（EMI）

寄生电容——减缓信号传播。

互感的影响：



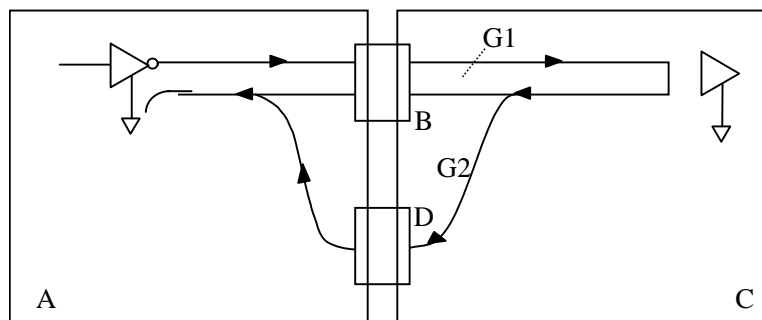
由于电流通路 X、Y、Z 混叠 (overlap)，X 通路的磁场会在 Y、Z 通路感应出噪声电压。连接器 Pin 间的寄生电容也会引入噪声，但比起互感引入的噪声要小。在输出端用 RC 电路可减小上升时间，抑制噪声。而在接收侧放电容，驱动器开关时会增加流过连接器的浪涌电流 (Surge Current)，情况反而变糟。

$$L_{X,Y} = 5.08H \ln \frac{c}{a} + 5.08H \ln \frac{b}{D/2}$$

(a: 信号 X 与 Y 间距 b: 信号 Y 与地线间距 c: 信号 X 与地线间距

D: 连接器 PIN 直径 H: 连接器 PIN 长度 $L_{X,Y}$: X、Y 间环路互感, nH)

方程中第二项 (地线项) 较大。不难看出，减小 X、Y 与地线间距有助于减小互感。对于多个地回路的情形：



这里有两个信号环路 G1、G2，流经连接器 D 的高速回流信号取决于两个环的电感之比：

$$\text{流经 } D \text{ 的电流} = \text{回流} \times \frac{L_{G1}}{L_{G2}}$$

而在低频的情况下，回流取决于环路间的电阻之比。一般而言，环路 G1 比 G2 小得多，所以流经 D 的电流占很小的比例。但即使对小面积的环路，也会面临辐射的问题。在 30MHz 以上，FCC 和 VDE 对辐射的限制为 $100 \mu \text{ V/m}$ （在离设备 3m 处测得）：

$$E = 1.4 \times 10^{-18} \cdot \frac{A \cdot I_p \cdot F_{\text{CLOCK}}}{t_r} < 10^{-4} \text{ V/m}$$

（E：辐射电场 V/m，A：环路面积 inch^2 ， I_p ：峰值电流 A， t_r ：上升时间 S， F_{CLOCK} ：时钟频率 Hz）

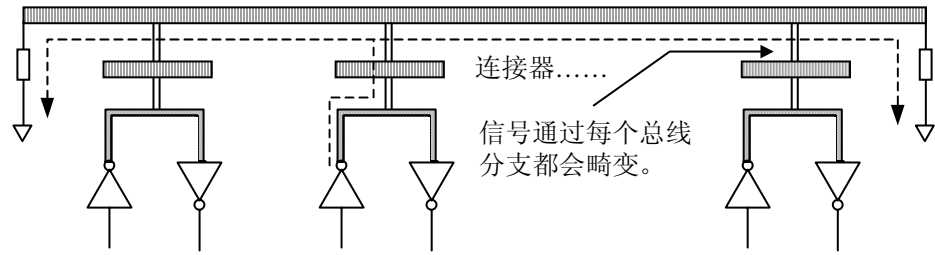
减小连接辐射的一些有效规则：

- 在连接器 B 上多安排地，减小信号与地的间距，以减小连接器 B 上的有效辐射环路面积；
- 在连接器 B 上增加地同时也将减小连接器 B 的电感，这将减小流经其它环路的电流；
- 连接器尽量靠近；
- 在板 A、C 的边沿连续用地连接，以提供低阻抗回流通路；
- 使用可能低速的驱动器件。

1.5.34 总线：

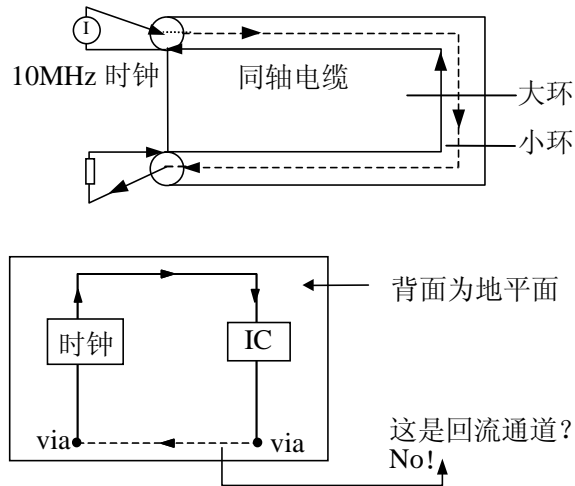
在点对点的应用中，连接器的串联电感影响其性能。

而在多点应用中（multidrop bus），多个连接点的寄生电容的积累效应而非源端连接器的串联电感影响传送信号。在这种情况下希望连接器寄生电容越小越好，哪怕换来的代价是电感加大。

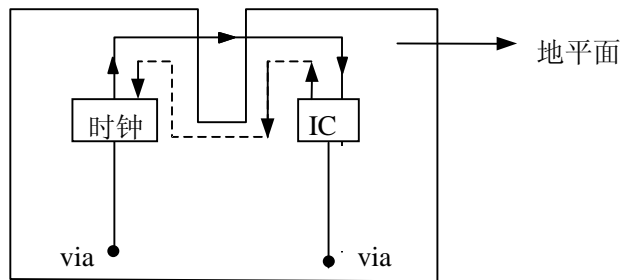


电容由几部分构成：①连接器 pin-to-pin 电容；②走线电容 $C_{per\ inch} = Td/Z_0$ ，（Td: 延迟 ps/inch）；③驱动器、接收器电容。驱动器处于三态时的电容很大，但因为驱动级的大晶体管在关断时有很大的寄生电容，许多供应商往往不提这项指标。

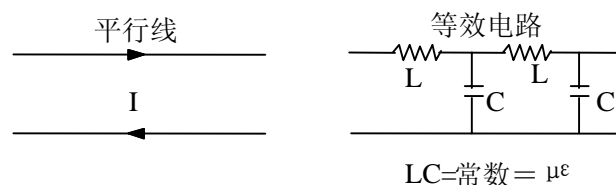
如果没有速度的要求，可考虑源端接方式（source-terminating）。每个三态门用一个电阻连至总线，接收器可直连至总线，背板上不需要终端电阻。若信号上升时间比传播时间长，总线可视为集总电路元件（lumped-circuit element），这时没有有害的反射，源电阻缓慢对总线的集总电容充电，这里讲的源端电阻与源端匹配不同，源端匹配的源电阻等于线阻抗，但只适于点对点的连接。而对多点的情形，没有防止反射的合适电阻，信号总会在总线两端来回反射，一般取源电阻大于线阻抗。



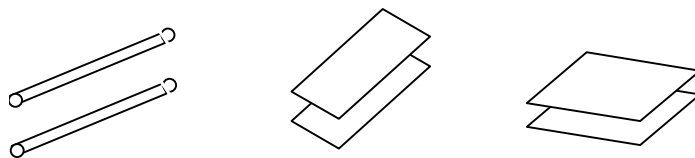
2.1.2 走线可穿过回流平面的缝隙吗? No!



2.1.3 走线的电感和电容



为什么导线对电感最大?



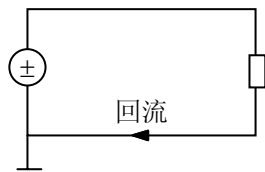
对电路板走线, 自感 \propto (线长 l) $\log \frac{\text{间距} s}{\text{线宽} w}$ 。



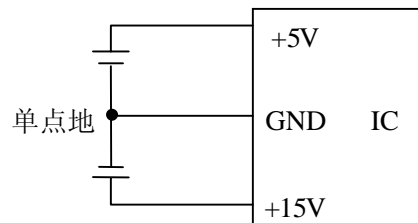
2.1.4 接地的作用：

①为人员和设备的安全；②提供一个信号电压参考。

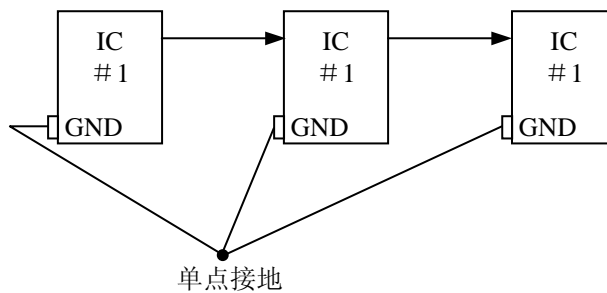
！每个电流需要一个回流通道而不是一个地。信号地≠信号回流。

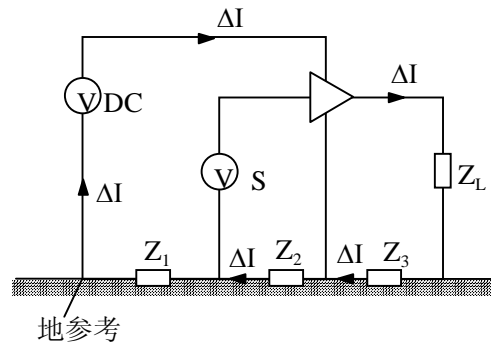


这是单点接地吗？

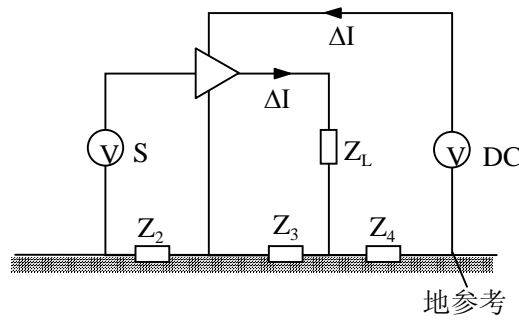


这里的单点接地有没有问题？



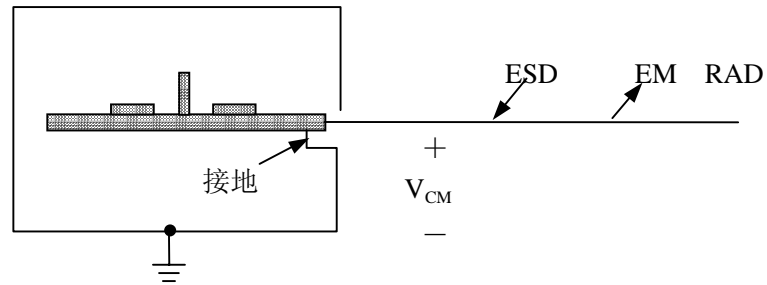


错误的接地点



正确接地点

2.1.5 信号参考点应在何处接至基底(chassis)

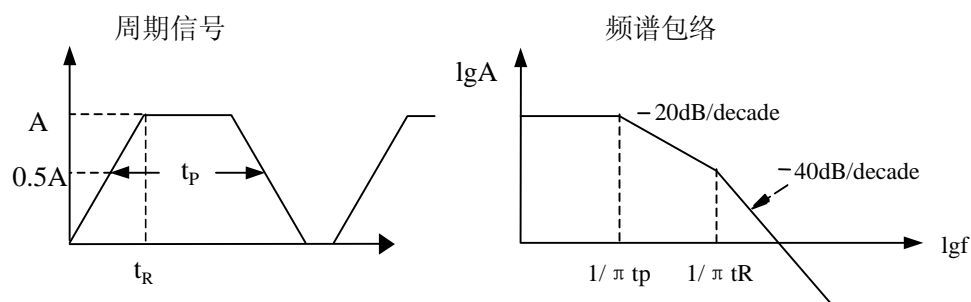


接地的作用：①降低输出线上的共模电压 V_{CM} ；

②减小对 ESD 的敏感 (susceptibility)；

③减小电磁辐射。

2.1.6 周期信号



最大脉冲频率 $f_{\max} = \frac{1}{\pi t_R}$ 或 $20 \times$ 基频

$t_R = 1\text{ns}$, $f_{\max} = 318\text{MHz}$ 。

尺寸 $< \lambda / 20$	尺寸 $> \lambda / 20$
集总电路	分布电路
不需匹配	可能要匹配
不要控制 Z_0	需控制 Z_0
EM 辐射小	可能有 EM 辐射

2.1.7 EMC 三要素

2.1.7.1 干扰源 → 能量耦合机理 → 敏感系统

2.1.7.2 耦合机理:

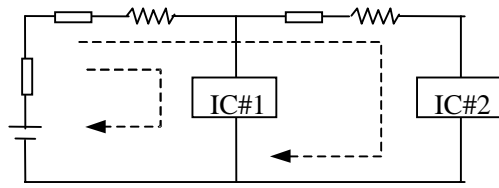
传导 (连线——电源线, 共用线)

电场 (电容耦合) → 近场

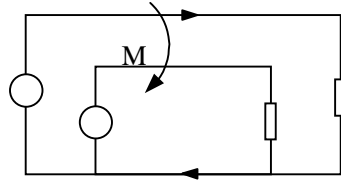
磁场 (互感耦合) → 近场

电磁场 (辐射) → 远场

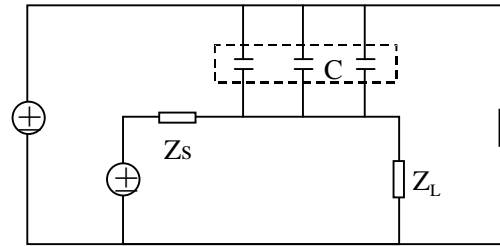
- 传导耦合:



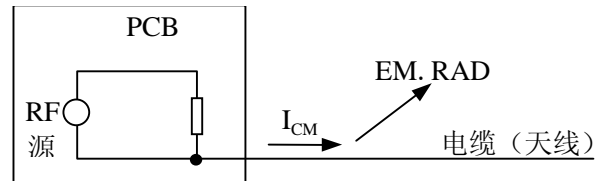
- 磁耦合: 开关电流与环路间互感引起



- 电容耦合: 由开关电压、耦合电容、高阻电路引起

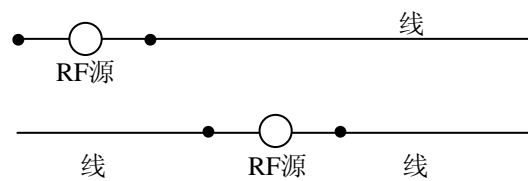


- EM 辐射: 由高频源和天线引起



2.1.7.3 减小电磁辐射的措施:

- 减小 RF 源强度 (高速信号差模滤波)
- 减小天线上的共模电流 (减小 DM 向 CM 的转化)
- 减小天线长度

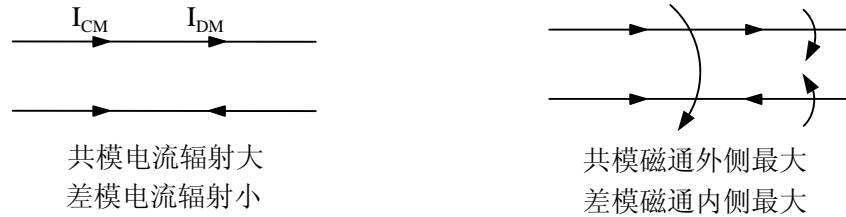


后者比前者辐射大。应使 RF 源位于天线末端。

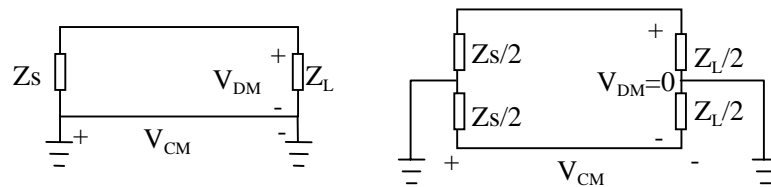
- 使所有金属结构在同一 RF 电压

$n \times \text{半波长} = \text{电路} + \text{电缆长度}$ 时，辐射最强！

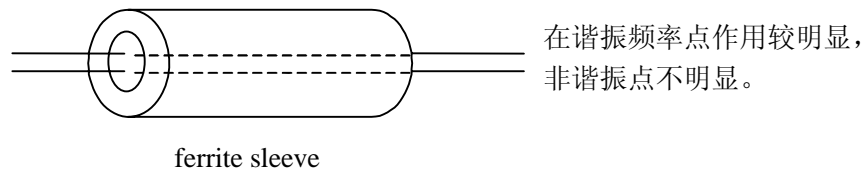
2.1.8 共模和差模



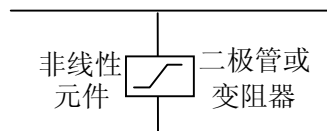
通过阻抗平衡可减小 CM 能量向 DM 能量的转化。



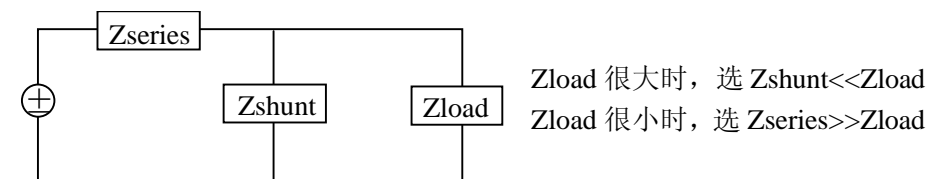
模式选择滤波器：差模穿通，共模阻塞



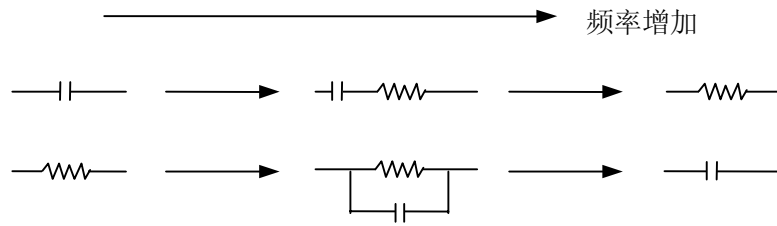
幅度选择滤波器：



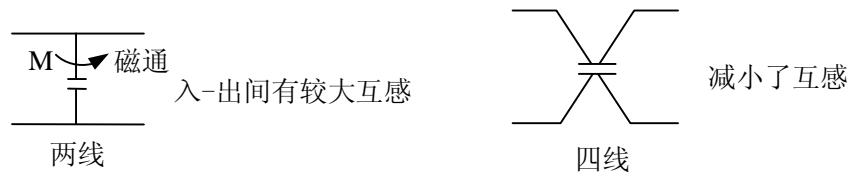
负载阻抗决定的串联或旁路滤波器：



电感、电容的变化:



旁路滤波元件的选取:

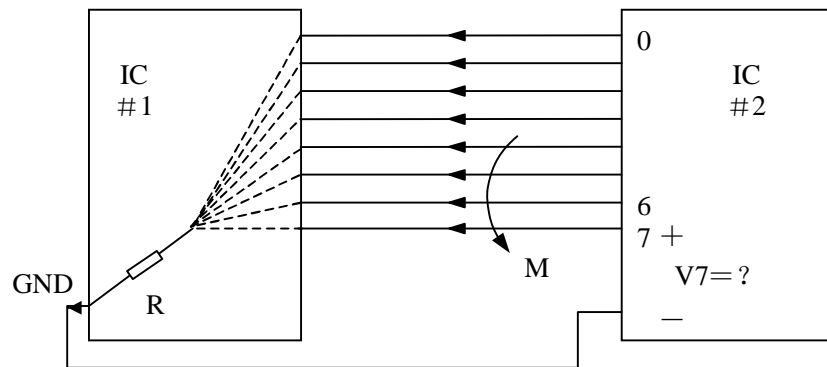


2.1.9 减小噪声的措施

- ①minimize bandwidth (filtering);
- ②use layout to provide self shielding;
- ③use balanced circuits (ex. diff. receivers)

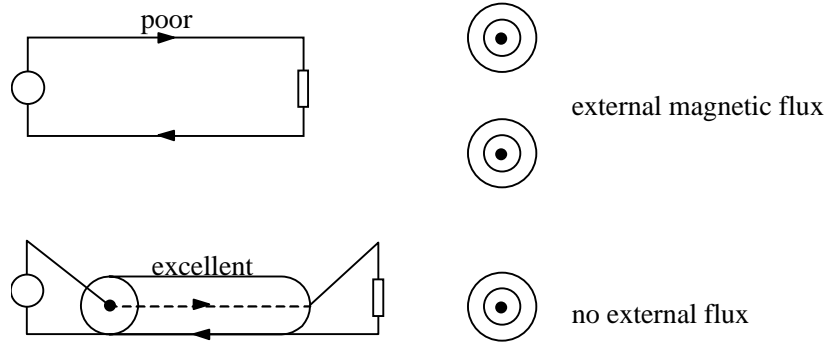
2.2 信号完整性——减小串扰和信号畸变

2.2.1

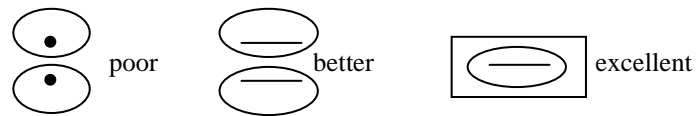


地反弹: 是一个 IR 还是 MdI/dt 的问题?

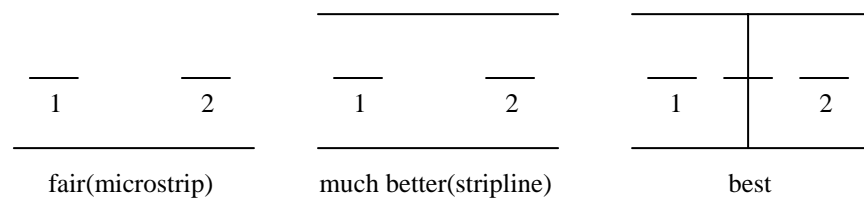
2.2.2 屏蔽



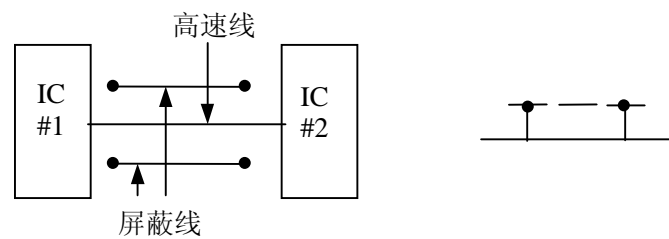
一般规则: Self shielding occurs when the return current is allowed to surround the outgoing current.



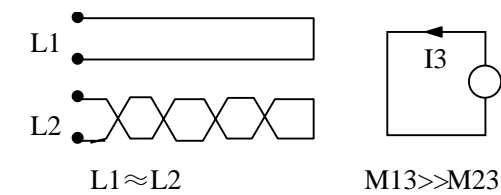
减小串扰的截面和导线布局:



将屏蔽导线用作信号回流线:



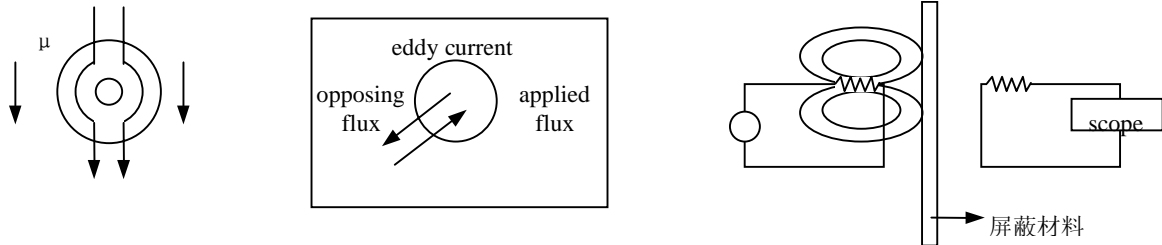
绞线对减小互感:



磁屏蔽:

shunting—change flux path with a high μ material

reflection—create opposing flux with eddy currents

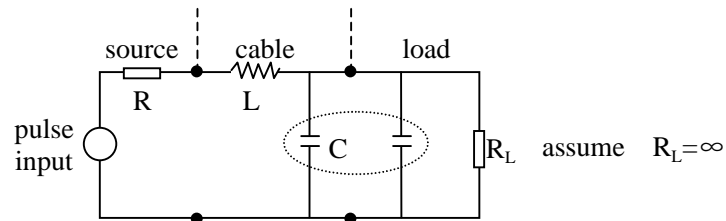


2.2.3 信号畸变

信号畸变的形状可能包含了问题的原因:

Ringling indicates excessive inductance.

Rounding indicates excessive capacitance.



ringing \rightarrow underdamped $\rightarrow L > R^2 C / 4$

rounding \rightarrow overdamped $\rightarrow C > 4L / R^2$

例: $R=10\ \Omega$, $C=20\text{PF}$, 则 $L > 0.5\text{nH}$ 引起振铃。

高速传输线概念:

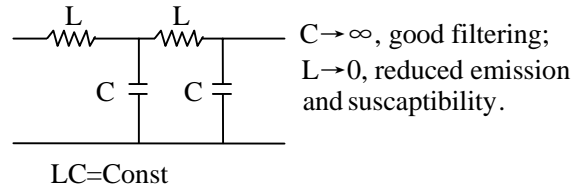
“electrically long” means length $> \lambda / 20$ or propagation delay $> tr/4$

例: 1ns 上升时间, 则线长大于 5cm 时需要匹配。

2.3 通过滤波减小直流电源噪声

EMC for a PCB is most affected by the Z_0 of the DC power bus.

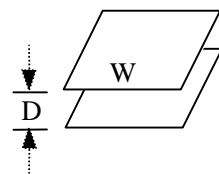
2.3.1



$$Z_0 = \sqrt{L/C} :$$

$Z_0 < 0.1 \Omega$, excellent; $Z_0 \approx 1 \Omega$, good; $Z_0 \approx 10 \Omega$, bad;

$Z_0 > 100 \Omega$, unacceptable.

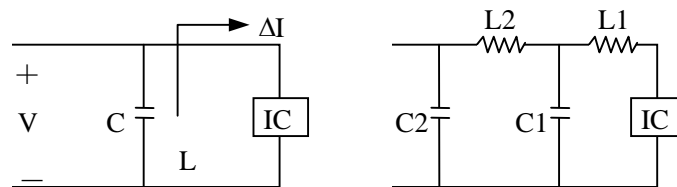


$$Z_0 = \sqrt{L/C}$$

$W \gg D, L \approx \mu D/W \text{ (H/m)}, C \approx \epsilon W/D \text{ (F/m)}$

$$Z_0 \approx 377D/W \sqrt{\mu r / \epsilon r} \text{ (}\Omega\text{)}$$

2.3.2 If DC power planes can't be used, then lumped decoupling capacitors must be sized and placed correctly.



$$C_{\min} \approx \Delta Q / \Delta V_{\max} = \Delta I \Delta t / \Delta V_{\max}$$

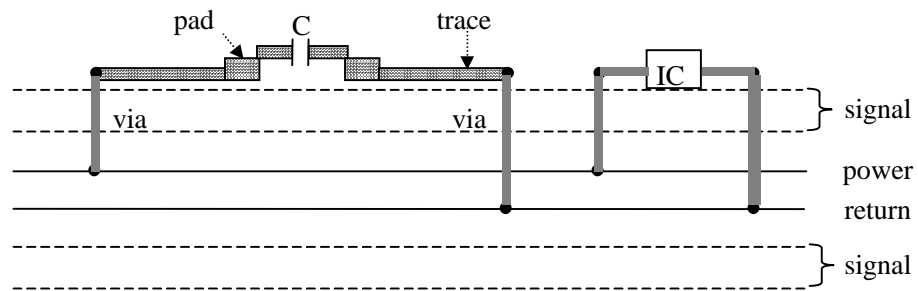
$$C_{\max}: f_{\text{ser. res.}} \approx f_{\max}, \frac{1}{2\pi\sqrt{LC}} \approx \frac{1}{\pi r}$$

一般规则:

maximize the distributed capacitance in the DC power bus.

minimize the series inductance of lumped decoupling capacitors.

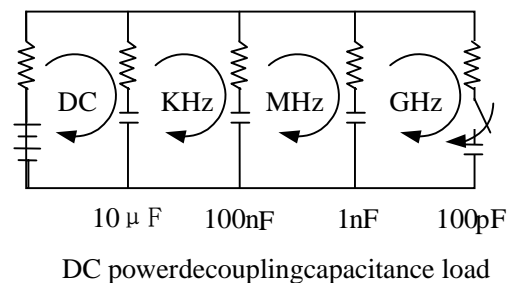
2.3.3 多层 PCB、表贴电容，串联电感在何处？



Preferred location for decoupling capacitor:

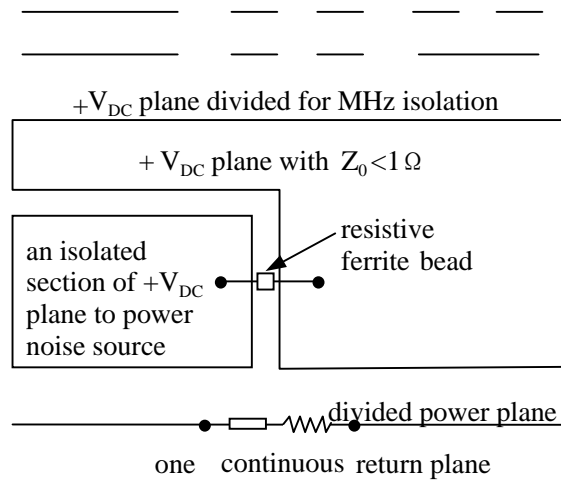
- ① on the silicon chip;
- ② inside the IC package;
- ③ directly above or below the IC package;
- ④ built into the DC power & return planes;
- ⑤ on the surface of the circuit board.

PCB DC power bus decoupling frequency and path of various currents:



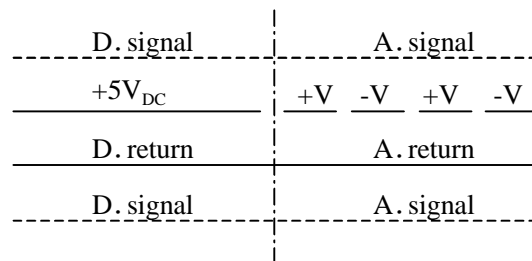
2.3.4 How to distribute DC power from a single supply to both analog and digital circuits?

1. use only low impedance bus? (one power and one return plane).
2. use two separate low impedance buses? (two power and two return planes)
3. use one shared return plane and two separate +V_{DC} distribution planes or traces?



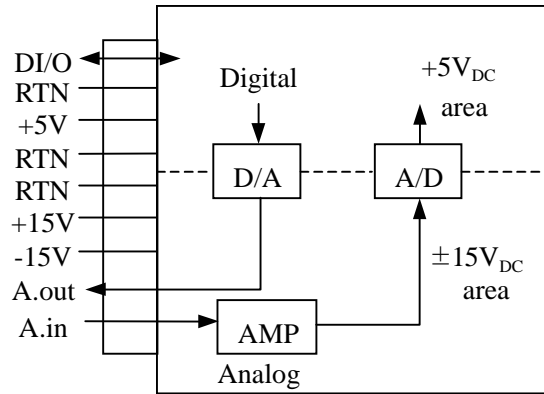
2.4 元件放置与信号层分配

模拟、数字混合 PCB 布局



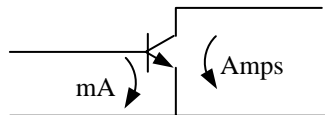
元件布放原则:

- ① Laterally segregate components by the DC Voltage they use. Do not allow different DC voltage planes (+5 & ± 15) to overlap.
- ② Components using multiple DC voltages (ex. A/D) must straddle the boundary between different voltage areas.
- ③ Keep all connectors on the same edge of the board.

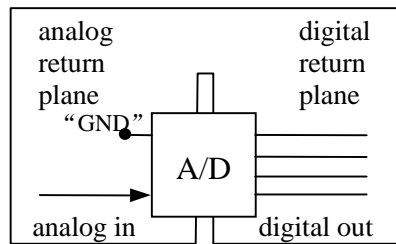


Can low level and high level circuits share a common current return plane?

Yes, but their currents and magnetic fields must not overlap.

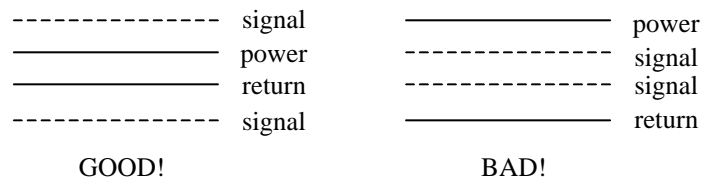


对 $f < 10\text{kHz}$, 将低电流和高电流的回流通道隔开。



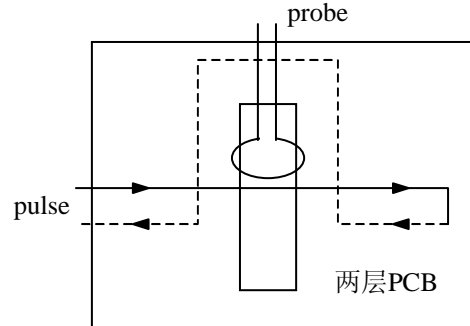
为什么数字输出会振铃?

多层 PCB 的分层安排:

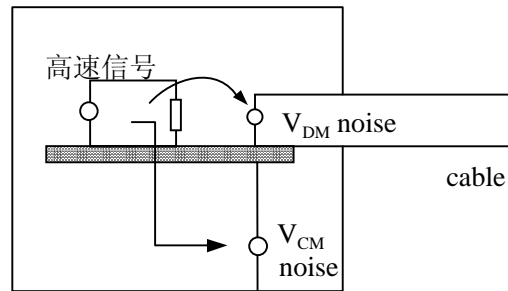


2.5 Reducing conducted & radiated emission & susceptibility

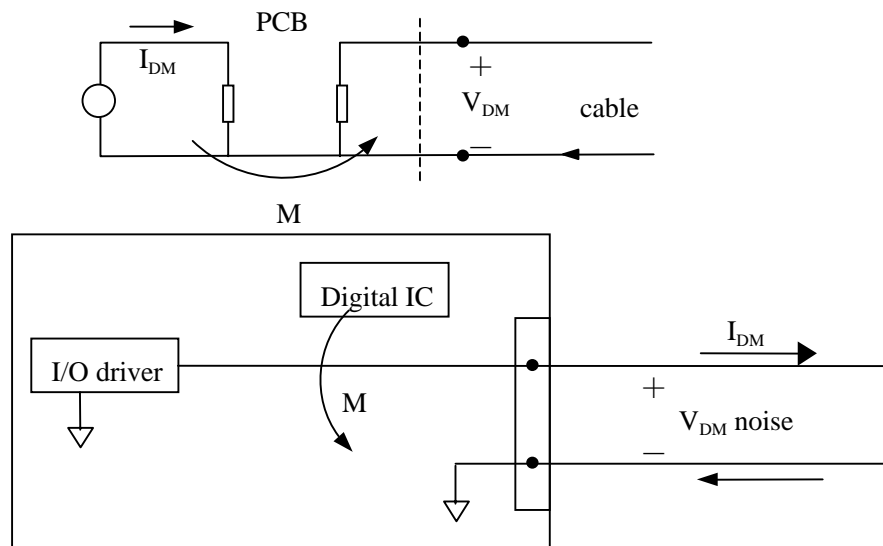
磁辐射的证明:



传导和辐射发射噪声的原因:



DM 电流驱动辐射举例: (高速信号和 I/O 信号间的磁耦合)



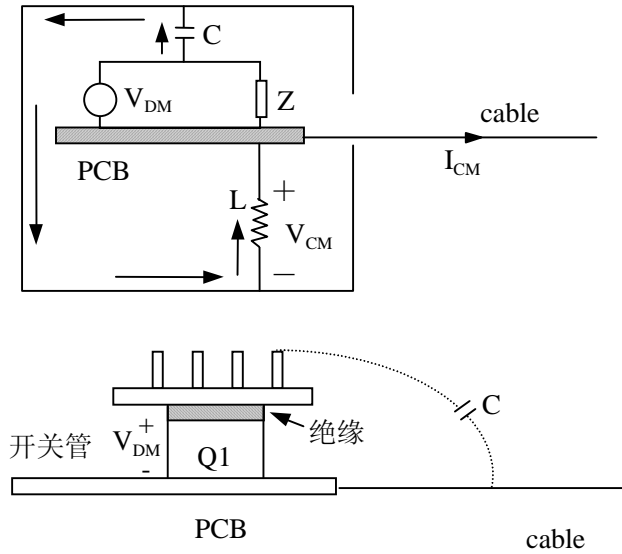
规则:

- All low frequency (kHz) I/O lines need HF(MHz) decoupling to the signal return (ground) at the connector to reduce V_{DM} .

- The signal return (ground) needs a HF(MHz) connection to the metal chassis at the connector to reduce V_{CM} .

注意: Electrically unconnected (floating) metal can increase capacitive coupling and EM radiation, typical examples: heat sinks, mechanical parts, unused wires, crystal cans, capacitor cans.

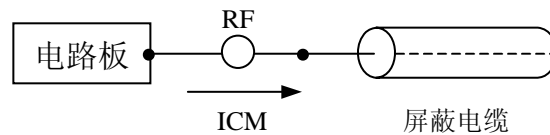
DM 电压驱动辐射:



减小 DM 电压推动辐射措施:

- 减小 DM 电压
- 减小 DM 带宽 (增加 t_r)
(加 RC 滤波)
- 减小电容耦合
(屏蔽)
- 减小电缆上的 I_{CM}
(在连接器处将 PCB 与金属盒短接)
(连接器上加旁路电容 C)
(连接器上串电感 L)

屏蔽电缆可能比非屏蔽电缆辐射更强, 与屏蔽体的接法有关。



Where should shield be connected? On side of RF source opposite cable.

2.6 电路板EMC准则总结

2.6.1 Component Placement

- Place components on the board before determining connector pin assignments.
- Let the circuit board layout dictate the connector pin location and function assignment.
- Divide the circuit board into different DC voltage areas (12 V_{DC} area, 5 V_{DC} area, etc.).
- Laterally segregate components based on the DC voltage that they use.
- Do not allow different DC voltage planes to overlap one another.
- Components using multiple DC voltages must straddle the boundary between the different voltage areas.
- Keep all connectors on the same edge of the board.
- Keep MHz circuits away from connectors. Do not allow MHz circuits to be located between connectors.
- Keep all I/O drivers very close to the connector. Avoid letting the I/O lines come too far onto the board.
- Provide space for shunt capacitors on all I/O lines.
- Locate components to minimize the length of high speed clock lines.

2.6.2 DC Power Distribution

- Do not allow different DC voltage planes to overlap one another. For example the +5V and +15V planes should not overlap. Bipolar DC voltage planes, such as +15V and -15V, should overlap.

- Maximize the distributed capacitance in the DC power bus. Ideally, use parallel power and return planes with a $Z_0 < 1 \Omega$.
- Minimize the series inductance of any lumped decoupling capacitors. For boards with power and return planes, this inductance is caused by the traces and vias that connect the capacitor to the planes.
- Provide at least one decoupling capacitor (1-100nF) for each integrated circuit DC power pin. Provide bulk decoupling (μF) where the DC power comes onto the board and at the output of each voltage regulator and DC-DC convertor.
- For boards with power and return planes, the integrated circuits share all the decoupling capacitors on the board.

2.6.3 Routing of Signal Output and Return Paths

- Current takes the path of least impedance. Above 10kHz this usually means the smallest loop area path.
- All critical signals (DC power, high frequency, large amplitude or small amplitude) need a closely located return path. Prefer signal and return traces $< 0.1''$ apart.
- Treat all critical signals as current loops. Check each critical loop area before the board is built.
- The return (ground) plane may require gaps to control the path of kHz currents. Do not use gaps to control the flow of MHz currents.
- No trace should be permitted to cross any gaps in the return plane.
- A small loop area is more important than short trace lengths.
- The spacing between any trace and the board edge should not be less than the spacing to the return plane.

2.6.4 Signal Integrity – Reducing Crosstalk and Distortion

- Self shielding occurs when the return current is allowed to surround the outgoing current, as in a coaxial cable.

- Traces on adjacent layers should be oriented perpendicular to one another.
- Ringing may indicate excessive wiring inductance.
- Rounding may indicate excessive capacitance.
- Unintended sharp transitions in signal level may indicate reflections due to impedance mismatches.
- Separate high current, low frequency (kHz) return paths (ground) from low current return paths. Connect the high and low current returns together at only one point.
- Connect “guard traces” to the return plane on both ends so that the traces can serve as additional signal return paths.
- Do not allow any electrically floating metal.
- Connect all metal fill areas to the return plane.
- Connect all unused integrated circuit gate inputs to either return (ground) or $+V_{DC}$.

2.6.5 High Frequency Transmission Lines

- A trace may need to be treated as a transmission line when trace length $> \lambda / 20$, or propagation delay $> (\text{pulse rise time})/4$.
- Use a $Z_0 > 40 \Omega$ to minimize the drive current and a $Z_0 < 120 \Omega$ to reduce emission and susceptibility.
- Unintended sharp transitions in signal level may indicate reflections due to impedance mismatches.
- The time delay for the arrival of a reflection may indicate the distance to the impedance mismatch.

2.6.6 Reducing Conducted and Radiated Emissions

- Keep all metal structures at the same RF voltage.
- Do not use gaps in the return plane, except to control the location of low frequency (kHz) currents.

- Do not allow any traces to cross any gaps in the return plane.
- Most low frequency (kHz) I/O lines need HF(MHz) decoupling to the signal return (Ground) at the connector to reduce V_{DM} applied to the cable.
- The circuit board signal return needs a HF (MHz) connection to any surrounding metal chassis at the connector to reduce V_{CM} applied to the cable.
- Use the longest rise time possible for all pulse signals.
- Use logic families that are no faster than necessary.
- Use the lowest clock frequency possible.
- Keep all clock lines as short as possible.
- Tightly control the loop area of all high speed signals.
- Do not split or gap the return plane under any connector.
- For filter capacitors to be effective near 100MHz, essentially zero lead length is required. An “X” style lead connection may be necessary for a shunt capacitor.