

# 基于 TMS320F28335 的死区研究\*

The Dead-Band Research Based on TMS320F28335

北方工业大学电力电子与电气传动工程中心 杨立永 田安民 王俊英

Yang Liyong Tian Anmin Wang Junying

**摘要:** 本文阐述了TI公司最新推出的数字信号处理器(DSP) TMS320F28335的EPWM(Enhanced Pulse Width Modulator)模块中的死区(Dead-Band)模块的基本原理,重点介绍了死区模块中相应寄存器的含义及其配置方法,并给出了实验结果波形。与TI公司的数字信号处理器TMS320F2812相比,TMS320F2812只能配置一个死区时间,而TMS320F28335可以实现对上升沿延迟和下降沿延迟不同的设置。因而,数字信号处理器TMS320F28335可以更为方便地配置死区时间,更好的满足功率器件对驱动信号的不同要求。

**关键词:** TMS320F28335 EPWM 死区模块

**Abstract:** This paper describes the basic principle of the Dead-Band modulator included in the latest Digital Signal Processing TMS320F28335 which is launched by TI and especially introduce the meaning of the corresponding registers of the Dead-Band modulator and how to configure the corresponding registers. The experimental waveform is presented. Compared with the Digital Signal Processing TMS320F2812 which can configure only one Dead-Band time, TMS320F28335 can configure the Dead-Band Rising Edge Delay and Dead-Band Falling Edge Delay. Thus, TMS320F28335 may configure the Dead-Band time more convenient and drive signal can meet the requirements of power device.

**Key words:** TMS320F28335 EPWM Dead-band modulator

[中图分类号] TP273

[文献标识码] B

文章编号 1561-0330(2009)12-0069-03

## 1 引言

随着电力电子技术的不断发展,功率器件如IGBT、MOSFET等广泛应用于PWM变流电路中。每个功率开关器件在开通和关断时,为了避免同一桥臂中的两个功率开关器件直通,在功率开关器件动作期间插入死区时间,通过控制死区时间,来实现时间延迟。

数字信号处理器(DSP)TMS320

F28335是TI公司最新推出的32位浮点数字信号处理器。TMS320F28335具有150MHz的高速处理能力,18路PWM输出,与TI前几代数字信号处理器相比,性能平均提高了50%,且可与定点C28x控制器软件相兼容。其浮点运算模块,可显著提高控制系统的控制精度和处理器运算速度<sup>[2]</sup>。除了拥有以上非常卓越的性能外,TMS320F28335的EPWM(Enhanced

Pulse Width Modulator)模块中的死区(Dead-Band)模块具有易于配置、可操作性强等突出优点,与TMS320F2812在死区模块中存在非常明显的差别,在应用控制系统中将起到非常重要的作用。

以下重点介绍(DSP)TMS320F28335的EPWM(Enhanced Pulse Width Modulator)模块中死区(Dead-Band)模块的基本功能和相应寄存器的含义及

\* 基金项目:北京市教委资助项目(KM200710009001)。

其配置方法，并通过实验阐述了TMS320F28335与TMS320F2812在死区模块中的不同。

## 2 死区模块的基本功能

在Dead-Band模块中的极性控制寄存器(DBCTL[POLSEL])可以对从该模块输出的EPWMxA/B进行极性的控制，在典型的上升沿和下降沿延时应用中，配置极性控制寄存器(DBCTL[POLSEL])在死区配置上有着非常重要的意义<sup>[1]</sup>。

Dead-Band模块主要有以下功能<sup>[1]</sup>:

(1)每一个EPWMxA/B输入信号经Dead-band模块后，都可以产生适当的带有死区的匹配信号EPWMxA和EPWMxB。

(2)同时，Dead-Band模块可以对设计匹配信号的属性。匹配信号有高有效、低有效、高有效补偿和低有效补偿四种属性。

(3)可以通过死区上升沿延迟计数器(Dead-Band Rising Edge Delay Count Register)和死区下降沿延迟计数器(Dead-Band Falling Edge Delay Count Register)设置死区上升沿延迟和下降沿延迟。

## 3 死区模块的配置方法

在死区模块中，主要包括死区控制寄存器DBCTL (Dead-Band Control

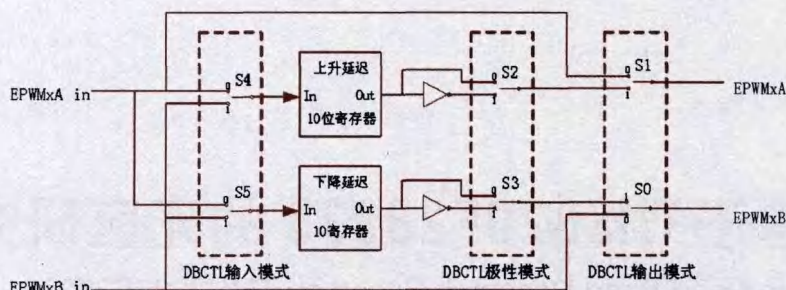


图1 死区模块的配置选项

Register)、死区上升沿延迟计数器寄存器DBRED (Dead-Band Rising Edge Delay Count Register)、死区下降沿延迟计数器寄存器DBFED(Dead-Band Falling Edge Delay Count Register)。通过对以前寄存器的配置，可以非常简便地实现对死区的配置。其中，死区模块的基本配置选项如图1所示<sup>[1]</sup>。模式见附表。

图1中输入信号EPWMxA in和EPWMxB in为TMS320F28335的EPWM(Enhanced Pulse Width Modulator)模块中比较控制方式模块(Action-Qualifier)配置后的输出信号。在DBCTL输入模式中，可以通过设置S4和S5来确定输入信号的状态。输入信号EPWMxA in和EPWMxB in有四种状态：

- (1)默认模式：输入信号EPWMxA in既有下降延迟又有上升延迟；
- (2)输入信号EPWMxA in为下降延迟，输入信号EPWMxB in为上升延迟；
- (3)输入信号EPWMxA in为上升延

迟，输入信号EPWMxB in为下降延迟；  
(4)输入信号EPWMxB in既有下降延迟又有上升延迟。

通过设置DBCTL极性模式中的S2

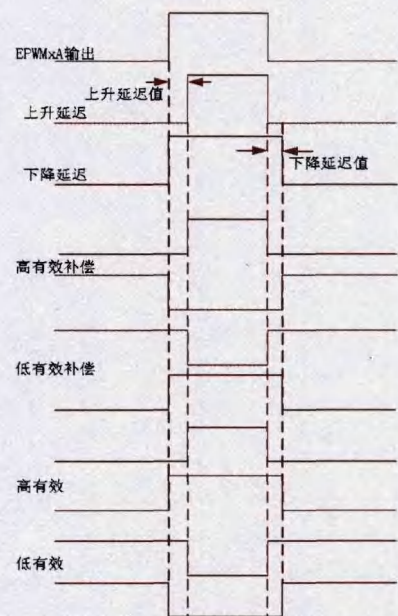


图2 典型死区模式的波形

附表 典型的死区配置模式

模式	功能描述	DBCTL极性模式(S3, S2)	DBCTL输出模式(S1, S0)
1	EPWMxA和EPWMxB无延迟	(X,X)	(0,0)
2	高有效补偿	(1,0)	(1,1)
3	低有效补偿	(0,1)	(1,1)
4	高有效	(0,0)	(1,1)
5	低有效	(1,1)	(1,1)
6	EPWMxA为EPWMxA in, 即EPWMxA in无延迟	(0,0)	(0,1)
	EPWMxB为EPWMxA in带有下降沿延迟的输出信号	(1,1)	(0,1)
7	EPWMxA为EPWMxA in带有上升沿延迟的输出信号	(0,0)	(1,0)
	EPWMxB为EPWMxB in, 即EPWMxB in无延迟	(1,1)	(1,0)

和S3来确定从Dead-band模块中发出的上升沿延迟信号、下降沿延迟信号极性是否取反。通过设置DBCTL输出模式中的S1和S0来确定上升沿延迟、下降沿延迟是否作用于输入信号。

通过对DBCTL输入模式、DBCTL极性模式、DBCTL输出模式的设置,可以产生多个组合方式,但是并不是所有的组合都是典型的应用模式。典型的死区模块配置如附表所示。在该附表中的这些典型配置的前提是DBCTL输入模式设置输入信号EPWMxA in状态为默认模式。因而,可以通过改变输入信号源的状态来得到可扩展或非传统的模式。

模式1为输入信号EPWMxA in和EPWMxB in直接作为输出信号,不使能死区模块,不经过上升沿延迟和下降沿延迟。模式2~5为典型死区极性设置模式,通过对信号极性的设置,可实现按照有效工业功率开关门极驱动要求的高有效或低有效。这些典型模式产生的波形如图2所示。模式6为不经过上升沿延迟;模式7为不经过下降沿延迟。

在死区模块中可以通过配置DBRED和DBFED寄存器,设置一个周期内信号上升沿延迟值(RED)和下降沿延迟的值(FED),该值与定时器时钟(time-base clock)成正比。由式(1)可以求出RED和FED。

$$\begin{cases} RED = DBRED \times T_{TCLK} \\ FED = DBFED \times T_{TCLK} \end{cases} \quad (1)$$

#### 4 实验结果分析

在实验中的死区模块的配置为EPwm1A配置为高有效,EPwm1B配置为低有效,EPwm1Regs.DBCTL.bit.IN MODE= DBB ALL; EPwm1Regs.DBCTL.bit.OUT MODE= DB FULL ENABLE; EPwm1Regs.DBRED=0x0500; EPwm1Regs.DBFED=0x0600;

EPwm1Regs.DBCTL.bit.POLSEL=DB ACTV HIC; 即S5=1, S4=1, S3=0, S2=1, S1=1, S0=1, 上升沿延迟约为6 $\mu$ s,下降沿延迟约为4 $\mu$ s。EPwm1A和EPwm1B的波形如图3所示:

图4为(DSP)TMS320F2812的PWM1和PWM2的波形。通过该图可知,上升沿和下降沿延迟时间一样,大约为3.2 $\mu$ s。

通过对比图3和图4,数字信号处理器(DSP)TMS320F28335与(DSP)TMS320F2812在死区模块中的最大差别在于:TMS320F2812只能设置一个死区,而TMS320F28335可以通过配置DBRED和DBFED寄存器,设置一个周期内信号上升沿延迟值(RED)和下降沿延迟的值(FED),即可以实现两个不同的死区时间。

#### 5 结束语

本文详细介绍了TI公司最新推出的浮点数字信号处理器(DSP)TMS320F28335芯片的EPWM模块中死区模块、死区模块基本功能和模块中相应寄存器的配置方法。通过实验验证,数字信号处理器TMS320F28335通过对DBRED和DBFED寄存器配置,可以实现两个不同的死区时间,因而数字信号处理器TMS320F28335可以更为方便地配置死区时间,更好的满足功率器件对驱动信号的不同要求。

#### 作者简介

杨立永(1974-)男 副教授,研究方向:太阳能、风能发电及其并网技术;异步电动机的参数辨识等。

田安民(1985-)男 硕士研究生,研究方向:交流调速系统PID调节器设计的研究。

王俊英(1969-)女 经济师,沈阳供电公司。

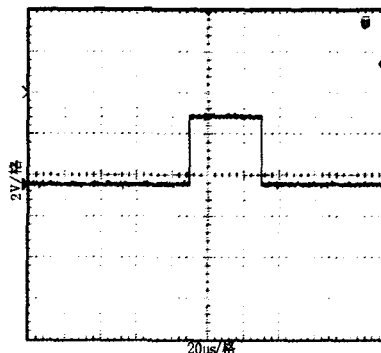


图3 EPwm1A和EPwm1B的波形

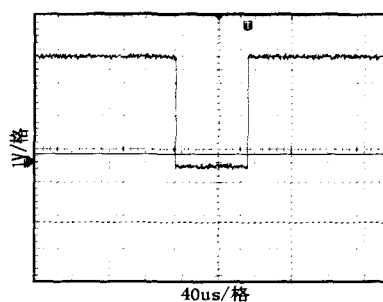


图4 PWM1和PWM2的波形

#### 参考文献

- [1] Texas Instruments. TMS320x28xx, 28xxx Enhanced Pulse Width Modulator (ePWM) Module. 2007
- [2] Texas Instruments. TMS320F28335/28334/28332/28235/28234/28232 Data Manual. 2007
- [3] 苏奎峰,吕强,耿庆峰等. TMS320F2812原理与开发[M]. 北京:电子工业出版社, 2007.
- [4] 王兆安,黄俊. 电力电子技术[M]. 北京:机械工业出版社, 2000.
- [5] 阮毅,陈维钧. 运动控制系统[M]. 北京:清华大学出版社, 2006.
- [6] 窦汝振,刘钧. 一种基于SVPWM控制的死区补偿方法[J]. 电气传动自动化, 2005, 27(1): 20-22.
- [7] 张少锋,高艳霞,徐妍萍. 一种基于空间矢量PWM的死区效应补偿策略研究[J]. 变频器世界, 2009(03): 0044-04.