

# 1 结构概述

德州仪器作为行业领导者，为微控制器市场带来了32位性能的基于ARM® Cortex-M3™的微控制器。对于当前8位和16位MCU的用户而言，移植到Stellaris®的设计者将受益于其强大的工具和突出的性能。更重要的是，设计者完全有信心进入具有从1美金到1GHz的兼容产品的ARM生态系统。Stellaris®家族为当前32位MCU用户提供了业内首款Cortex-M3和Thumb-2指令集，Thumb-2技术可以使16位和32位指令并存，带来了代码密度和性能的最佳平衡。Thumb-2比纯32位代码占用少26%，同时带来了25%的性能提升，可有效降低系统成本。德州仪器的Stellaris®处理器家族，作为首款基于ARM® Cortex™-M3的微控制器，为成本敏感的嵌入式微控制器应用带来了高性能的32位计算能力。这些具备领先技术的芯片使用户能够以传统的8位和16位器件的价位来享受32位的性能，而且所有型号都是以小占位面积的封装形式提供。

The LM3S9B96 具有如下特性：

- ARM® Cortex™-M3 处理器核心
  - 80-MHz运行速度，性能100 DMIPS
  - ARM Cortex系统滴答定时器(SysTick)
  - 集成嵌套向量中断控制器(NVIC)
- 片上存储器
  - 256 KB单周期Flash存储器，速度可达50 MHz；50 MHz以上采用预取指技术改善性能
  - 96 KB单周期SRAM
  - 装有StellarisWare®软件包的内部ROM：
    - Stellaris® 外设驱动库
    - Stellaris® 引导装载程序
    - SafeRTOS™ 核心
    - 高级加密标准 (AES) 密码表
    - 循环冗余检验 (CRC) 错误检测功能
- 片外设备接口 (EPI)
  - 8/16/32位外部设备专用并行总线
  - 支持SDRAM, SRAM/Flash memory, FPGAs, CPLDs
- 高级串行通讯集成
  - 硬件支持IEEE 1588 PTP的集成MAC和PHY的10/100以太网
  - 两路CAN 2.0 A/B控制器

- USB 2.0 OTG/Host/Device
- 三路支持IrDA和ISO 7816的UART (其中一路带有完全调制解调器控制的UART)
- 两路I2C模块
- 两路同步串行接口模块 (SSI)
- 内部集成电路音频(I2S)接口模块
- 系统集成
  - 直接存储器访问控制器 (DMA)
  - 系统控制和时钟, 包括片上的16-MHz精密振荡器
  - 4个32位定时器 (可用作8个16位), 具有实时时钟能力
  - 8个捕获/比较/PWM管脚 (CCP)
  - 2个看门狗定时器
    - 1个定时器使用主时钟振荡器
    - 1个定时器使用内部时钟振荡器
  - 多达65个GPIO口, 具体数目取决于配置
    - 高度灵活的管脚复用, 可配置为GPIO或任一外设功能
    - 可独立配置的2,4或8mA端口驱动能力
    - 高达4个GPIO具有18mA驱动能力
- 高级电机控制
  - 8路高级PWM输出, 可用于电机和能源应用
  - 4个fault输入, 可用于低延时的紧急停机
  - 2个正交编码输入 (QEI)
- 模拟
  - 2个10位模数转换器(ADC), 具有16个模拟输入通道, 采样率1000k次/秒
  - 3个模拟比较器
  - 16个数字比较器
  - 片上电压稳压器
- JTAG和ARM串行线调试(SWD)
- 100脚LQFP和108脚BGA 封装
- 工业 (-40°C到85°C) 温度范围

LM3S9B96微控制器针对工业应用设计，包括远程监控、电子贩售机、测试和测量设备、网络设备和交换机、工厂自动化、HVAC和建筑控制、游戏设备、运动控制、医疗器械、以及火警安防。

另外，LM3S9B96微控制器的优势还在于能够方便的运用多种ARM的开发工具和片上系统（SoC）的底层IP应用方案，以及广大的用户群体。另外，该微控制器使用了兼容ARM的Thumb®指令集的Thumb2指令集来减少存储容量的需求，并以此达到降低成本的目的。最后，LM3S9B96微控制器与Stellaris®系列的所有成员是代码兼容的，这为用户提供了灵活性，能够适应各种精确的需求。

为了能够帮助用户产品快速的上市，德州仪器公司提供了一整套的解决方案，包括评估和开发用的板卡、白皮书和应用笔记、方便使用的外设驱动程序库、以及强劲的支持、销售和分销网络。Stellaris®系列芯片的订购信息见1382页的“订购和联系信息”。

## 1.1 功能概述

下面的章节介绍LM3S9B96微控制器特性的概述。指示详细特性讨论见括号中的页码指示的章节，支持和订购信息见1382页的“订购和联系信息”。T

### 1.1.1 ARM Cortex™-M3

下面的章节给出ARM Cortex™-M3 处理器内核和指令集，以及集成系统时钟（SysTick）和嵌套向量中断控制器的概述。

#### 1.1.1.1 处理器内核 (见75页)

Stellaris® 产品系列的成员，包括LM3S9B96，基于ARM Cortex™-M3内核设计。ARM Cortex-M3处理器为高性能、低成本的平台提供一个满足小存储要求解决方案、简化管脚数、以及低功耗三方面要求的内核，与此同时，它还提供出色的计算性能和优越的系统中断响应能力。

- 为小封装嵌入式应用优化的32位ARM® Cortex™-M3 架构
- 优越的处理性能和更快的中断处理
- 混合16位/32位的Thumb-2指令集提供与32位ARM内核所期望的高性能而采用了更紧凑的内存大小，而这通常在8位和16位设备相关的存储容量中，特别是在微控制器级应用的几千字节存储中。
  - 单周期乘法指令和硬件除法器
  - 原子位操作（位带）使内存的利用最大化和外设控制更有效率
  - 非对齐的数据访问，数据能更有效的放入内存
- 快速代码执行允许更低的处理器时钟和增加睡眠模式时间
- 高速的应用通过Harvard结构执行，以独立的指令和数据总线为特征。
- 高效的处理器内核，系统和存储器
- 硬件触发器和快速乘法运算

- 对时间苛刻的应用提供可确定的, 高性能的中断处理
- 存储器保护单元为操作系统机能提供特权操作模式
- 增强的系统调试提供全方位的断点和跟踪能力
- 串行线调试和串行线跟踪减少调试和跟踪过程中需求的引脚数
- 从 ARM7™ 处理器系列中移植过来, 以获得更好的性能和电源效率。
- 优化的单周期Flash使用
- 集成多种睡眠模式, 更低功耗
- 80-MHz 运行
- 1.25 DMIPS/MHz

#### 1.1.1.2 存储器映射 (见94页)

存储器映射列出了指令和数据在存储器中的位置。LM3S9B96 控制器的存储器映射见94页的“存储器模型”。寄存器地址以16位递增方式给出, 与存储器映射中的模块的基址相关。

#### 1.1.1.3 系统定时器 (SysTick) (见118页)

Cortex-M3包括集成的系统定时器, SysTick, 提供一个简单的, 24位的, 写清零的, 递减的, 到零重装的计数器, 并具有灵活的控制机制。该计数器可被用在不同的方面, 比如:

- RTOS节拍定时器, 运行在可编程的速率(如, 100HZ)并请求SysTick服务。
- 一个高速的系统时钟的报警定时器。
- 一个速率可变的报警或信号定时器--持续时间可以是使用的参考时间的独立范围, 也可以是计数器的动态范围。
- 一个简单的计数器用来测量到完成的时间和已用的时间。
- 基于流逝/到达内部的时钟源控制。在STCTRL 控制和状态寄存器中的COUNT位可被用来判断一个动作是否在设置的时间内完成, 作为一个动态的时钟管理的一部分。

#### 1.1.1.4 嵌套向量中断控制器(NVIC) (见119页)

ARM Cortex-M3 处理器和嵌套向量中断控制器 (NVIC) 在处理模式对所有的异常进行优先级划分和处理。异常发生时处理器状态被自动存储到堆栈, 中断服务程序 (ISR) 结束时又自动被恢复。向量的读取与状态保存并行, 高效率进入中断。处理器支持尾链 (tail-chaining), 这样使得执行背靠背中断不需要重叠的状态保存和恢复。可软件设置7个异常(系统处理)和53个中断的8级优先级。

- 确定性的，快速中断处理：总是12周期或尾链时6周期
- 外部不可屏蔽中断信号(NMI)可用于安全关键应用
- 动态优先级中断
- 通过硬件实现所需的寄存器可灵活的处理特殊的中断

### 1.1.1.5 系统控制块 (SCB) (见121页)

系统控制块 (SCB) 提供系统实现信息和系统控制，包括系统异常的配置，控制和报告。

### 1.1.1.6 内存保护单元(MPU) (见121页)

MPU支持标准的ARMv7保护内存系统架构 (PMSA) 模型。MPU提供保护区支持，重叠保护区，访问权限和导出存储属性到系统。

## 1.1.2 片上存储器

下面的章节描述片上存储器模块。

### 1.1.2.1 SRAM (见310页)

LM3S9B96 微控制器提供96 KB单周期片上SRAM。Stellaris<sup>®</sup> 设备的内部SRAM位于器件存储器的映射地址为0x2000.0000。

为了减少读-修改-写的操作时间，ARM在Cortex-M3处理器中植入了位带技术。在位带使能的处理器中，存储器映射的特定区域 (SRAM和外设空间) 能够使用地址别名，在单个原子操作中访问各个位。

μDMA控制器可以向片上SRAM传输数据，也可以从片上SRAM接收数据。

### 1.1.2.2 Flash存储器 (见312页)

LM3S9B96 微控制器提供256 KB单周期片上Flash存储器(在 50MHz以上，如果代码是顺序执行的，Flash存储器可以单周期访问；遇到分支会产生1周期的等待)。Flash存储器由一系列可以单独擦写的1-KB块组成，擦除一个块将使块中的所有位变为1，这些块可以成对配成一系列单独保护的2KB的块。该保护允许块被标记为只读或只执行，以提供不同等级的代码保护。只读块不能被擦除或编程，块的内容受保护不能修改。只执行块不能被擦除或编程，只能通过控制器取指机制来读取它的内容，块的内容受保护不能被控制器或调试器读取。

### 1.1.2.3 ROM (见310页)

LM3S9B96的ROM出厂时预编程，包含了下面的软件和程序：

- Stellaris<sup>®</sup> 外设驱动库
- Stellaris<sup>®</sup> 引导装载程序

- SafeRTOS™ 实时内核
- 高级加密标准 (AES) 密码表
- 循环冗余检验 (CRC) 错误检测功能

Stellaris® 外设驱动库是具有引导装载能力的用于控制片上外设的免版税的软件库。库可用于外设初始化和控制功能。另外，驱动库充分利用ARM® Cortex™-M3内核的中断性能的全部优点。在需要现场编程能力的应用中，免版税的Stellaris® 引导装载程序(bootloader)可用于应用程序装载，支持现场软件升级。

ROM中包含预先购买的实时操作系统。此体积小巧的内核简单易用，可用于有可靠性等级的应用中。SafeRTOS™可使你的产品快速投放市场，同时降低风险和成本。

AES 是一种强大的加密方法，拥有不错的性能和大小。AES 在硬件和软件方面都很快，它非常容易使用，并且只需要很少的存储空间。AES 可理想的用于预先排列好密钥的应用，如在加工或配置过程中的安排。XySSL AES 使用的4个数据表都在ROM中提供。第一个是正向的S-box代换表，第二个是反向的S-box代换表，第三个是正向的多项式表，最后一个是反向的多项式表。

CRC 技术可用来确认信息的正确接收(在传送中没有丢失或改变)，用来确认解压后的数据，用来证实Flash存储器的内容没有更改，以及其它数据需要被确认的情况。CRC 优于简单的校验和(例如异或所有的位)，因为它更容易捕捉到变化。

### 1.1.3 片外设备接口 (见461页)

片外设备接口(EPI) 是一种用于连接片外设备或存储器的高速并行总线接口。与例如SSI、UART和I2C等通讯外设不同，片外设备接口实际上与普通微处理器的地址/数据总线非常相似。

EPI 模块具有以下特性：

- 8 位/16 位/32 位专用并行总线，用于连接片外设备或存储器；
- 存储器接口支持自动步进式连续访问，且不受数据总线宽度的影响，因此能够实现直接从SDRAM、SRAM 或 Flash 存储器中运行程序代码；
- 阻塞式/非阻塞式读操作；
- 内置写 FIFO，因而处理器无需锱铢计较时序细节；
- 结合微型直接存储器访问(μDMA)控制器使用，可实现高效的数据传输：
  - 相互独立的读通道和写通道

- 当片内非阻塞式读 FIFO (**NBRFIFO**) 达到预设深度时, 自动产生读通道请求信号
- 当片内写 FIFO (**WFIFO**) 空时, 自动产生写通道请求信号

EPI模块有3种主要的工作模式: 同步动态随机访问存储器 (SDRAM) 模式、传统的主机总线 (Host Bus, 简称为HB) 模式以及通用模式。EPI模块也可以将其管脚用作自定义的GPIO, 但其用法有别于标准GPIO, 而是像通信外设的机制一样需经过FIFO访问端口数据, 并且I/O速度由时钟信号决定。

■ 同步动态随机访问存储器 (SDRAM) 模式

- 支持 16 位宽的 SDR (单数据率) SDRAM, 频率最高 50MHz
- 支持低成本的 SDRAM, 最大可达 64MB (512Mb)
- 内置自动刷新功能, 可访问任意 bank 或任意行
- 支持休眠/待机模式, 在保持内容不丢失的前提下尽量节省功耗
- 复用的地址/数据管脚, 竭力控制管脚数目

■ 主机总线 (HB) 模式

- 传统的 8 位/16 位微控制器总线接口
- 可兼容许多常见的微控制器总线, 如 PIC、ATMega、8051 或其它单片机
- 支持复用和非复用模式的地址/数据总线
- 可访问 SRAM、NOR Flash 以及其它类型的并行总线设备。非复用模式下寻址能力为 1MB; 复用模式下寻址能力为 256MB (HB16 模式下若不使用字节选择信号, 则实际可达 512MB)
- 可用于访问各种集成了无地址 FIFO 的 8 位/16 位接口外设。支持片外 FIFO (**External FIFO**, 简称为 **XFIFO**) 的 EMPTY 和 FULL 信号
- 访问速度可控, 读/写数据时可添加等待态
- 支持多种片选模式, 如 ALE、CSn、双 CSn、ALE+双 CSn 等
- 手动控制片使能信号 (也可使用多余的地址管脚控制)

■ 通用模式

- 可用于同 CPLD 或 FPGA 进行快速数据交换
- 数据宽度可达 32 位
- 数据传输率可达 150MB/s
- 可选配置: 4~20 位 “地址”
- 可选配置: 时钟输出信号、读/写选通信号、帧信号 (基于计数的长度)、时钟使能输入信号

- 并行 GPIO
  - 1 到 32 位，必须经由 FIFO 输入输出，速度可控
  - 适用于自定义的外设器件、数字化数据采集装置、执行机构控制等应用场合

#### 1.1.4 串行通讯外设

LM3S9B96控制器支持同步和异步串行通讯：

- 硬件支持IEEE 1588 PTP的集成MAC和PHY的10/100以太网
- 两路CAN 2.0 A/B控制器
- 全速和低速USB 2.0 OTG/Host/Device
- 三路支持IrDA和ISO 7816的UART (其中一路带有完全调制解调器控制的UART)
- 两路I<sup>2</sup>C模块
- 两路同步串行接口模块 (SSI)
- 内部集成电路音频(I<sup>2</sup>S)接口模块

下面的章节各个通讯功能的提供更多细节。

##### 1.1.4.1 以太网控制器 (见915页)

以太网是局域网内基于帧的计算机网络技术。它遵循IEEE 802.3规范，此规范定义了物理层的线和信号标准，媒体访问控制（MAC）数据链路层的两种网络访问方式，以及公共寻址格式。

Stellaris®以太网控制器由一个完全集成的媒体访问控制器（MAC）和网络物理（PHY）接口器件组成，具有以下特性：

- 遵循 IEEE 802.3-2002 规范
  - 遵循 10 基址-T/100BASE-TX IEEE-802.3。只需要一个双路 1:1 隔离变压器就能与线路相连
  - 10BASE-T/100BASE-TX ENDEC,100BASE-TX 扰码器/解扰器
  - 全功能的自协商
- 多种工作模式
  - 全双工和半双工 100Mbps
  - 全双工和半双工 10Mbps
  - 节电和掉电模式
- 高度可配置
  - 可编程 MAC 地址



- LED 活动选择
- 支持混杂模式
- CRC 错误拒绝控制
- 用户可配置中断
- 物理媒体操作
  - 自动 MDI/MDI-X 交叉校验
  - 寄存器可编程的发送幅度
  - 自动极性校正和 10BASE-T 型号接收
- IEEE 1588 精确时间协议：为每个单独的包提供高精度时间戳
- 使用 uDMA 的高效率传输
  - 发送和接受独立通道
  - 当接收到包时接收通道请求
  - 当发送 FIFO 为空时发送通道请求

#### 1.1.4.2 控制器局域网(CAN) (见862页)

控制器局域网 (CAN) 是一种用于连接电子控制设备 (Electronic Control Unit, 简称为 ECU) 的多主共享型串行总线标准。CAN 总线针对抗电磁干扰进行了专门设计, 适用于具有较强电磁干扰的环境, 不但可以使用与 RS-485 类似的差分平衡传输线, 也可以使用更加可靠的双绞线。CAN 总线最初是针对汽车应用而研发的, 不过时至今日已经广泛应用于各种嵌入式控制领域 (例如工业方面和医疗方面)。CAN 总线在总线长度小于 40 米时最高可达 1Mbps 位速率。位速率越低则有效通讯距离越远 (例如 125kbps 时通讯距离可达 500 米)。

发送器发送信息到所有 CAN 节点 (广播), 每个节点根据接收到的标识符来判断是否处理该消息。标识符还决定了总线访问竞争中消息享有的优先级。每个 CAN 消息都能够传输 0 到 8 个字节的用户信息。

LM3S9B96 微控制器包含 2 路 CAN 单元, 其特性如下:

- 支持 CAN 总线协议 2.0 A/B;
- 位速率最高可达 1Mbps;
- 32 个报文对象, 每个报文对象都具有独立的标识符掩码;
- 可屏蔽中断;
- 支持禁用自动重新发送 (**Disable Automatic Retransmission, 简称为 DAR**) 模式, 因此可用于时间触发 CAN (Time Triggered CAN, 简称为 TTCAN) 应用;
- 可编程的环回模式, 用于实现自检;
- 可编程的 FIFO 模式, 能存储多个报文对象;
- 提供 CANnTX、CANnRX 管脚, 可无缝连接片外 CAN 收发器。

### 1.1.4.3 USB (见976页)

通用串行总线(USB)是一种串行总线标准,可以在不重启系统的情况下,通过标准接口连接和断开外设。

Stellaris® USB控制器支持USB Host/Device/OTG功能,可运行在全速和低速模式。USB控制器遵从OTG标准的会话请求协议(SRP)和主机协商协议(HNP)。

Stellaris® USB模块特性:

- 符合USB-IF认证标准
- 支持USB 2.0 全速模式 (12 Mbps) 和低速模式 (1.5 Mbps)
- 集成PHY
- 4种传输类型: 控制传输(Control), 中断传输(Interrupt), 批量传输(Bulk), 等时传输(Isochronous)
- 32端点
  - 1个专用的输入控制端点和1个专用输出控制端点
  - 15个可配置的输入端点和15个可配置的输出端点
- 4 KB专用端点内存空间: 可支持双缓存的1023字节最大包长的等时传输
- 支持VBUS电压浮动(droop)和有效ID检测, 并产生中断信号
- 用于高效传输的μDMA
  - 用于发送和接收的独立通道多达3个输入端点和3个输出端点
  - 当FIFO中包含需要的大量数据时, 触发通道请求

### 1.1.4.4 UART (见685页)

通用异步收发器(UART)用于RS-232C串行通讯的集成电路。包含可异步工作的发送器(并转串)和接收器(串转并)。

LM3S9B96微控制器集成了三个可编程的16C550类型的通用异步收发器。虽然其功能与16C550 UART相似,但并不是寄存器兼容的。UART能够根据RX、TX、调制解调器的状态和错误条件产生独立可屏蔽的中断,如果任何中断发生并且未被屏蔽,那么模块将提供一个组合的中断。

这三个UART模块具有以下特性:

- 可编程的波特率发生器,在常规模式(16分频)下最高可达5Mbps,在高速模式(8分频)下最高可达10Mbps;
- 相互独立的16x8发送(TX)FIFO和接收(RX)FIFO,可降低中断服务对CPU的占用;
- FIFO触发深度有如下级别可选: 1/8、1/4、1/2、3/4或7/8;

- 标准的异步通讯位：起始位、停止位、奇偶校验位；
- 线中止的产生与检测；
- 完全可编程的串行接口特性
  - 可包含 5、6、7 或 8 个数据位
  - 可产生/检测奇偶校验位，支持偶校验位、奇校验位、粘着校验位或无校验位
  - 可产生 1 或 2 个停止位
- IrDA 串行红外（SIR）编解码器
  - 可选择采用 IrDA 串行红外（SIR）输入输出或普通 UART 输入输出
  - 支持 IrDA SAR 编解码功能，半双工时数据传输率最高 115.2kbps
  - 支持标准的 3/16 位时间以及低功耗位时间（1.41~2.23 $\mu$ s）
  - 可编程的内部时钟发生器，可对参考时钟源进行 1~256 分频以提供低功耗位时间
- 支持与 ISO 7816 智能卡的通讯；
- 完善支持调制解调器握手信号（仅 UART1 模块）；
- 支持 LIN 协议；
- 提供标准的基于 FIFO 深度的中断以及发送结束中断；
- 结合微型直接存储器访问（ $\mu$ DMA）控制器使用，可实现高效的数据传输：
  - 相互独立的发送通道和接收通道
  - 当接收 FIFO 中有数据时产生单次请求；当接收 FIFO 到达预设的触发深度时产生猝发请求
  - 当发送 FIFO 中有空闲单元时产生单次请求；当发送 FIFO 到达预设的触发深度时产生猝发请求

#### 1.1.4.5 I2C (见789页)

内部集成电路（I2C）总线通过一个两线设计（串行数据线SDA和串行时钟线SCL）来提供双向数据传输。I2C总线可与诸如串行存储器（RAM和ROM）、网络设备、LCD、音频发生器等外部I2C器件相连。在产品开发和生产过程中，I2C总线还能够用作系统测试和诊断用途。

I2C总线上的器件能够被指定为主机或从机。这个I2C模块支持作为主机或从机来发送和接收数据，也支持既用作主机又用作从机的同步操作。I2C共有4种工作模式：主发送、主接收、从发送和从接收。I2C主机和从机都能够产生中断。

LM3S9B96控制器包含2路I<sup>2</sup>C模块，其特性如下：

- 在I<sup>2</sup>C总线上的设备可以被设计为主机或从机
  - 在主机或从机模式下都支持发送和接受数据
  - 支持它们作为主机和从机的同步操作
- 四种I<sup>2</sup>C的模式
  - 主机传送
  - 主机接收
  - 从机传送
  - 从机接收
- 两种传输速度：标准(100Kbps)和快速(400Kbps)
- 主机和从机产生中断
  - 主机因为传送或接收数据结束(或者是因为错误而取消)产生中断
  - 从机在主机向其发送数据或发出请求时，或检测到 START 或 STOP 信号时产生中断
- 主机带有仲裁和时钟同步功能，支持多主机以及 7 位寻址模式

#### 1.1.4.6 SSI (见747页)

同步串行接口（SSI）是一个将数据并转串的4线双向的通信接口。此SSI模块对从外围器件接收到的数据执行串并转换，对发送到外围设备的数据执行并串转换。TX和RX的通路都有内部FIFO负责缓冲，可单独存储8个16位的值。这个SSI模块可以配置用作主设备或从设备。作为从机设备的时候，还可以通过配置将SSI模块的输出禁能，从而使一个主设备可以与多个从设备相连。

此SSI模块还包含一个可编程的位速率时钟分频器和预分频器，SSI模块输入的时钟信号将通过它们来生成SSI输出的串行时钟信号。位速率根据输入时钟产生，最大位速率取决于连接的外设。

LM3S9B96控制器包含两路SSI 模块，其特性如下：

- 可编程的接口格式：支持飞思卡尔 SPI、MICROWIRE 以及 TI 同步串行接口；
- 主机或从机工作方式；
- 可编程的时钟位速率以及预分频器；
- 相互独立的发送 FIFO 和接收 FIFO，二者均为 16 位宽、8 个单元深；
- 可编程的数据帧长度，4 位到 16 位可选；

- 内部环回测试模式，能够很方便地实现诊断/调试；
- 标准 FIFO 中断以及发送结束中断；
- 结合微型直接存储器访问（**Micro Direct Memory Access**，简称为 **μDMA**）控制器使用，可实现高效的数据传输：
  - 相互独立的发送通道和接收通道
  - 当接收 FIFO 中有数据时产生单次请求；当接收 FIFO 中包含 4 个数据单元时产生猝发请求
  - 当发送 FIFO 中有空闲单元时产生单次请求；当发送 FIFO 中包含 4 个空闲单元时产生猝发请求

#### 1.1.4.7 内部集成电路音频(I2S) 接口 (见825页)

I2S接口是一种可配置的串行数字音频内核，由发送部分和接收部分组成。I2S模块支持3种常见的串行数字音频格式：I2S、左对齐（**Left-Justified**）、右对齐（**Right-Justified**）。音频数据还可以按以下4种模式之一进行组织：立体声、单声道、16位压缩立体声以及8位压缩立体声。

发送模块和接收模块各自具有8个单元深的FIFO，用于保存音频采样值。每个音频采样值可能是立体声的左声道采样值或右声道采样值，也可能是单声道采样值，还可能是左右声道数据拼装在一起的压缩立体声采样值。在16位压缩立体声模式中，每个FIFO单元中包含16位的左声道采样值以及16位的右声道采样值，因此能够提高传输效率、减小存储空间占用。而在8位压缩立体声模式中，每个FIFO单元中包含8位的左声道采样值和8位的右声道采样值，可进一步减少存储空间占用。

Stellaris<sup>®</sup> I<sup>2</sup>S 接口具有如下特性：

- 可配置的数字音频格式：支持I<sup>2</sup>S格式、左对齐格式、右对齐格式；
- 可配置的采样值宽度：8~32 位；
- 支持单声道或立体声；
- 提供 8/16/32 位的 FIFO 接口，支持左右声道数据拼装存储；
- 收/发模块各自具有 8 个单元深的 FIFO；
- 可基于 FIFO 深度产生中断及 μDMA 请求，触发深度可配置；
- 相互独立的发送和接收的 MCLK 方向控制；
- 发送及接收模块均可采用片内 MCLK 时钟源；
- 发送和接收模块各自可配置其串行时钟和字选择信号；
- MCLK 和 SCLK 可分别设置为主机模式或从机模式；
- 当发送 FIFO 空时，可配置为始终发送 0 或最后一个采样值；
- 结合微型直接存储器访问（**Micro Direct Memory Access**，简称为 **μDMA**）控制器使用，可实现高效的数据传输：
  - 相互独立的发送通道和接收通道

- 猝发请求
- 当发送 FIFO 中包含所需数量的数据后，可产生通道请求

### 1.1.5 系统集成

LM3S9B96控制器将各种标准系统功能集成到芯片中，包括：

- 微型直接存储器访问控制器 ( $\mu$ DMA)
- 系统控制和时钟，包括片上16-M高精度振荡器
- ARM Cortex 系统定时器(SysTick)
- 4个32位定制器（可用作8个16位），具有实时时钟能力
- 8个捕获/比较/PWM管脚 (CCP)
- 2个看门狗定时器
- 多达65个GPIO口，具体数目取决于配置
  - 高度灵活的管脚复用，可配置为GPIO或任一外设功能
  - 可独立配置的2,4或8mA端口驱动能力
  - 高达4个GPIO具有18mA驱动能力

下面的章节提供这些功能的更多信息。

#### 1.1.5.1 直接存储器访问 (见347页)

LM3S9B96微控制器内置一个直接存储器访问（Direct Memory Access，简称为DMA）控制器，我们称之为微型 DMA ( $\mu$ DMA) 控制器。 $\mu$ DMA 控制器所提供的工作方式能够降低 Cortex-M3处理器参与的数据传输任务，从而更加高效地使用内核以及总线带宽。 $\mu$ DMA控制器能够自动执行存储器与外设之间的数据传输。片上每个支持 $\mu$ DMA 功能的外设都有专用的 $\mu$ DMA 通道，通过合理的编程配置，当外设需要时能够自动在外设和存储器之间传输数据。

$\mu$ DMA 控制器具有以下特性：

- ARM PrimeCell® 方案  $\mu$ DMA 控制器，具有可配置的 32 通道；
- 支持存储器到存储器、存储器到外设、外设到存储器的  $\mu$ DMA 传输，包括：
  - 基本模式，用于简单的传输需求
  - 乒乓模式，用于实现持续数据流
  - 散聚模式，借助一个可编程的任务列表，由单个请求触发一连串的指定传输
- 高度灵活的可配置的通道配置；
  - 各通道均可独立配置、独立操作

- 每个支持 $\mu$ DMA功能的片上模块都有其专用通道：通用定时器、USB、UART、以太网、ADC、EPI、SSI、I<sup>2</sup>S
- 每个通道有主选功能及备选功能
- 对于双向模块，为其接收和发送各提供一个通道
- 专用的软件通道，可由软件启动  $\mu$ DMA 传输
- 每通道可分别配置优先级的总线仲裁机制
- 可选配置：任一通道均可用作软件启动传输
- 优先级分为两级；
- 通过优化设计，改进了  $\mu$ DMA 控制器与处理器内核之间的总线访问性能：
  - 当内核不访问总线时， $\mu$ DMA 控制器即可占用总线
  - RAM 条带处理
  - 外设总线分段
- 支持 8 位、16 位或 32 位数据宽度；
- 待传输数目可编程为 2 的整数幂，有效范围 1 到 1024；
- 源地址及目的地址可自动递增，递增单位可以是字节、半字、字、不递增
- 可屏蔽的外设请求
- 传输结束中断，且每个通道有独立的中断

### 1.1.5.2 系统控制和时钟 (见198页)

系统控制决定设备的所有运行操作，它提供设备信息、控制节电特性、芯片和外设的时钟控制、复位检测的处理。

- 设备识别信息：版本、型号、SRAM大小、Flash存储器大小等
- 电压控制
  - 片上低压差线性稳压器(LDO)
  - 微控制器低功耗选择：带时钟门开关的休眠和深度休眠模块
  - 片上模块的低功耗选择：软件控制各独立外设和存储器的掉电
  - 3.3V供电的欠压(brown-out)检测，并产生中断或复位
- 在微控制器中有多个时钟源可以使用

- 精确内部振荡器 (PIOSC): 片上时钟源提供一个室温 16 MHz  $\pm$ 1% 的时钟。
    - 整个温度范围 16 MHz  $\pm$ 3%
    - 低功耗模式可软件控制掉电
  - 主振荡器 (MOSC): 主振荡器可通过两种方式提供一个频率精确的时钟源: 外部单端时钟源连接到 OSC0 输入管脚, 或者外部晶振串接在 OSC0 输入管脚和 OSC1 输出管脚间:
    - 可通过片上 PLL 使用的外部振荡器: 支持从 1MHz 到 16.384MHz 的频率
    - 外部晶体: 支持从直流到最大芯片速度的频率
  - 内部 30-kHz 振荡器。内部 30-kHz 振荡器提供一个 30 kHz  $\pm$  50% 的工作频率。它是为在深度睡眠省电模式期间使用的。
- 灵活的复位源
- 上电复位(POR)
  - 复位脚触发
  - 欠压(BOR)警告系统电源掉电
  - 软件复位
  - 看门狗定时器复位
  - 主振荡器(MOSC)失败

### 1.1.5.3 4个可编程的定时器 (见534页)

可编程定时器可对驱动定时器输入管脚的外部事件进行计数或定时。每个 GPTM 模块包含两个 16 位的定时器/计数器(称作 TimerA 和 TimerB), 用户可以将它们配置成独立运行的定时器或事件计数器或将它们配置成 1 个 32 位定时器或一个 32 位实时时钟(RTC)。定时器也可以用来触发魔术转换(ADC)。

通用定时器包含四个模块, 它们具有如下特性:

- 可以向上或向下计数
- 16 位或 32 位可编程的单次定时器
- 16 位或 32 位可编程的周期定时器
- 具有 8 位预分频的 16 位通用定时器
- 当有 32.768KHz 的外部时钟源时可作为 32 位的实时时钟
- 8 个捕捉比较 PWM 引脚(CCP)
- 菊花链式的定时器模块允许一个定时器开始计时多路时钟事件
- 模数转换(ADC)触发器



- 当调试时，CPU 出现暂停标识时，用户可以停止定时器事件
- 16 位输入沿计数或定时捕获模块
- 16 位可通过软件实现 PWM 信号的反相输出
- 可以确定从产生中断到进入中断服务程序所经过的时间
- 用微型直接内存访问有效的传输数据
  - 每个定时器具有专用通道
  - 定时器中断响应突发请求

#### 1.1.5.4 CCP管脚 (见542页)

捕获/比较/PWM管脚(CCP) 可以被通用定时器模块使用，通过将CCP管脚作为输入，可定时/计数外部事件。此外，GPTM模块可以在CCP管脚上产生一个简单的PWM输出。

LM3S9B96微控制器包含8个捕获/比较/PWM管脚(CCP)，可通过编程运行在下面的模块：

- 捕获: 通用定时器根据CCP输入的编程事件递增/递减。当编程事件发生时，它捕获和存储当前定时器的值。
- 比较: 通用定时器根据CCP输入的编程事件递增/递减。它将当前定时器的值和存储的值相比较，当匹配时，产生中断信号。
- PWM: 通用定时器根据系统时钟递增/递减。PWM信号的产生基于计数值和存储值的匹配，并输出到CCP脚。

#### 1.1.5.5 看门狗定时器 (见582页)

看门狗定时器在到达超时的值的时候可以产生不可屏蔽中断(NMI)或者是复位。当系统由于软件错误或是由于因外部设备故障而无法按预期的方式响应的时候，使用看门狗定时器可以重新获得控制权。

LM3S9B96有两个看门狗定时器模块，一个模块(watchdog timer 0)使用系统时钟驱动，另一个模块(watchdog timer 1)由PIOSC驱动。它们具有如下特性：

- 32 位递减并且可编程装载的寄存器
- 独立的看门狗时钟使能
- 带中断屏蔽的中断生成逻辑

- 软件跑飞时保护锁定寄存器
- 复位使能/禁止产生逻辑
- 调试期间，微处理器的 CPU 暂停时，用户可使能的停滞

#### 1.1.5.6 可编程的GPIO (见405页)

GPIO模块由9个物理GPIO模块组成，每一个物理GPIO模块对应一个端口，可支持0-65个可编程输入/输出管脚。GPIO的数量依赖于外设用到的管脚的多少(每个管脚可能的信号见1230页的“信号表”)。

- 高达 65 个的输入/输出引脚，具体取决外设的配置
- 高度灵活的复用引脚，可以用作 GPIO 或是一种或多种的外设功能
- 配置为输入模式可承受 5V 电压
- 两种方式访问 GPIO 端口
- 可编程控制的 GPIO 中断
  - 产生中断屏蔽
  - 上升沿、下降沿或是双边沿(上升沿和下降沿)触发
  - 高电平或低电平触发
- 读写操作时刻可过地址线进行位屏蔽的操作
- 可用于启动一个 ADC 采样序列
- 配置为数字输入的引脚均为施密特触发
- 可编程控制的 GPIO 引脚配置
  - 弱上拉或下拉电阻
  - 数字通信时可配置为 2-mA, 4-mA 或 8-mA 驱动电流，对于需要大电流的应用最多可以有四个引脚可以配置为 18-mA
  - 8-mA 驱动的斜率控制
  - 开漏使能
  - 数字输入使能

#### 1.1.6 高级电机控制

LM3S9B96将电机控制功能集成到芯片中，包括：

- 8路高级PWM输出，可用于电机和能源应用
- 4个fault输入，可用于低延时关机
- 2个正交编码输入 (QEI)

下面章节提供电机控制功能的更多详细信息。

#### 1.1.6.1 PWM (见1128页)

脉宽调制 (PWM) 是一项功能强大的技术，它是一种对模拟信号电平进行数字化编码的方法。在脉宽调制中使用高分辨率计数器来产生方波，并且可以通过调整方波的占空比来对模拟信号电平进行编码。PWM通常使用在开关电源 (switching power) 和电机控制中。

Stellaris® PWM模块由 4个 PWM发生器模块 1个控制模块组成。每个模块包括1个定时器、2个比较器、1个PWM信号发生器、1个死区发生器和中断/ADC触发选择器。每个 PWM发生器模块产生两个PWM信号，这两个信号基于同一个定时器和频率和也可以是编程产生独立的信号，如插入了死区延时互补信号。

PWM发生器模块具有下面的特性：

- 四个能快速故障条件处理，低延迟关闭，避免马达在被可控之前产生破坏。
- 一个16位计数器
  - 运行在递减或先递增后递减模式
  - 通过16位装载值，输出频率可控
  - 装载值可被同步更新
  - 可在零值和装载值时产生输出信号
- 二个PWM比较器
  - 比较器的值可被同步更新
  - 产生相匹配的输出信号
- PWM信号发生器
  - 在计数器和PWM比较器输出信号的基础构建输出PWM信号
  - 产生两个独立的PWM信号
- 死区发生器
  - 产生两个死区延迟可编程的PWM信号，适合驱动半-H桥
  - 能被旁路，让输入的PWM信号不被修改
- 能初始化一个ADC采样时序

控制模块决定传递到引脚的PWM信号的极性和哪个信号传递到引脚，输出控制模块管理传递到引脚之前的PWM发生模块的输出。PWM控制模块具有以下特性：

- 每个PWM信号的PWM输出使能
- 每个PWM信号可选输出反相 (极性控制)
- 每个PWM信号可选故障处理
- PWM发送模块内定时器的同步
- PWM发生模块之间的定时器/比较器的同步更新
- PWM发生模块之间的PWM输出使能同步
- PWM发生模块中断状态汇总
- 多路故障信号，可编程极性和过滤的扩展故障能力
- PWM 发生器可独立操作或者与其它发生器同步操作

#### 1.1.6.2 QEI (见1205页)

正交编码器（又名双通道增量式编码器），用于将线性位移转换成脉冲信号。通过监控脉冲的数目和两个信号的相对相位，用户可以跟踪旋转的位置、方向和速度。此外还有第三个通道，称为索引信号，用来对位置计数器进行复位，以确定绝对位置。

带有索引脉冲的正交编码器（QEI）模块对由正交编码器转轮所产生的编码进行解码，从而计算位置对时间的积分，并确定旋转的方向。另外，该接口还能捕获编码器转轮的运行速率。QEI输入的频率高达1/4处理器频率(例如，80MHz系统可达20MHz)。

该 Stellaris® LM3S9B96 微控制器包含两个 QEI 模块，可同时控制两个电机，并具有以下特性：

- 使用位置积分器来跟踪编码器的位置
- 输入可编程噪音过滤
- 使用内置定时器来捕获速度
- QEI输入部分的输入频率可达1/4主频（例如，50MHz系统是可为12.5MHz）
- IQEI在下列事件发生时将产生中断：
  - 检测到索引脉冲
  - 速度定时器发生计满返回事件
  - 旋转方向发生改变
  - 检测到正交错误

## 1.1.7 模拟

LM3S9B96将模拟功能集成到芯片中，包括：

- 2个10位模数转换器(ADC)，具有16个模拟输入通道，采样率1000k次/秒
- 3个模拟比较器
- 16个数字比较器
- 片上电压稳压器

下面的章节提供模拟功能的更多信息。

### 1.1.7.1 ADC (见607页)

模-数转换器（ADC）是一种能够将连续的模拟电压信号转换为离散的数字量的外设。ADC模块具有10位转换分辨率，支持16个输入通道，并且内置温度传感器。ADC模块包含4个可编程的序列发生器，无需控制器干预即可自动完成对多个模拟输入源的采样。每个采样序列发生器都可灵活配置其输入源、触发事件、中断的产生、序列发生器的优先级等内容。ADC模块内置数字比较器功能，采样转换结果可移交给数字比较器模块，该数字比较器模块内置16路数字比较器。

Stellaris® LM3S9B96微控制器内置两个ADC模块，具有以下特性：

- 16个模拟输入通道；
- 可配置为单端输入或差分输入；
- 片上内置温度传感器；
- 采样率最高可达每秒1M次；
- 可选的移相器，采样点以采样周期计可延后22.5°到337.5°；
- 4个可编程的采样转换序列发生器，序列长度1到8个单元不等，且各自带有相应长度的转换结果FIFO；
- 灵活的转换触发控制：
  - 控制器（软件）触发
  - 定时器触发
  - 模拟比较器触发
  - PWM触发
  - GPIO触发
- 硬件可自动对最多64个采样取平均值，提高采样精度；
- 数字比较器模块，提供16路数字比较器；
- A/D转换器可使用片内3V参考电压，也可使用片外参考电平；
- 模拟部分的电源/地与数字部分的电源/地相互独立；

- 结合微型直接存储器访问 (μDMA) 控制器使用, 可实现高效的数据传输:
  - 每个采样序列发生器各自有专用的通道
  - ADC 模块的 DMA 操作均采用猝发请求

### 1.1.7.2 模拟比较器(见1115页)

模拟比较器是一个外设, 它能比较两个模拟电压的大小, 并通过自身提供的逻辑输出端将比较结果以信号的形式输出。

比较器可以向器件管脚提供输出, 以替换板上的模拟比较器。比较器也可以通过中断或触发ADC通知应用让它开始捕获采样序列。中断产生逻辑和ADC触发是各自独立的。这就意味着, 中断可以在上升沿产生, 而ADC在下降沿触发。

LM3S9B96 微控制器提供3个独立的比较器, 其特性如下:

- 可以比较外部输入引脚和外部输入引脚或内部可编程的参考电压
- 比较器可将测试电压与下面的其中一种电压相比较
  - 独立的外部参考电压
  - 一个共用的外部参考电压
  - 一个公用的内部参考电压

### 1.1.8 JTAG 和ARM串行线调试(见186页)

联合测试行动组 (JTAG) 是一个IEEE标准, 它定义了数字集成电路的测试访问端口和边界扫描结构, 并且提供了一个标准化的串行接口来控制关联的测试逻辑。TAP, 指令寄存器 (IR) 和数据寄存器 (DR) 可用来测试组合印制线路板的互连并获取组件的制造信息。JTAG端口还提供了方法来访问和控制可测性设计的特性, 如I/O管脚的观察和控制, 扫描测试以及调试。德州仪器使用ARM串行线JTAG调试接口(SWJ-DP)取代了ARM SW-DP和JTAG-DP, SWJ-DP接口将SWD和JTAG调试端口集成到1个模块, 提供所有的正常JTAG调试和测试功能, 可实时访问系统存储器而不停止内核, 且不需要任何目标寄居代码。SWJ-DP接口具有如下特性:

- IEEE 1149.1-1990 兼容的测试访问端口 (TAP) 控制器
- 4位指令寄存器链, 用于存储JTAG指令
- IEEE 标准指令: BYPASS, IDCODE, SAMPLE/PRELOAD, EXTEST 和 INTEST
- ARM 附加指令: APACC, DPACC 和 ABORT
- 集成的 ARM 串行线调试 (SWD)

- 串行线 JTAG 调试端口 (SWJ-DP)
- Flash 补丁与断点单元 (FPB)，用于实现断点
- 数据观察点和触发器单元 (DWT)，用于实现观察点，触发源和系统评测
- 指令跟踪宏单元 (ITM)，用于支持打印形式的调试
- 跟踪端口接口单元 (TPIU)，用于连接跟踪端口分析器

### 1.1.9 封装和温度

- 工业温度范围100脚符合RoHS标准的 LQFP封装
- 工业温度范围108脚符合RoHS标准的 BGA封装

## 1.2 目标应用

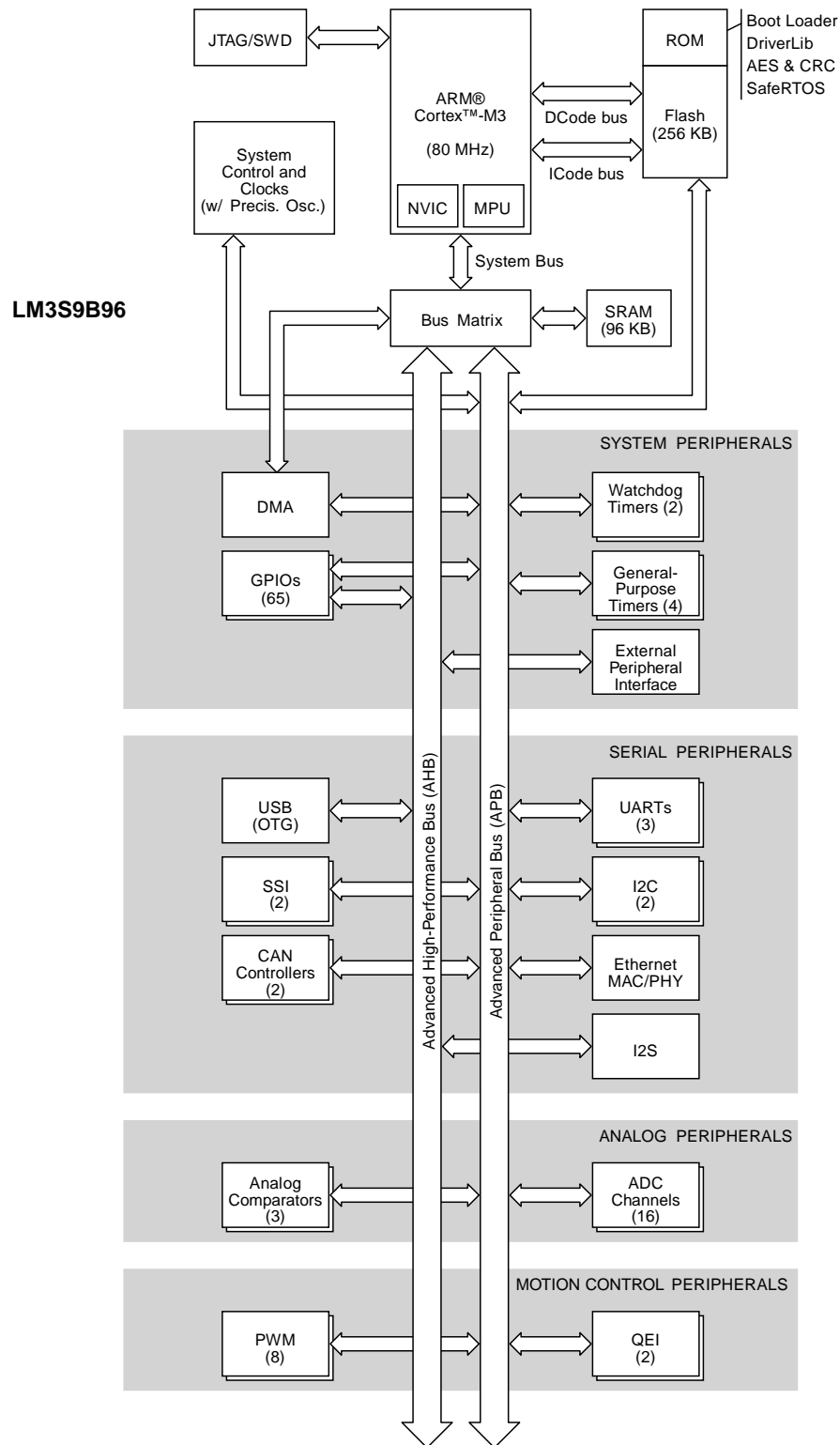
Stellaris<sup>®</sup> 系列定位于成本敏感而又需要大量控制和连接能力的应用，例如：

- 远程监控
- 电子销售点机器 (POS)
- 测试和测量仪器
- 网络应用和交换机
- 工厂自动化
- HVAC和楼宇控制
- 游戏设备
- 运动控制
- 医疗器械
- 火警和安防用具
- 功耗和能源
- 运输业

## 1.3 高级别框图

73页的图 1-1描述了Stellaris<sup>®</sup> LM3S9B96微控制器的全部特性。请注意有两条片内总线连接内核和外设。高级外设总线(APB)是旧系统的总线，高级高性能总线(AHB)提供比APB总线更好的背靠背(back-to-back)的访问性能。

图 1-1. Stellaris® LM3S9B96 微控制器高级别框图





## 1.4 硬件细节

有关管脚和封装的详细信息可在下一节中找到:

- “管脚图” 在 1228页
- “信号表” 在 1230页
- “工作特性” 在 1305页
- “电气特性” 在 1306页
- “封装信息” 在 1384页

## D 北京锐鑫同创公司相关信息

### 技术支持

如果您对文档有所疑问，您可以在办公时间（星期一至星期五上午 8:30~11:50；下午 1:30~5:30）拨打技术支持电话或 E-mail 联系。

北京锐鑫同创是 TI 第三方合作伙伴，专注于 TI Stellaris M3 产品的市场推广、方案设计和技术服务，同时提供开发板、仿真器、编程器等开发工具，公司以“把握市场脉搏，专注技术创新，提供诚信服务，实现共赢发展！”为核心价值理念，为客户提供实时、高效的技术和服务。

电话：010-82418301

传真：010-82418302

Email: [support@realsense.com.cn](mailto:support@realsense.com.cn)

网站: [www.realsense.com.cn](http://www.realsense.com.cn)

技术论坛: [www.hellom3.cn](http://www.hellom3.cn)